

# RK3399

# 硬件设计指南

发布版本：V1.3

发布日期：2018年07月28日

## 免责声明

您购买的产品、服务或特性等应受瑞芯微公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，瑞芯微公司对本文档内容不做任何明示或默示的声明或保证。由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为福州瑞芯微电子股份有限公司的商标，并归福州瑞芯微电子股份有限公司所有。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 版权所有 © 2016 福州瑞芯微电子股份有限公司

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

福州瑞芯微电子股份有限公司

Fuzhou Rockchips Semiconductor Limited Co., Ltd

地址：福建省福州市铜盘路软件园A区18号

网址：[www.rock-chips.com](http://www.rock-chips.com)

客户服务电话：+86-591-83991906

客户服务传真：+86-591-83951833

客户服务邮箱：[fae@rock-chips.com](mailto:fae@rock-chips.com)

# 前言

## 概述

本文档主要介绍RK3399处理器硬件设计的要点及注意事项，旨在帮助RK客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求以及RK产品PCB设计要求进行。

## 芯片型号

本文档对应的芯片型号为：RK3399

## 适用对象

本文档主要适用于以下工程师：

- 产品硬件开发工程师
- 技术支持工程师
- 测试工程师

## 更新记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

版本	修改人	修改日期	修改说明	备注
V1.0	林旭	2016.10.17	第一次正式版本发布	
V1.1	林旭	2017.01.12	3.1.2 修改关于复位的描述； 3.2.1.2 修改推荐的上电时序； 3.2.2.1 修改“DDRPLL_AVDD_OV9”为“DDR <sub>x</sub> _CLK_VDD”； 3.3.4 修改DP连接中AUXP/M的连接方式； 3.3.4.1 修改“USB3.0”为“Type-C”； 3.4.2.2 修改RK818-3 USB输入电压“3.8V-6V”为“3.8V-5.7V”； 4.2.2.1 修改关于Data连接的描述； 4.2.2 修改关于CS以及DQ的描述； 4.2.3 修改颗粒读写操作的描述； 4.2.6 修改“而SS_RX信号靠近RK3399”为“而SS_TX信号靠近RK3399”； 4.4.5 增加电源反馈拓扑图； 5.2.2 修改“主动散热”、“被动散热”的描述； 表3-9 修改电源拓扑； 表3-13 修改表中TYPECO_U3VBUSDET的备注为“不使用”； 表3-14 修改表中的“TYPECO”为“TYPEC <sub>n</sub> (n=0,1)”； 修改表中的“TX <sub>n</sub> M”为“TX <sub>n</sub> N”；	
V1.2	林旭	2017.12.18	3.1.6 修改DDR电源描述； 3.2.1 修改最小系统电源介绍； 3.2.3 增加 VDC 管脚的功能说明及应用电路； 3.3.2 修改以太网电路说明； 3.3.3 增加USB使用注意事项； 3.3.6 修改单MIPI使用要求； 3.3.6 修改eDP耦合电容放置要求； 4.1 修改PCB叠层建议； 4.2.2 增加DDR3数据线调换的说明； 4.2.2 增加LPDDR4的PCB设计建议； 4.2.3 修改eMMC设计中的描述； 5.2.2 修改主动与被动散热的笔误； 图2-8 修改描述； 图3-70 修改HDMI CEC防倒灌电路，降低成本； 表2-5 修改GPIO管脚名描述； 表3-7 修改DDR控制器电源待机为“可以关断电源”； 表4-15 修改不同模式下，DP走线阻抗要求； 修改文中的其他描述； 更新版本号以及日期；	



版本	修改人	修改日期	修改说明	备注
V1.3	林旭	2018.07.28	3.2.1.2 修改上电时序中的错误，调整VDD_LOG位置； 3.3.6.2 修改双MIPI工作模式的说明； 4.2.8 修改关于eDP等长设计的说明； 4.2.9 修改关于DP等长设计的说明； 图4-1 修改8层板叠层结构信息； 图4-2 修改6层板叠层结构信息； 表2-3 修改电源“DDR1_VDD、DDR1_CLK_VDD、DDR1PLL_AVDD_OV9”描述中的错误； 修改电源“USB_AVDD_OV9、TYPECO_AVDD_OV9、TYPEC1_AVDD_OV9”描述中的错误； 表3-9 修改连接方式中的“22ohm”为“33ohm”； 表4-10 修改表名为“RK3399 LPDDR4 CLK走线要求” 修改文档页眉； 更新版本号以及日期；	

## 缩略语

缩略语包括文档中常用词组的简称：

DDR	Double Data Rate	双倍速率同步动态随机存储器
DP	DisplayPort	显示接口
eDP	Embedded DisplayPort	嵌入式数码音视频传输接口
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
I <sup>2</sup> C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议（IEEE 1149.1兼容）
LDO	Low Drop Out Linear Regulator	低压差线性稳压器
LVDS	Low-Voltage Differential Signaling	低电压差分信号
MAC	Media Access Control	以太网媒体接入控制器
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
PCIe	Peripheral Component Interconnect-express	外设组件互联标准
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
RK	Rockchip Electronics Co.,Ltd.	瑞芯微电子股份有限公司
SD Card	Secure Digital Memory Card	安全数码卡
SDIO	Secure Digital Input and Output Card	安全数字输入输出卡
SDMMC	Secure Digital Multi Media Card	安全数字多媒体存储卡
SPDIF	Sony/Philips Digital Interface Format	SONY、PHILIPS数字音频接口
SPI	Serial Peripheral Interface	串行外设接口
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
Type-C		USB3.0定义的一种接口标准
USB	Universal Serial Bus	通用串行总线
VR	Virtual Reality	虚拟现实

## 目录

前言	3
概述	3
芯片型号	3
适用对象	3
更新记录	4
缩略语	6
目录	7
插图目录	10
插表目录	14
1 系统概述	16
1.1 概述	16
1.2 功能概括	16
1.2.1 CPU	16
1.2.2 GPU	16
1.2.3 存储	16
1.2.4 多媒体	16
1.2.5 显示	16
1.2.6 摄像头	16
1.2.7 外部接口	16
1.3 芯片框图	17
1.4 应用框图	18
1.4.1 NetBook应用框图	18
1.4.2 Box应用框图	18
1.4.3 Tablet应用框图	19
1.4.4 VR应用框图	19
2 封装与管脚	21
2.1 封装	21
2.1.1 信息	21
2.1.2 丝印标识定义	21
2.1.3 封装尺寸	21
2.1.4 管脚分布	23
2.2 管脚排列表	29
2.2.1 信号管脚描述	29
2.2.2 电源与地管脚描述	48
2.3 GPIO类型介绍	50
2.3.1 GPIO类型	50
2.3.2 GPIO驱动能力	50
2.3.3 GPIO电源	50
3 原理图设计建议	54
3.1 最小系统设计	54
3.1.1 时钟电路	54
3.1.2 复位电路	55
3.1.3 系统启动引导顺序	55
3.1.4 系统初始化配置信号	55
3.1.5 JTAG Debug电路	55
3.1.6 DDR电路	56
3.1.7 eMMC电路	57
3.1.8 SPI电路	58

3.2	电源设计	59
3.2.1	最小系统电源介绍	59
3.2.2	电源设计建议	59
3.2.3	RK808-D方案介绍	67
3.2.4	RK818-3方案介绍	72
3.2.5	Type-C电源介绍	77
3.2.6	其他	79
3.2.7	电源峰值电流表	80
3.3	功能接口电路设计指南	81
3.3.1	存储卡电路	81
3.3.2	以太网口电路	82
3.3.3	USB电路	85
3.3.4	DP电路	89
3.3.5	音频电路	91
3.3.6	视频电路	95
3.3.7	摄像头电路	98
3.3.8	ADC电路	99
3.3.9	SDIO/UART电路	100
3.3.10	数字音频电路	101
3.3.11	PCIe电路	101
4	PCB 设计建议	104
4.1	PCB叠层	104
4.1.1	8层板叠层	104
4.1.2	6层板叠层	104
4.2	高速信号PCB设计建议	104
4.2.1	Crystal设计	104
4.2.2	DDR设计	106
4.2.3	EMMC设计	113
4.2.4	PCIe设计	116
4.2.5	USB 2.0设计	117
4.2.6	USB 3.0设计	119
4.2.7	HDMI设计	122
4.2.8	eDP设计	124
4.2.9	DP设计	126
4.2.10	MIPI设计	126
4.2.11	SDIO/SDMMC设计	127
4.2.12	MAC设计	129
4.3	RF信号PCB设计建议	131
4.3.1	WIFI/BT设计	131
4.3.2	天线电路	134
4.4	电源信号PCB设计建议	136
4.4.1	RK3399 Power	136
4.4.2	PMIC	138
4.4.3	DC-DC	141
4.4.4	充电管理	142
4.4.5	远端反馈补偿	143
5	热设计建议	145
5.1	热仿真结果	145
5.1.1	结果概要	145
5.1.2	PCB描述	145
5.1.3	术语解释	145
5.2	常用的散热方法	146

5.2.1	热量传导的三种常见方式	147
5.2.2	系统常见的散热方式	147
5.2.3	散热设计参考	147
5.2.4	散热片尺寸计算	148
5.3	芯片内部热控制方式	149
5.3.1	温度控制策略	149
5.3.2	温度控制配置	149
6	ESD/EMI防护设计	150
6.1	概述	150
6.2	术语解释	150
6.3	ESD防护	150
6.4	EMI防护	150
7	焊接工艺	151
7.1	概述	151
7.2	术语解释	151
7.3	回流焊要求	151
7.3.1	焊膏成分要求	151
7.3.2	SMT曲线	151
7.3.3	SMT建议曲线	152
8	包装和存放条件	153
8.1	概述	153
8.2	术语解释	153
8.3	防潮包装	153
8.4	产品存放	154
8.4.1	存放环境	154
8.4.2	存储期限	154
8.4.3	暴露时间	154
8.5	潮敏产品使用	154

## 插图目录

图 1-1 RK3399 框图.....	17
图 1-2 RK3399 NetBook应用框图 .....	18
图 1-3 RK3399 Box应用框图 .....	18
图 1-4 RK3399 Tablet应用框图 .....	19
图 1-5 RK3399 VR应用框图 .....	19
图 2-1 RK3399 丝印标识定义.....	21
图 2-2 RK3399 封装尺寸1.....	21
图 2-3 RK3399 封装尺寸2.....	22
图 2-4 RK3399 封装尺寸3.....	22
图 2-5 RK3399 GPIO 1.8V only电源设置 .....	51
图 2-6 RK3399 GPIO 3.3V only电源设置 .....	51
图 2-7 RK3399 GPIO 1.8V/3.0V电源设置-1.8V模式.....	51
图 2-8 RK3399 GPIO 1.8V/3.0V电源设置-3.0V模式.....	52
图 2-9 RK3399 GPIO 1.8V/3.0V auto电源设置-3.0V模式.....	52
图 2-10 RK3399 GPIO 1.8V/3.0V auto电源设置-1.8V模式 .....	53
图 3-1 RK3399 晶体连接方式及器件参数.....	54
图 3-2 RK3399 待机时钟输入.....	54
图 3-3 RK3399 复位输入.....	55
图 3-4 RK3399 SDRAM的拓扑结构图.....	56
图 3-5 RK3399 DDR控制器电源 .....	57
图 3-6 LPDDR3 DRAM上电时序.....	57
图 3-7 RK3399 eMMC控制器上电时序 .....	58
图 3-8 eMMC颗粒上下电时序 .....	58
图 3-9 RK3399 待机电路框图.....	59
图 3-10 RK3399 芯片PLL电源1 .....	60
图 3-11 RK3399 芯片PLL电源2 .....	60
图 3-12 RK3399 芯片VDD_CPU电源 .....	60
图 3-13 RK3399 芯片VDD_CPU电源的去耦 .....	61
图 3-14 RK3399 芯片VDD_CPU_COM电源反馈 .....	61
图 3-15 RK3399 芯片VDD_GPU电源 .....	62
图 3-16 RK3399 芯片VDD_GPU电源的去耦 .....	62
图 3-17 RK3399 芯片VDD_GPU_COM电源反馈 .....	62
图 3-18 RK3399 芯片数字逻辑介绍.....	63
图 3-19 RK3399 芯片逻辑电源 .....	64
图 3-20 RK3399 芯片VDD_LOG电源-1.8V mode .....	64
图 3-21 RK3399 芯片VDD_LOG电源-3.0V mode .....	65
图 3-22 RK3399 芯片逻辑电源的去耦 .....	65
图 3-23 RK3399 芯片DDR控制器电源 .....	66
图 3-24 RK3399 芯片DDR控制器电源设计 .....	66
图 3-25 RK3399 LPDDR3 DRAM的VREF电源设计 .....	67
图 3-26 RK808-D 框图.....	68
图 3-27 RK808-D 电源架构 .....	69
图 3-28 RK808-D 应用框图 .....	70
图 3-29 VDC应用电路一 .....	71
图 3-30 VDC应用电路二 .....	71
图 3-31 VDC应用电路三 .....	71
图 3-32 RK808-D PWRON管脚 .....	72
图 3-33 RK818-3 框图.....	73
图 3-34 RK818-3 电源架构 .....	74
图 3-35 RK818-3 应用框图 .....	75
图 3-36 RK818-3 PWRON隔离二极管 .....	76
图 3-37 RK818-3 电池放电路径 .....	76

图 3-38 RK818-3 电源路径管理 .....	77
图 3-39 Type-C 接口 .....	77
图 3-40 Type-C 插座 (Front View) .....	77
图 3-41 Type-C 插头 (Front View) .....	78
图 3-42 BQ25700 Type-C 充电芯片电路 .....	78
图 3-43 RK808-D 的 OTP_OUT 过温保护输出电路 .....	79
图 3-44 RK818-3 OTP_OUT 过温保护输出电路 .....	79
图 3-45 PMIC 的 SLEEP 输入 .....	80
图 3-46 PMIC_SLEEP 控制的外围电源 .....	80
图 3-47 RK3399 SDMMC 模块电路 .....	81
图 3-48 千兆 PHY 工作时钟 .....	82
图 3-49 百兆 PHY 工作时钟 .....	82
图 3-50 百兆 PHY 工作时钟 .....	83
图 3-51 RK3399 MAC 控制器复位 .....	83
图 3-52 RK3399 RGMII MDIO 信号 .....	83
图 3-53 RK3399 RMII 接口 MAC_RXDV .....	85
图 3-54 RK3399 USB 2.0 模块 .....	86
图 3-55 RK3399 USB 3.0 模块 .....	87
图 3-56 USB Type-C 接口 .....	88
图 3-57 USB Type-C 接口 discharge 电路 .....	89
图 3-58 USB Type-C 转 DP 接口 .....	90
图 3-59 RK3399 I2S 模块 .....	92
图 3-60 RK3399 I2S0 的 8 声道输入与 2 声道输出 .....	92
图 3-61 RK3399 I2S0 的 2 声道输入与 8 声道输出 .....	92
图 3-62 RK3399 Codec 电路 .....	93
图 3-63 RK3399 Headphone 电路 .....	94
图 3-64 RK3399 MIC 电路 .....	94
图 3-65 RK3399 数字麦克风阵列电路 .....	95
图 3-66 RK3399 eDP 模块 .....	95
图 3-67 RK3399 MIPI DSI0 模块 .....	96
图 3-68 RK3399 MIPI DSI1 模块 .....	96
图 3-69 RK3399 HDMI 模块 .....	97
图 3-70 HDMI CEC 防倒灌电路 .....	97
图 3-71 HDMI DDC 电平转换电路 .....	98
图 3-72 HDMI ESD 电路 .....	98
图 3-73 MIPI-CSI 模块 .....	99
图 3-74 RK3399 CIF 模块 .....	99
图 3-75 RK3399 SAR-ADC 模块 .....	100
图 3-76 RK3399 SDIO/UART 模块 .....	100
图 3-77 SPDIF 使用光纤接口 .....	101
图 3-78 SPDIF 使用同轴接口 .....	101
图 3-79 RK3399 PCIe 模块 .....	102
图 3-80 PCIe JEDEC 中的耦合电容放置需求 .....	102
图 3-81 PCIe TX 耦合电容 .....	103
图 4-1 RK3399 8 层板设计建议叠层结构 .....	104
图 4-2 RK3399 6 层板设计建议叠层结构 .....	104
图 4-3 RK3399 晶体地环设计 .....	105
图 4-4 RK3399 晶体模拟地管脚 .....	105
图 4-5 RK3399 晶体模拟地单独扇出 .....	106
图 4-6 LPDDR3 信号拓扑等效电路 .....	106
图 4-7 DDR3 DATA 信号拓扑等效电路 .....	108
图 4-8 DDR3 CLK 信号拓扑等效电路 .....	108
图 4-9 DDR3 Control (CTL) 信号拓扑等效电路 .....	109
图 4-10 DDR3 Command (CMD) 信号拓扑等效电路 .....	109

图 4-11 LPDDR4 channel框图	110
图 4-12 LPDDR4 控制器ODT	111
图 4-13 LPDDR4 DRAM的ODT_CA	111
图 4-14 LPDDR4 DATA信号拓扑等效电路	111
图 4-15 LPDDR4 CLK信号拓扑等效电路	112
图 4-16 LPDDR4 Control (CSn) 信号拓扑等效电路	112
图 4-17 LPDDR4 Control (CKE) 信号拓扑等效电路	113
图 4-18 LPDDR4 Command (CMD) 信号拓扑等效电路	113
图 4-19 eMMC 走线 (L4 view)	114
图 4-20 eMMC 走线 (Bottom view)	114
图 4-21 eMMC CLK走线 (L4 view)	115
图 4-22 eMMC CLK走线 (Bottom view)	115
图 4-23 eMMC Strobe电阻	116
图 4-24 PCIe 走线要求	117
图 4-25 USB ESD放置	118
图 4-26 USB 走线差分要求	118
图 4-27 USB 走线参考平面要求	119
图 4-28 USB 走线间距要求	119
图 4-29 USB 走线TX耦合电容放置要求1	120
图 4-30 USB 走线TX耦合电容放置要求2	120
图 4-31 USB 走线差分要求	121
图 4-32 USB 走线delay要求1	121
图 4-33 USB 走线delay要求2	121
图 4-34 USB 走线走线包地要求	122
图 4-35 HDMI ESD放置要求	123
图 4-36 HDMI 走线包地要求	123
图 4-37 HDMI 走线间距要求	124
图 4-38 eDP 耦合电容放置要求	125
图 4-39 eDP 走线要求	125
图 4-40 MIPI 走线要求	127
图 4-41 SDIO/SDMMC 走线要求	128
图 4-42 SDIO/SDMMC 走线隔离	128
图 4-43 SDMMC负载电容要求	129
图 4-44 SD卡负载电容	129
图 4-45 MAC RX串联匹配电阻	129
图 4-46 MAC TX串联匹配电阻	130
图 4-47 MAC CLK分支电阻	130
图 4-48 MAC 模块电源去耦电容	130
图 4-49 WIFI SDIO走线	131
图 4-50 BT UART走线	132
图 4-51 BT PCM走线	133
图 4-52 模组RF走线	134
图 4-53 RK通用型板载天线	135
图 4-54 RK通用型板载天线design guidelines	135
图 4-55 芯片下方的完整参考面	136
图 4-56 芯片下方的GND VIA	136
图 4-57 芯片电源平面	137
图 4-58 DDR下方的完整参考面	137
图 4-59 电源去耦电容放置	138
图 4-60 PMIC下方过孔	138
图 4-61 DC-DC输入输出过孔	139
图 4-62 RTC时钟走线	139
图 4-63 DC-DC电感间距	140
图 4-64 LDO走线	140



图 4-65 RK818-3 电流采样电阻放置 .....	141
图 4-66 VBAT换层过孔 .....	141
图 4-67 VBAT路径管理 .....	141
图 4-68 RK3399 大电流过孔放置 .....	142
图 4-69 RK818-3 充电路径 .....	142
图 4-70 RK808-D 充电方案 .....	143
图 4-71 RK808-D 充电设计 .....	143
图 4-72 PMIC反馈设计 .....	144
图 4-73 PMIC反馈设计 .....	144
图 4-74 PMIC反馈线走线 .....	144
图 5-1 $\theta_{JA}$ 的定义 .....	146
图 5-2 $\theta_{JC}$ 的定义 .....	146
图 5-3 $\theta_{JB}$ 的定义 .....	146
图 5-4 散热片散热结构 .....	148
图 7-1 回流焊曲线分类 .....	151
图 7-2 无铅工艺器件封装体耐热标准 .....	151
图 7-3 无铅回流焊接工艺曲线 .....	152
图 7-4 无铅回流焊接工艺建议曲线参数 .....	152
图 8-1 RK3399芯片干燥真空包装 .....	153
图 8-2 六点湿度卡 .....	154

## 插表目录

表 2-1 RK3399 封装信息 .....	21
表 2-2 RK3399 信号管脚描述 .....	29
表 2-3 RK3399 电源与地管脚描述 .....	48
表 2-4 RK3399 GPIO驱动能力 .....	50
表 2-5 RK3399 GPIO电源脚描述 .....	50
表 3-1 RK3399 24MHz时钟要求 .....	54
表 3-2 RK3399 32.768KHz时钟要求 .....	54
表 3-3 RK3399 系统初始化配置信号描述 .....	55
表 3-4 RK3399 JTAG Debug接口信号 .....	55
表 3-5 RK3399 eMMC接口设计 .....	57
表 3-6 RK3399 SPI接口设计 .....	58
表 3-7 RK3399 内部PLL介绍 .....	60
表 3-8 RK3399 峰值电流表 .....	80
表 3-9 RK3399 SDMMC接口设计 .....	81
表 3-10 RK3399 RGMII接口设计 .....	83
表 3-11 RK3399 RMII接口设计 .....	84
表 3-12 RK3399 USB2.0接口设计 .....	86
表 3-13 RK3399 USB3.0接口设计 .....	87
表 3-14 RK3399 DP接口设计 .....	89
表 3-15 USB全功能Type-C标准线缆 .....	90
表 3-16 RK3399 DP接口设计-芯片端 .....	91
表 3-17 RK3399 DP接口设计-VR眼镜端 .....	91
表 3-18 RK3399 I2S0接口设计 .....	92
表 3-19 RK3399 I2S1接口设计 .....	93
表 3-20 RK3399 SDIO接口设计 .....	100
表 3-21 RK3399 UART接口设计 .....	101
表 4-1 RK3399 LPDDR3 Data (DQ/DM/DQS) 走线要求 .....	106
表 4-2 RK3399 LPDDR3 CLK走线要求 .....	107
表 4-3 RK3399 LPDDR3 Control (CTL) 走线要求 .....	107
表 4-4 RK3399 LPDDR3 Command (CMD) 走线要求 .....	107
表 4-5 RK3399 DDR3 Data (DQ/DM/DQS) 走线要求 .....	108
表 4-6 RK3399 DDR3 CLK走线要求 .....	109
表 4-7 RK3399 DDR3 Control (CTL) 走线要求 .....	109
表 4-8 RK3399 DDR3 Command (CMD) 走线要求 .....	109
表 4-9 RK3399 LPDDR4 Data (DQ/DM/DQS) 走线要求 .....	111
表 4-10 RK3399 LPDDR4 CLK走线要求 .....	112
表 4-11 RK3399 LPDDR4 Control (CSn) 走线要求 .....	112
表 4-12 RK3399 LPDDR4 Control (CKE) 走线要求 .....	113
表 4-13 RK3399 LPDDR4 Command (CMD) 走线要求 .....	113
表 4-14 RK3399 eMMC走线要求 .....	116
表 4-15 RK3399 PCIe线路要求 .....	117
表 4-16 RK3399 USB2.0走线要求 .....	119
表 4-17 RK3399 USB3.0走线要求 .....	122
表 4-18 RK3399 HDMI走线要求 .....	124
表 4-19 RK3399 eDP走线要求 .....	125
表 4-20 RK3399 DP走线要求 .....	126
表 4-21 RK3399 MIPI走线要求 .....	127
表 4-22 RK3399 SDIO/SDMMC走线要求 .....	129
表 4-23 BT/WIFI天线指标 .....	135
表 5-1 RK3399 热阻仿真报告结果 .....	145
表 5-2 RK3399 热阻仿真的PCB结构 .....	145
表 8-1 暴露时间参照表 (MSL) .....	154

表 8-2 RK3399 Re-bake参考表 .....	154
-------------------------------	-----

Rockchip Confidential

## 1 系统概述

### 1.1 概述

RK3399是基于Big.Little大小核架构的低功耗高性能处理器，它包括双核Cortex-A72、4核Cortex-A53以及独立的NEON协处理器，可应用于计算机、手机、个人移动互联网，数字多媒体设备。

RK3399内置多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能。支持多格式视频、高品质的JPEG的编解码，以及特殊图像的预处理和后处理。包括h.264、h.265、vp9等格式的4Kx2K @60fps解码，尤其是支持H.264、H.265格式的10bits解码，以及h.264、mvc、vp8等格式的1080p@30fps编码。

RK3399内置3D GPU，能够完全兼容OpenGL ES1.1/2.0/3.0/3.1、OpenCL和DirectX 11.1。特殊的MMU 2D硬解码器能最大限度地提高显示性能，提供流畅的体验操作。

RK3399具有高性能的双通道存储器接口（DDR3/DDR3L/LPDDR3/LPDDR4），能够提供高内存带宽，同时为应用提供了一套完整的外设接口。

### 1.2 功能概括

#### 1.2.1 CPU

- Big.LITTLE大小核架构：双Cortex-A72大核+四Cortex-A53小核
- 64位高性能CPU
- 内置低功耗MCU Cortex-M0

#### 1.2.2 GPU

- 四核ARM Mali-T860MP4高性能GPU
- 支持OpenGL ES1.1/2.0/3.0/3.1、OpenVG1.1、OpenCL、DX11
- 支持AFBC(帧缓冲压缩)

#### 1.2.3 存储

- 双通道DDR3/DDR3L/LPDDR3/LPDDR4
- 支持eMMC 5.1, SDIO 3.0

#### 1.2.4 多媒体

- 支持4K VP9 and 4K 10bits H265/H264 视频解码，高达60fps
- 1080P 多格式视频解码 (WMV、MPEG-1/2/4、VP8)
- 1080P 视频编码，支持H.264，VP8格式
- 视频后期处理器：反交错、去噪、边缘/细节/色彩优化

#### 1.2.5 显示

- 双VOP：分辨率分别支持4096x2160 AFBC及2560x1600
- 支持双通道MIPI-DSI（每通道4 Lane）
- 支持eDP v1.3（4 Lane，2.7Gbps）
- 支持HDMI v2.0 4K 60fps显示，支持HDCP 1.4/2.2
- 支持DisplayPort v1.2（4 Lane，最高支持4K 60Hz）
- 支持Rec.2020及Rec.709

#### 1.2.6 摄像头

- 双ISP像素处理能力高达13MPix/s，支持双路摄像头数据同时输入

#### 1.2.7 外部接口

- 支持双USB 2.0 OTG以及双USB 2.0 HOST接口
- 支持双USB 3.0 Type-C接口

- 支持PCI-Express 2.1接口
- 支持8路数字麦克风阵列输入

### 1.3 芯片框图

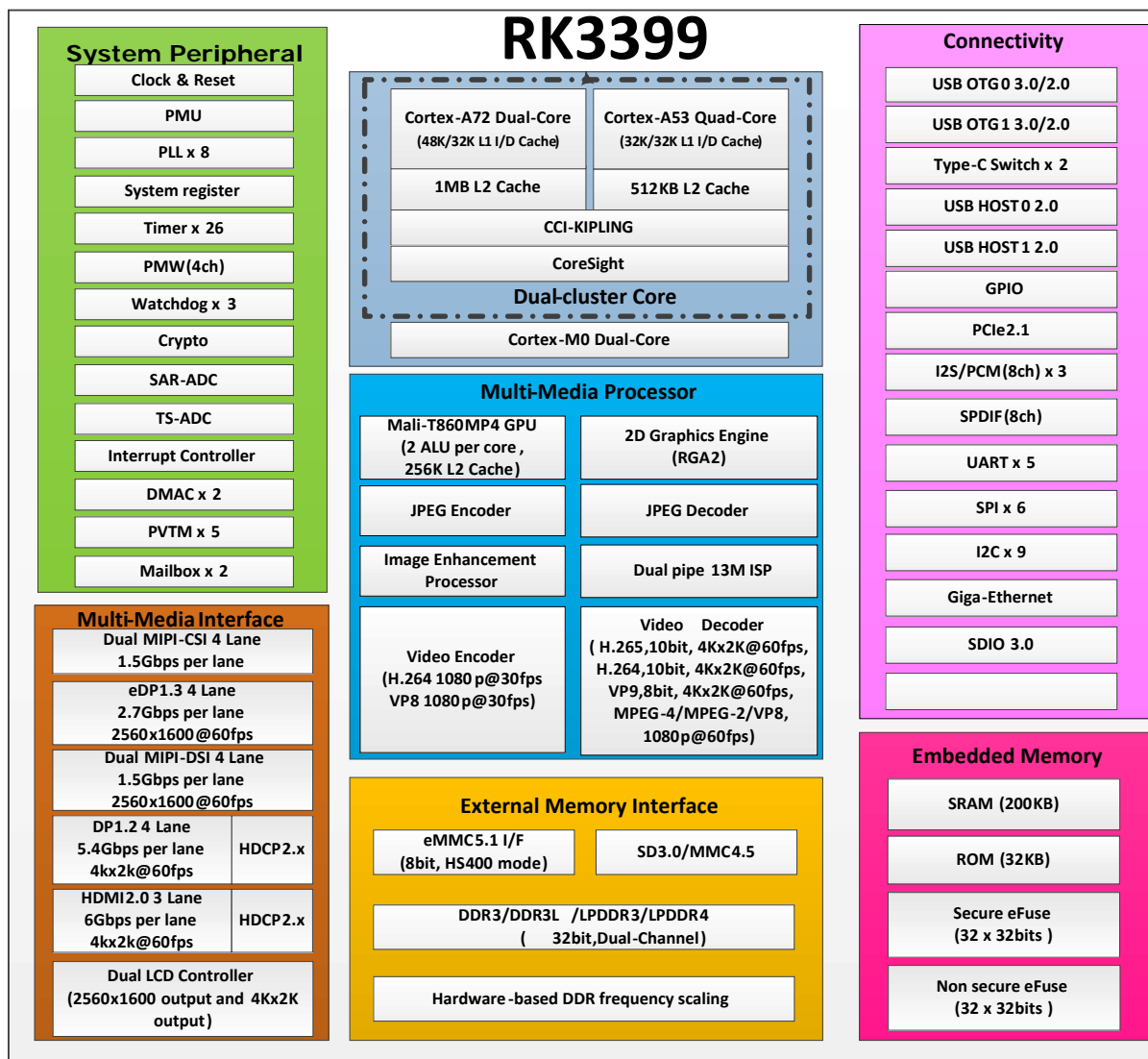


图 1 - 1 RK3399 框图

## 1.4 应用框图

### 1.4.1 NetBook应用框图

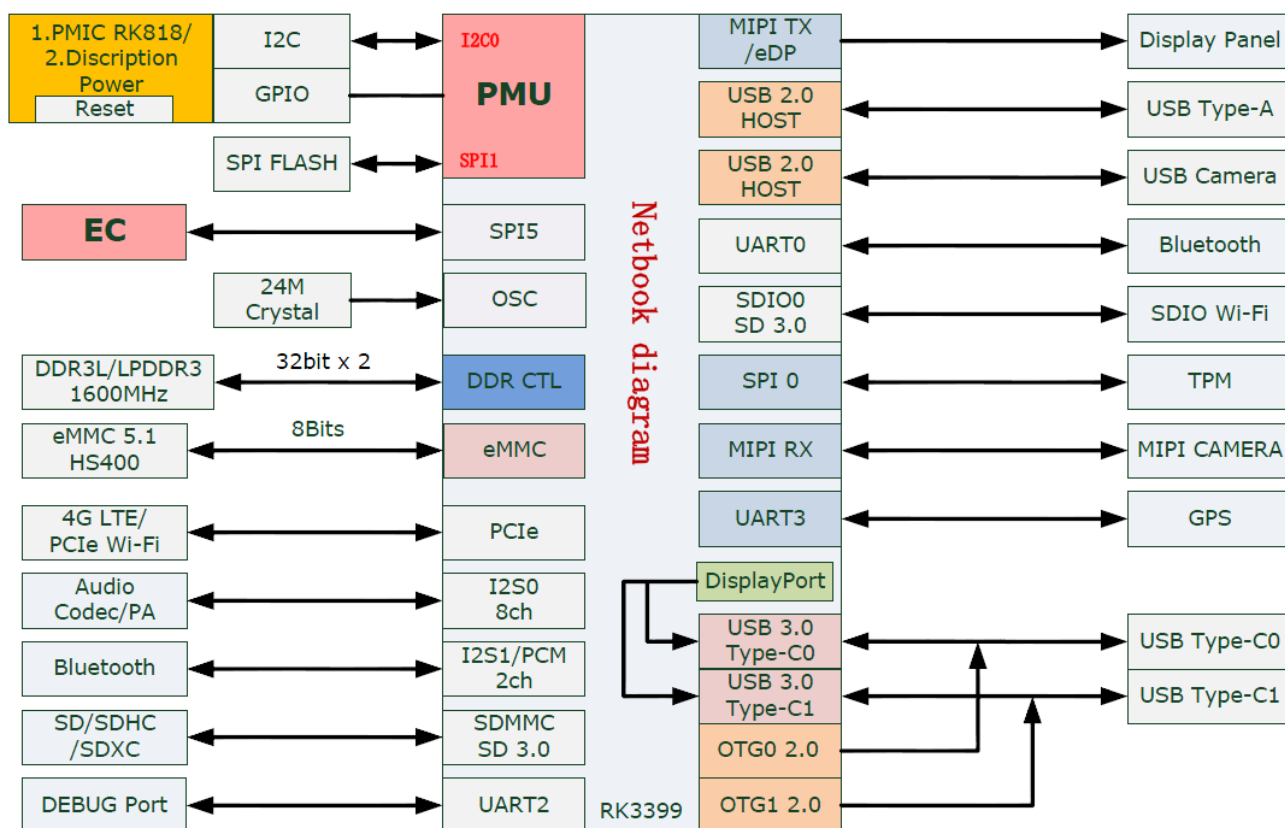


图 1 - 2 RK3399 NetBook应用框图

### 1.4.2 Box应用框图

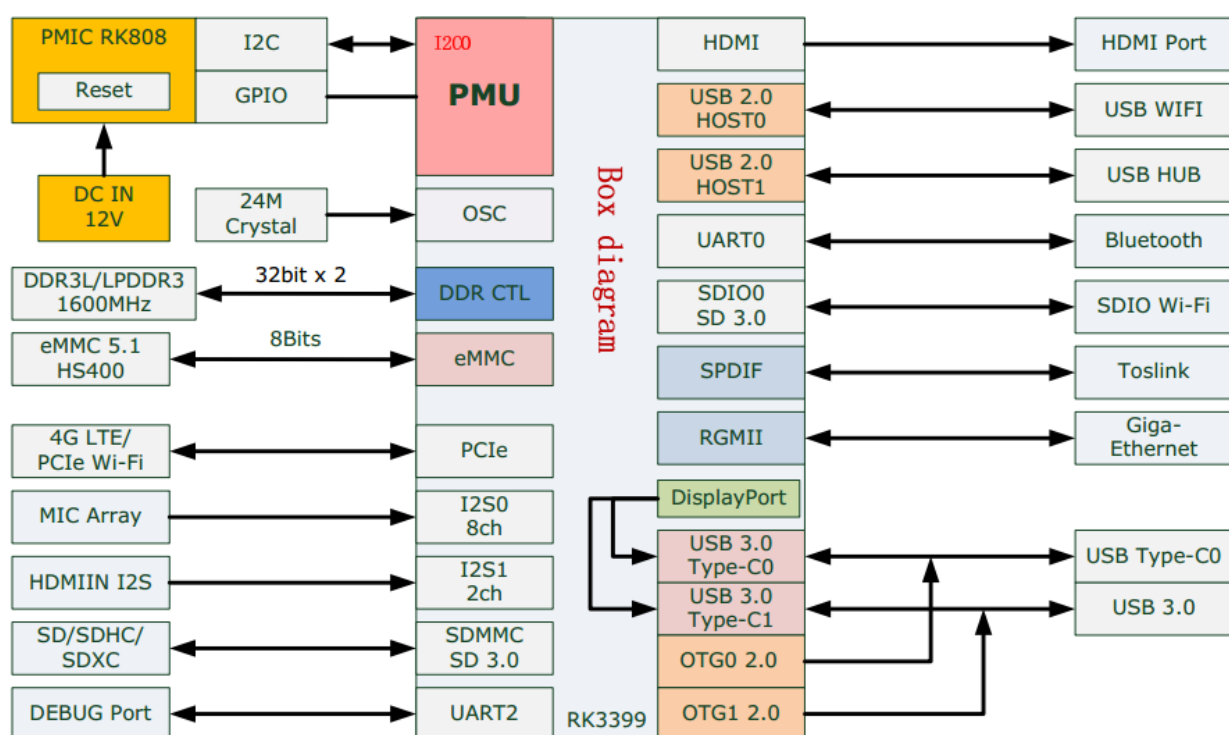


图 1 - 3 RK3399 Box应用框图

## 1.4.3 Tablet应用框图

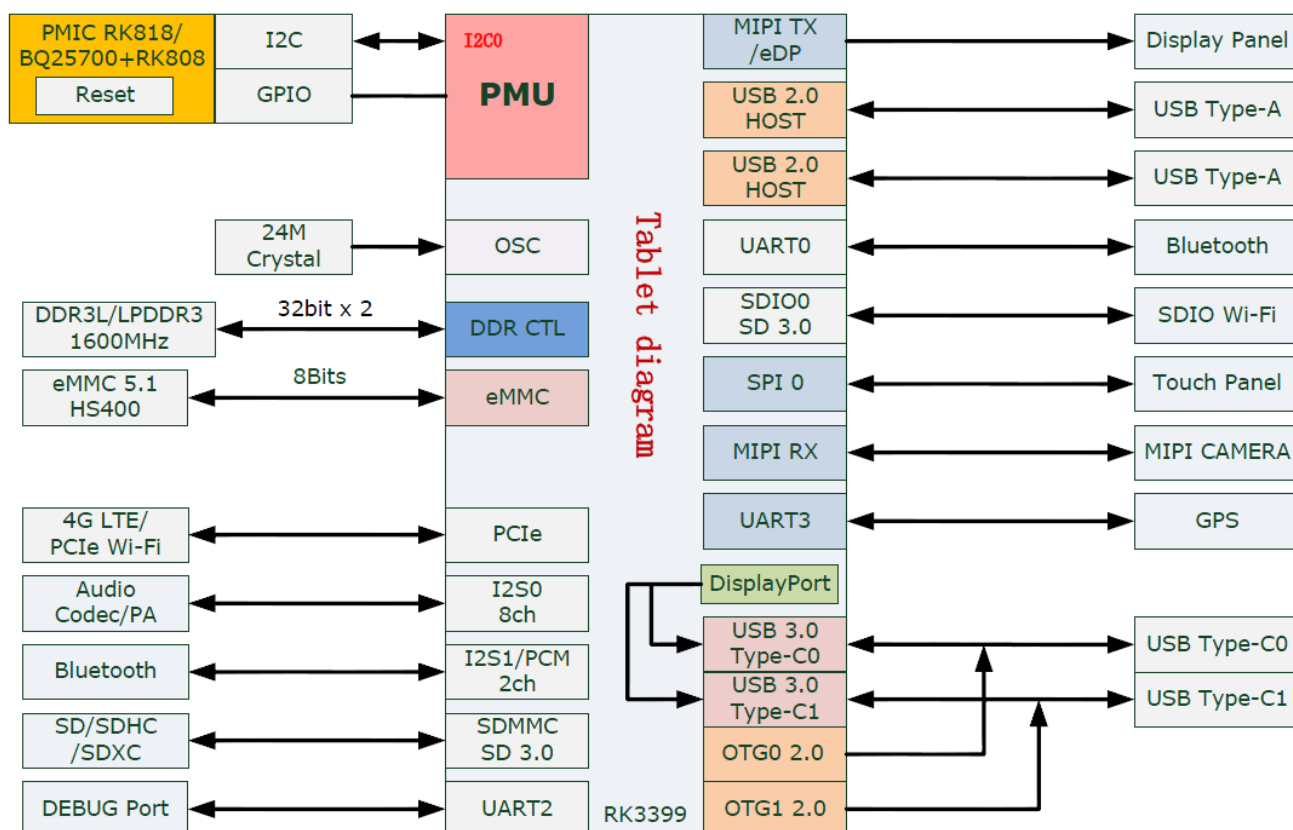


图 1 - 4 RK3399 Tablet应用框图

## 1.4.4 VR应用框图

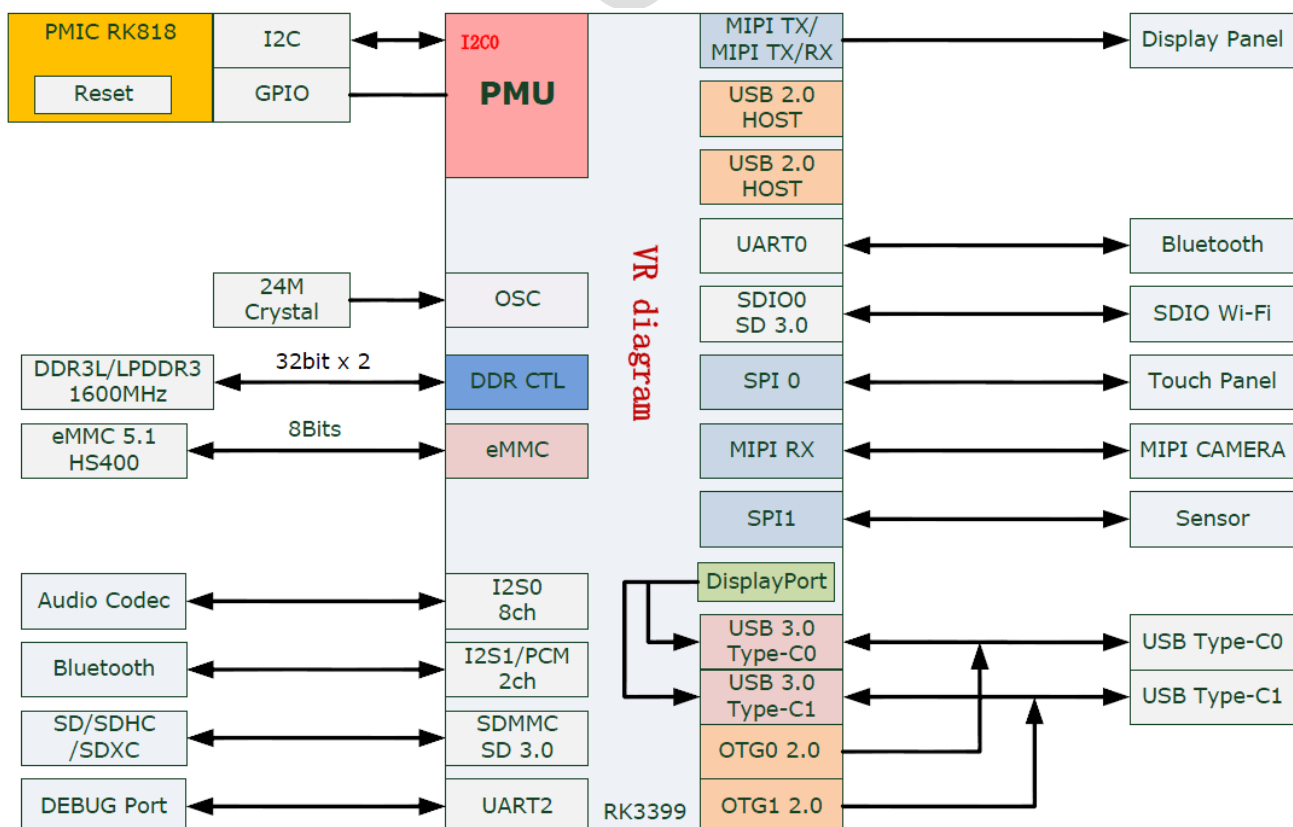


图 1 - 5 RK3399 VR应用框图

以上是RK3399芯片方案的应用框图，更详细的请参考我司发布的参考设计原理图。

Rockchip Confidential



## 2 封装与管脚

### 2.1 封装

#### 2.1.1 信息

RK3399芯片的封装信息如表2-1所示:

表 2 - 1 RK3399 封装信息

Orderable Device	RoHS Status	Package	Package Qty	Device special feature
RK3399	Pb-Free	FCBGA828	TBD	Cortex A72 + Cortex A53

#### 2.1.2 丝印标识定义

RK3399芯片的表面丝印标识图2-1所示:

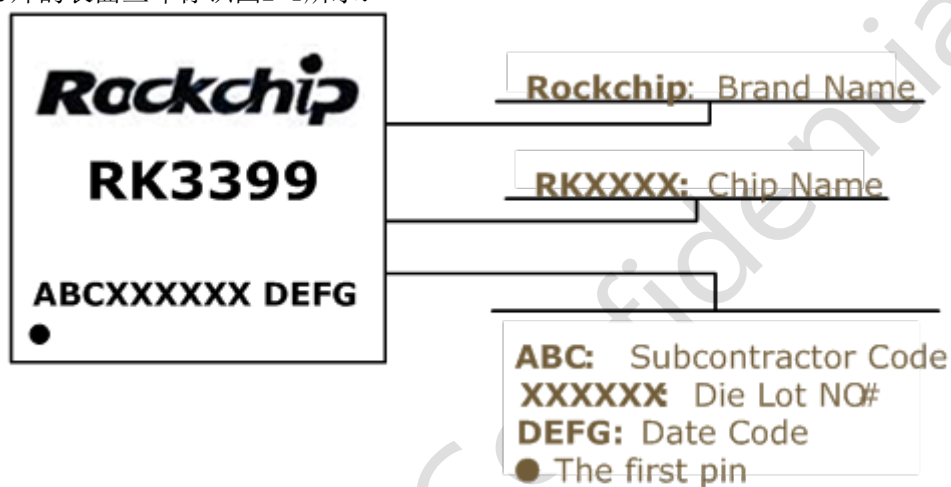


图 2 - 1 RK3399 丝印标识定义

#### 2.1.3 封装尺寸

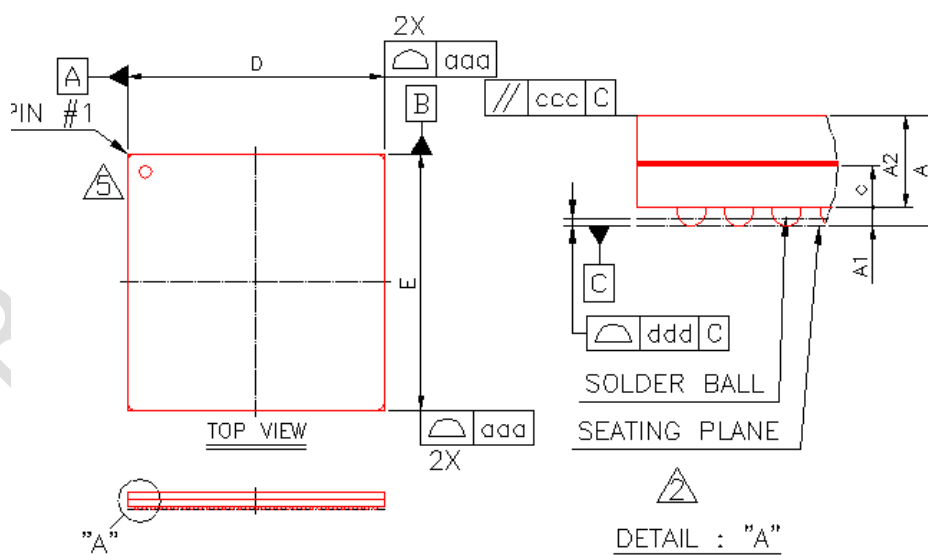


图 2 - 2 RK3399 封装尺寸1

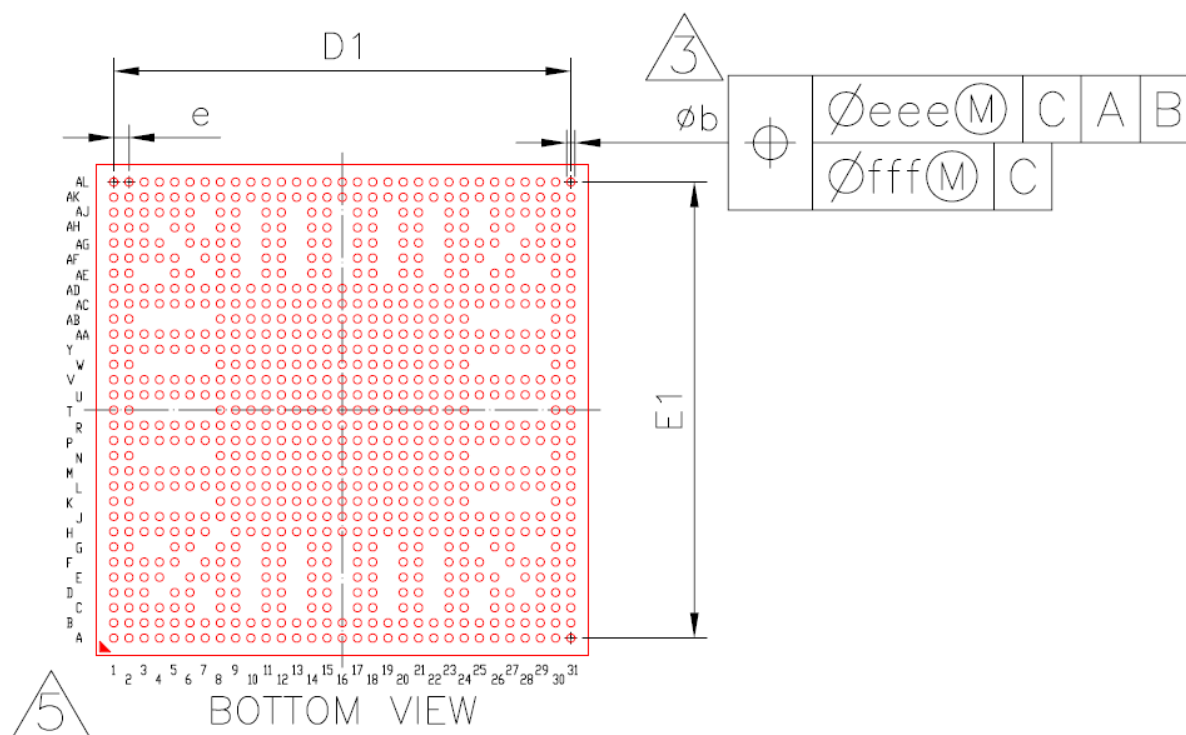


图 2-3 RK3399 封装尺寸2

Symbol	Dimension in mm			Dimension in inch		
	MIN	NORMAL	MAX	MIN	NORMAL	MAX
A	1.41	1.51	1.61	0.056	0.059	0.063
A1	0.20	0.25	0.30	0.008	0.010	0.012
A2	1.11	1.26	1.41	0.044	0.050	0.056
C	0.47	0.57	0.67	0.019	0.022	0.026
D	20.90	21.00	21.15	0.823	0.827	0.833
E	20.90	21.00	21.15	0.823	0.827	0.833
D1	---	19.50	---	---	0.768	---
E1	---	19.50	---	---	0.768	---
e	---	0.65	---	---	0.026	---
b	0.30	0.35	0.40	0.012	0.014	0.016
aaa	0.20			0.008		
ccc	0.25			0.010		
ddd	0.20			0.008		
eee	0.25			0.010		
fff	0.10			0.004		

图 2-4 RK3399 封装尺寸3



### 注意

基准C是由锡球的球形冠所定义的。

尺寸b的测量基于锡球的最大直径，平行于基准C。

## 2.1.4 管脚分布

828	1	2	3	4	5	6	7	8	9	10
A	VSS_1	DDR1_CSN1	DDR1_A12	DDR1_A10	DDR1_CKE0	DDR1_A9	DDR1_A7	DDR1_A5	DDR1_A3	DDR1_A1
B	DDRO_CSN1	DDR1_BA0	DDR1_CSN3	DDR1_A13	VSS_24	DDR1_A8	DDR1_A6	DDR1_A4	DDR1_A2	DDR1_A0
C	DDRO_A12	DDRO_CSN3	DDRO_BA0	DDR1_A14	DDR1_A11	DDR1_RASN	NP	VSS_25	VSS_26	NP
D	DDRO_A10	DDRO_A13	DDRO_A14	NP	VSS_38	DDR1_BA1	NP	DDR1_CLKON	DDR1_CLKOP	NP
E	DDRO_CKE0	VSS_39	DDRO_A11	VSS_40	NP	DDR1_CKE1	VSS_41	DDR1_CLK1N	DDR1_CLK1P	NP
F	DDRO_A1	DDRO_A0	DDRO_RASN	DDRO_BA1	DDRO_CKE1	NP	DDR1_WEN	VSS_48	DDR1_CASN	NP
G	DDRO_A2	DDRO_A3	NP	NP	VSS_53	DDRO_WEN	NP	DDR1_A15	VSS_54	NP
H	DDRO_A5	DDRO_A4	VSS_57	DDRO_CLKOP	DDRO_CLK1P	DDRO_CASN	DDRO_A15	NP	VSS_58	VSS_59
828	1	2	3	4	5	6	7	8	9	10
J	DDRO_A6	DDRO_A7	VSS_68	DDRO_CLKON	DDRO_CLK1N	VSS_69	VSS_70	VSS_71	VSS_72	VSS_73
K	DDRO_A9	DDRO_A8	NP	NP	NP	NP	NP	VSS_74	VSS_75	VSS_76
L	DDRO_DQ29	DDRO_DQ31	VSS_85	DDRO_ODT0	DDRO_ODT1	VSS_86	DDRO_RESETN	VSS_87	DDRO_VDD_1	DDRO_VDD_2
M	DDRO_DQ27	DDRO_DQ30	VSS_100	DDRO_BA2	DDRO_CSN2	DDRO_CSNO	DDRO_CLK_VDD	VSS_101	DDRO_VDD_3	VSS_102
N	DDRO_DQ26	DDRO_DQ28	NP	NP	NP	NP	NP	VSS_105	DDRO_VDD_4	DDRO_VDD_5
P	DDRO_DQ24	DDRO_DQ25	VSS_112	DDRO_DQS3P	DDRO_DM3	VSS_113	VSS_114	VSS_115	DDRO_VDD_6	VSS_116
R	DDRO_DQ23	DDRO_DQ22	VSS_123	DDRO_DQS3N	VSS_124	VSS_125	DDRO_FZQ	DDROPLL_AVDD_OV9	DDRO_VDD_7	DDRO_VDD_8
T	DDRO_DQ20	DDRO_DQ21	NP	NP	NP	NP	NP	VSS_134	DDRO_VDD_9	VSS_135

828	1	2	3	4	5	6	7	8	9	10
U	DDRO_DQ18	DDRO_DQ19	VSS_141	DDRO_DQS2P	DDRO_DM2	DDRO_ATB0	DDRO_ATB1	VSS_142	DDRO_VDD_10	DDRO_VDD_11
V	DDRO_DQ16	DDRO_DQ17	VSS_151	DDRO_DQS2N	VSS_152	DDRO_PLL_TES TOUT_P	DDRO_PLL_TES TOUT_N	VSS_153	DDRO_VDD_12	VSS_154
W	DDRO_DQ6	DDRO_DQ7	BT	BT	BT	BT	BT	VSS_161	VSS_162	GPU_VDD_20
Y	DDRO_DQ5	DDRO_DQ4	VSS_8	DDRO_DQS0P	DDRO_DMO	GPIO4_A2/I2C 1_SCL	GPIO3_D3/I2S 0_SDI0	API05_VDD	VSS_166	VSS_15
AA	DDRO_DQ3	DDRO_DQ2	VSS_4	DDRO_DQSON	VSS_5	GPIO3_D5/I2S 0_SDI2SD02	GPIO4_A4/I2S 1_LRCK_RX	API05_VDDPST	VSS_6	VSS_179
AB	DDRO_DQ1	DDRO_DQ0	BT	BT	BT	BT	BT	API03_VDD_1V 8	VSS_9	AVSS_12
AC	DDRO_DQ14	DDRO_DQ15	VSS_16	DDRO_DQS1P	DDRO_DM1	GPIO4_A7/I2S 1_SDO0	GPIO4_A0/I2S _CLK	API04_VDDPST	API04_VDD	MIPI_TX1/RX1 _AVDD_1V8
AD	DDRO_DQ13	DDRO_DQ11	VSS_17	DDRO_DQS1N	VSS_18	GPIO4_A6/I2S 1_SDI0	GPIO4_C7/HDM I_CECINOUT/E DP_HOTPLUG	GPIO2_C4/SDI 00_D0/SPI5_R XD	GPIO2_D3/SDI 00_FWRN	VSS_19
828	1	2	3	4	5	6	7	8	9	10
AE	DDRO_DQ12	DDRO_DQ9	BT	BT	GPIO3_D4/I2S 0_SDI1SD03	GPIO4_D0/PCI E_CLKREQNB	BT	GPIO2_C7/SDI 00_D3/SPI5_C SNO	GPIO2_C0/UAR TO_RX	BT
AF	DDRO_DQ10	DDRO_DQ8	GPIO4_A3/I2S 1_SCLK	GPIO3_D1/I2S 0_LRCK_RX	GPIO4_C2/PWM 0/VOPO_PWM/V OP1_PWM	BT	GPIO2_D1/SDI 00_CLKOUT/TE ST_CLKOUT1	GPIO2_D4/SDI 00_BKPWR	VSS_20	BT
AG	GPIO4_A1/I2C 1_SDA	VSS_21	GPIO3_D0/I2S 0_SCLK	GPIO4_D6	BT	GPIO4_C0/I2C 3_SDA/UART2B _RX	GPIO2_C6/SDI 00_D2/SPI5_C LK	GPIO2_C2/UAR TO_CTSN	MIPI_TX0_D3P	BT
AH	GPIO3_D7/I2S 0_SDO0	GPIO3_D6/I2S 0_SDI3SD01	GPIO4_D2	BT	GPIO4_D4	GPIO2_D0/SDI 00_CMD	BT	GPIO2_C1/UAR TO_TX	MIPI_TX0_D3N	BT
AJ	GPIO4_A5/I2S 1_LRCK_TX	GPIO3_D2/I2S 0_LRCK_TX	GPIO4_D5	GPIO4_C4/UAR T2C_TX	VSS_22	AVSS_31	BT	AVSS_32	AVSS_33	BT
AK	GPIO4_C5/SPD IF_TX	GPIO4_C3/UAR T2C_RX	GPIO4_D3	GPIO4_D1/DP_ HOTPLUG	GPIO2_C5/SDI 00_D1/SPI5_T XD	MIPI_TX1/RX1 _D0P	MIPI_TX1/RX1 _D1P	MIPI_TX1/RX1 _CLKP	MIPI_TX1/RX1 _D2P	MIPI_TX1/RX1 _D3P
AL	VSS_23	GPIO4_C1/I2C 3_SCL/UART2B _TX	GPIO4_C6/PWM 1	GPIO2_D2/SDI 00_DET/PCIE _CLKREQN	GPIO2_C3/UAR TO_RTSN	MIPI_TX1/RX1 _DON	MIPI_TX1/RX1 _D1N	MIPI_TX1/RX1 _CLKN	MIPI_TX1/RX1 _D2N	MIPI_TX1/RX1 _D3N

880	11	12	13	14	15	16	17	18	19	20
A	DDR1_DQ10	DDR1_DQ12	DDR1_DQ13	DDR1_DQ14	DDR1_DQ1	DDR1_DQ3	DDR1_DQ5	DDR1_DQ6	DDR1_DQ16	DDR1_DQ18
B	DDR1_DQ8	DDR1_DQ9	DDR1_DQ11	DDR1_DQ15	DDR1_DQ0	DDR1_DQ2	DDR1_DQ4	DDR1_DQ7	DDR1_DQ17	DDR1_DQ19
C	VSS_27	VSS_28	RF	VSS_29	VSS_30	RF	VSS_31	VSS_32	RF	VSS_33
D	DDR1_ODT0	DDR1_BA2	RF	DDR1_DQS1N	DDR1_DQS1P	RF	DDR1_DQS0N	DDR1_DQS0P	RF	DDR1_DQS2N
E	DDR1_ODT1	VSS_42	RF	DDR1_DM1	VSS_43	RF	DDR1_DMO	VSS_44	RF	DDR1_DM2
F	DDR1_CSN2	DDR1_CSNO	RF	DDR1_PLL_TES TOUT_P	VSS_49	RF	DDR1_ATB0	VSS_50	RF	VSS_51
G	DDR1_RESETN	DDR1_CLK_VDD	RF	DDR1_PLL_TES TOUT_N	DDR1_PZQ	RF	DDR1_ATB1	VSS_55	RF	EDP_DC_TP
H	VSS_60	VSS_61	VSS_62	DDR1PLL_AVDD _OV9	VSS_63	VSS_64	VSS_65	VSS_66	EDP_AVSS_5	EDP_AVDD_OV9

880	11	12	13	14	15	16	17	18	19	20
J	DDR1_VDD_1	DDR1_VDD_2	DDR1_VDD_3	DDR1_VDD_4	DDR1_VDD_5	DDR1_VDD_6	DDR1_VDD_7	DDR1_VDD_8	EDP_AVDD_1V8 _1	EDP_AVDD_1V8 _2
K	DDR1_VDD_9	VSS_77	DDR1_VDD_10	VSS_78	DDR1_VDD_11	VSS_79	DDR1_VDD_12	VSS_80	BIGCPU_VDD_1 _2	VSS_82
L	VSS_88	VSS_89	VSS_90	VSS_91	VSS_92	VSS_93	LOGIC_VDD_10	BIGCPU_VDD_8	BIGCPU_VDD_1	VSS_96
M	CENTERLOGIC_ VDD_1	CENTERLOGIC_ VDD_2	CENTERLOGIC_ VDD_3	CENTERLOGIC_ VDD_4	CENTERLOGIC_ VDD_5	VSS_103	LOGIC_VDD_9	BIGCPU_VDD_3	BIGCPU_VDD_4	BIGCPU_VDD_5
N	CENTERLOGIC_ VDD_6	CENTERLOGIC_ VDD_7	VSS_108	VSS_109	VSS_110	VSS_111	VSS_94	BIGCPU_VDD_C OM	VSS_83	BIGCPU_VDD_1 _0
P	VSS_106	VSS_107	CENTERLOGIC_ VDD_8	CENTERLOGIC_ VDD_9	CENTERLOGIC_ VDD_10	VSS_117	PLL_AVSS	PLL_AVDD_1V8	VSS_119	LITCPU_VDD_1
R	GPU_VDD_8	GPU_VDD_9	GPU_VDD_13	VSS_129	VSS_130	VSS_131	PLL_AVDD_OV9	VSS_165	LITCPU_VDD_2	LITCPU_VDD_3
T	GPU_VDD_10	GPU_VDD_11	GPU_VDD_12	GPU_VDD_14	GPU_VDD_COM	VSS_138	LOGIC_VDD_11	VSS_168	VSS_122	LITCPU_VDD_6

880	11	12	13	14	15	16	17	18	19	20
U	VSS_126	VSS_127	GPU_VDD_7	VSS_137	VSS_143	VSS_144	LOGIC_VDD_8	LOGIC_VDD_7	VSS_146	LOGIC_VDD_12
V	GPU_VDD_15	GPU_VDD_16	GPU_VDD_6	GPU_VDD_5	GPU_VDD_4	GPU_VDD_17	VSS_148	LOGIC_VDD_5	LOGIC_VDD_4	LOGIC_VDD_3
W	GPU_VDD_1	GPU_VDD_2	VSS_128	GPU_VDD_3	GPU_VDD_19	GPU_VDD_18	VSS_159	VSS_169	VSS_167	LOGIC_VDD_6
Y	VSS_155	VSS_136	VSS_164	VSS_156	VSS_157	VSS_118	VSS_95	TYPECO_AVDD_OV9_2	TYPECO_AVDD_OV9_1	VSS_170
AA	AVSS_13	AVSS_17	VSS_177	AVSS_26	AVSS_53	HDMI_AVDD_OV9_1	HDMI_AVDD_OV9_2	TYPECO_AVDD_1V8	NC_8	NC_9
AB	AVSS_8	MIPI_TX0_AVD_D_1V8	AVSS_9	MIPI_RX0_AVD_D_1V8	AVSS_42	AVSS_41	AVSS_52	TYPECO_AVDD_3V3	VSS_140	NC_10
AC	AVSS_44	NC_7	AVSS_45	NC_4	AVSS_10	AVSS_18	AVSS_43	VSS_145	TYPEC1_U3VBU_SDET	VSS_13
AD	NC_2	NC_3	AVSS_11	NC_5	NC_6	HDMI_AVDD_1V8	AVSS_16	TYPECO_RCLKM	TYPECO_U3VBU_SDET	TYPEC1_RCLKM

880	11	12	13	14	15	16	17	18	19	20
AE	AVSS_21	AVSS_22	BP	AVSS_23	HDMI_HPD	BP	AVSS_24	TYPECO_RCLKP	BP	TYPEC1_RCLKP
AF	MIPI_TX1/RX1_REXT	MIPI_TX0_REXT	BP	MIPI_RX0_REXT	HDMI_REXT	BP	AVSS_27	VSS_7	BP	VSS_10
AG	MIPI_TX0_D2P	MIPI_TX0_CLK_P	BP	MIPI_TX0_D1P	MIPI_TX0_D0P	BP	TYPECO_AUXM_PU_PD	TYPECO_REXT	BP	TYPECO_REXT_CC
AH	MIPI_TX0_D2N	MIPI_TX0_CLK_N	BP	MIPI_TX0_D1N	MIPI_TX0_D0N	BP	TYPECO_AUXP_PD_FU	TYPECO_CC1	BP	TYPECO_CC2
AJ	AVSS_34	AVSS_35	BP	AVSS_36	AVSS_37	BP	AVSS_38	AVSS_39	BP	VSS_180
AK	MIPI_RX0_D3P	MIPI_RX0_D2P	MIPI_RX0_CLK_P	MIPI_RX0_D1P	MIPI_RX0_D0P	HDMI_TCP	HDMI_TX0P	HDMI_TX1P	HDMI_TX2P	TYPECO_AUXP
AL	MIPI_RX0_D3N	MIPI_RX0_D2N	MIPI_RX0_CLK_N	MIPI_RX0_D1N	MIPI_RX0_D0N	HDMI_TCN	HDMI_TX0N	HDMI_TX1N	HDMI_TX2N	TYPECO_AUXM

910	21	22	23	24	25	26	27	28	29	30	31
A	DDR1_DQ20	DDR1_DQ23	DDR1_DQ24	DDR1_DQ26	DDR1_DQ27	DDR1_DQ29	VSS_2	EDP_AUXN	EDP_TXON	EDP_TX1N	VSS_3
B	DDR1_DQ21	DDR1_DQ22	DDR1_DQ25	DDR1_DQ28	DDR1_DQ30	DDR1_DQ31	GPI03_B7/MAC_CRS/UART3_TX/CIF_CLKOUT_B	EDP_AUXP	EDP_TXOP	EDP_TX1P	EDP_AVSS_1
C	VSS_34	RF	VSS_35	VSS_36	RF	VSS_37	GPI03_B1/MAC_RXDV	EDP_AVSS_2	EDP_AVSS_3	EDP_TX2P	EDP_TX2N
D	DDR1_DQS2P	RF	DDR1_DQS3N	DDR1_DQS3P	RF	GPI03_A4/MAC_TXD0/SPI0_RXD	GPI03_C0/MAC_COL/UART3_CTSN/SPDIF_TX	RF	EDP_AVSS_4	EDP_TX3P	EDP_TX3N
E	VSS_45	RF	DDR1_DM3	VSS_46	GPI03_A3/MAC_RXD3/SPI4_CSN0	GPI03_A6/MAC_RXD0/SPI0_CLK	RF	GPI03_C1/MAC_TXCLK/UART3_RTSM	GPI03_B0/MAC_MDC/SPI0_CS_N1	GPI03_A2/MAC_RXD2/SPI4_CLK	VSS_47
F	VSS_52	RF	GPI03_B2/MAC_RXER/I2C5_SDA	GPI03_A0/MAC_TXD2/SPI4_RXD	GPI03_B6/MAC_RXCLK/UART3_RX	RF	GPI03_A7/MAC_RXD1/SPI0_CSN0	GPI02_A3/VOP_D3/CIF_D3	GPI02_A5/VOP_D5/CIF_D5	GPI02_B1/SPI2_RXD/CIF_HREF/I2C6_SDA	GPI02_B4/SPI2_CSN0
G	EDP_REXT	RF	GPI03_A5/MAC_TXD1/SPI0_TXD	GPI03_B3/MAC_CLK/I2C5_SCL	RF	GPI03_B5/MAC_MDIO/UART1_TX	VSS_56	RF	RF	GPI02_A7/VOP_D7/CIF_D7/I2C7_SDA	GPI02_A0/VOP_D0/CIF_D0/I2C7_SDA
H	EDP_CLK24M_IN	GPI03_B4/MAC_TXEN/UART1_RX	GPI03_A1/MAC_TXD3/SPI4_TXD	GPI02_B2/SPI2_TXD/CIF_CLKIN/I2C6_SCL	GPI02_A1/VOP_D1/CIF_D1/I2C2_SCL	VSS_67	GPI02_A6/VOP_D6/CIF_D6	GPI02_B0/VOP_CLK/CIF_VSYNC/I2C7_SCL	GPI02_A4/VOP_D4/CIF_D4	GPI02_A2/VOP_D2/CIF_D2	GPI02_B3/SPI2_CLK/VOP_DEN/CIF_CLKOUT_A

910	21	22	23	24	25	26	27	28	29	30	31
J	EDP_AVSS_6	API01_VDDPST	API01_VDD	API02_VDDPST	EMMC_D3	EMMC_D4	EMMC_D5	EMMC_D0	EMMC_D1	EMMC_D2	EMMC_CMD
K	BIGCPU_VDD_13	VSS_84	API02_VDD	EMMC_VDD_1V8	RF	RF	RF	RF	RF	EMMC_D7	EMMC_STRB
L	BIGCPU_VDD_2	VSS_97	BIGCPU_VDD_11	EMMC_COREDLL_OV9	GPI01_C6/TCPD_VBUS_SOURCE0	GPI01_D0/TCPD_VBUS_SOURCE2	VSS_99	EMMC_CLK	EMMC_CALIO	EMMC_TP	EMMC_D6
M	BIGCPU_VDD_6	BIGCPU_VDD_7	VSS_104	GPI01_B5	GPI01_B6/PWM3B_IR	GPI01_B7/SPI3_RXD/I2C0_SDA	GPI01_C1/SPI3_CLK	GPI01_C3/PWM2	GPI01_C4/I2C8_SDA	GPI01_C5/I2C8_SCL	GPI01_C7/TCPD_VBUS_SOURCE1
N	VSS_98	BIGCPU_VDD_9	PMU02_VDDPST	GPI00_A2/WIFI_26MHz	RF	RF	RF	RF	RF	GPI01_C0/SPI3_TXD/I2C0_SCL	GPI01_C2/SPI3_CSN0
P	VSS_121	LITCPU_VDD_4	PMU02_VDD	GPI00_B5/TCPD_VBUS_FDIS/TCPD_VBUS_SOURCE3	GPI00_A6/PWM3A_IR	GPI01_A6/TSA_DC_INT	GPI01_A7/SPI1_RXD/UART4_RX	GPI01_B1/SPI1_CLK/PMCU_JTAG_TCK	GPI01_B2/SPI1_CSN0/PMCU_JTAG_TMS	GPI01_B4/I2C4_SCL	GPI01_B3/I2C4_SDA
R	VSS_120	LITCPU_VDD_7	VSS_133	PMU01_VDD_1V8	GPI01_A0/ISP0_SHUTTER_EN/ISP1_SHUTTER_EN/TCPD_VB	GPI01_A2/ISP0_FLASHTRIGIN/ISP1_FLASHTRIGIN/TCPD_VB	GPI01_A3/ISP0_FLASHTRIGOUT/ISP1_FLASHTRIGOUT	GPI01_A4/ISP0_PRELIGHT_TRIG/ISP1_PRELIGHT_TRIG	GPI00_A1/DDRIO_FWROFF/TCPD_CCDB_EN	GPI01_A5/AP_FWROFF	GPI01_B0/SPI1_TXD/UART4_TX
T	VSS_139	LITCPU_VDD_5	SDMMC0_VDD	PMU_VDD_OV9	RF	RF	RF	RF	RF	NFOR	GPI01_A1/ISP0_SHUTTER_TRIG/ISP1_SHUTTER_TRIG/TCP

910	21	22	23	24	25	26	27	28	29	30	31
U	VSS_147	VSS_149	AVSS_49	USB_AVDD_1V8	PMU_VDD_1V8	SDDMCO_VDDPST	GPIO4_B3/SDMCO_D3/APJTAG_TMS	GPIO0_B0/SDMCO_WRP1/TEST_CLKOUT2	VSS_150	GPIO0_B3	GPIO0_A0/TEST_CLKOUT0/CLK32K_IN
V	LOGIC_VDD_2	LOGIC_VDD_1	AVSS_50	USB_AVDD_OV9	GPIO4_B5/SDMCO_CMD/MCUJTAG_TMS	GPIO0_B4/TCFD_VBUS_BDIS	GPIO0_A5/EMMC_FWRON	GPIO0_A7/SDMCO_DET	GPIO4_B4/SDMCO_CLKOUT/MUCJTAG_TCK	GPIO0_B1/PMUI02_VOLSEL	GPIO0_A3/SDI00_WRP1
W	VSS_81	VSS_158	AVSS_46	PCIE_AVDD_OV9	RP	RP	RP	RP	RP	VSS_160	GPIO0_B2
Y	TYPEC1_AVDD_OV9_1	TYPEC1_AVDD_OV9_2	AVSS_1	PCIE_AVDD_1V8	USB_AVDD_3V3	GPIO4_B1/SDMCO_D1/UART2A_TX	GPIO4_B0/SDMCO_D0/UART2A_RX	GPIO4_B2/SDMCO_D2/APJTAG_TCK	AVSS_48	XOUT_OSC	XIN_OSC
AA	TYPEC1_AVDD_1V8	NC_11	AVSS_4	DFTJTAG_TMS	GPIO0_A4/SDI00_INTN	AVSS_6	PCIE_TX2_P	PCIE_TX2_N	AVSS_7	USB1_DP	USB1_DN
AB	TYPEC1_AVDD_3V3	NC_1	AVSS_5	DFTJTAG_TRST_N	RP	RP	RP	RP	RP	USBO_DP	USBO_DN
AC	VSS_132	VSS_12	AVSS_19	ADC_AVDD	AVSS_51	AVSS_14	PCIE_RX2_P	PCIE_RX2_N	AVSS_15	USB1_RBIAS	USBO_RBIAS
AD	VSS_163	VSS_11	EFUSE	USIC_AVDD_1V2	USIC_AVDD_OV9	AVSS_40	PCIE_TX3_P	PCIE_TX3_N	AVSS_20	PCIE_RCLK_10OM_N	PCIE_RCLK_10OM_P

910	21	22	23	24	25	26	27	28	29	30	31
AE	TYPEC1_REXT	RP	VSS_14	TYPEC1_AUXP_PD_FU	RP	TYPEC1_ID	AVSS_25	RP	RP	PCIE_TX0_P	PCIE_TX0_N
AF	TYPEC1_CC2	RP	AVSS_2	AVSS_3	TYPEC1_AUXM_FU_PD	RP	PCIE_RX3_P	PCIE_RX3_N	AVSS_28	PCIE_RX0_P	PCIE_RX0_N
AG	TYPEC1_REXT_CC	RP	TYPECO_DP	TYPEC1_DP	ADC_IN2	ADC_IN0	RP	ADC_IN3	AVSS_29	PCIE_TX1_P	PCIE_TX1_N
AH	TYPEC1_CC1	RP	TYPECO_DN	TYPEC1_DN	RP	ADC_IN1	ADC_IN4	RP	AVSS_30	PCIE_RX1_P	PCIE_RX1_N
AJ	VSS_172	RP	VSS_173	VSS_174	RP	VSS_175	VSS_176	VSS_171	AVSS_47	USIC_STROBE	USIC_DATA
AK	TYPECO_RX1P	TYPECO_TX1M	TYPECO_RX2P	TYPECO_TX2M	TYPEC1_RX1P	TYPEC1_TX1M	TYPEC1_RX2P	TYPEC1_TX2M	TYPEC1_AUXP	TYPECO_U2VBU_SDET	TYPEC1_U2VBU_SDET
AL	TYPECO_RX1M	TYPECO_TX1P	TYPECO_RX2M	TYPECO_TX2P	TYPEC1_RX1M	TYPEC1_TX1P	TYPEC1_RX2M	TYPEC1_TX2P	TYPEC1_AUXM	TYPECO_ID	VSS_178



## 2.2 管脚排列表

### 2.2.1 信号管脚描述

表 2-2 RK3399 信号管脚描述

	Pin Name	Func 1	Func 2	Func 3	Func 4	Type	De f	PD/P U	Defa ult	INT
<b>PMUI01 (1.8V only)</b>										
Y31	XIN_OSC					I	I			
Y30	XOUT_OSC					O	O			
T30	NPOR					I	I	up		
U31	GPIO0_A0/TESTCLKOUT0/CLK32K_IN	gpio0_a[0]	testclkout0	clk32k_in		I/O	I	up	5mA	✓
R29	GPIO0_A1/DDRIO_PWROFF/TCPD_CCDB_EN	gpio0_a[1]	ddrio_pwroff	tcpd_ccdb_en		I/O	I	up	5mA	✓
N24	GPIO0_A2/WIFI_26MHZ	gpio0_a[2]	wifi_26m			I/O	I	down	5mA	✓
V31	GPIO0_A3/SDIO0_WRPRT	gpio0_a[3]	sdio0_wrprt			I/O	I	down	5mA	✓
AA25	GPIO0_A4/SDIO0_INTN	gpio0_a[4]	sdio0_intn			I/O	I	down	5mA	✓
V27	GPIO0_A5/EMMC_PWRON	gpio0_a[5]	emmc_pwren			I/O	I	up	5mA	✓
P25	GPIO0_A6/PWMA3_IR	gpio0_a[6]	pwma3_ir			I/O	I	down	5mA	✓
V28	GPIO0_A7/SDMMC0_DET	gpio0_a[7]	sdmmc0_dectn			I/O	I	up	5mA	✓
U28	GPIO0_B0/SDMMC0_WRPRT/TEST_CLKOUT2	gpio0_b[0]	sdmmc0_wrprt	test_clkout2		I/O	I	up	5mA	✓
V30	GPIO0_B1/PMUI02_1833_VOLSEL	gpio0_b[1]	pmuio2_1833_vo lssel			I/O	I	down	5mA	✓
W31	GPIO0_B2	gpio0_b[2]				I/O	I	down	5mA	✓
U30	GPIO0_B3	gpio0_b[3]				I/O	I	down	5mA	✓
V26	GPIO0_B4/TCPD_VBUS_BDIS	gpio0_b[4]	tcpd_vbus_bdis			I/O	I	down	5mA	✓
P24	GPIO0_B5/TCPD_VBUS_FDIS/TCPD_VBUS_SOURC E3	gpio0_b[5]	tcpd_vbus_fdis	tcpd_vbus_sou rce3		I/O	I	down	5mA	✓
	Pin Name	Func 1	Func 2	Func 3	Func 4	Type	De f	PD/P U	Defa ult	INT
<b>PMUI02 (1.8V OR 3.0V)</b>										
R25	GPIO1_A0/ISP_SHUTTER_EN/TCPD_VBUS_SINK_ EN	gpio1_a[0]	isp0_shutter_e n	isp1_shutter_ en	tcpd_vbu s_sink_e	I/O	I	down	3mA	✓

					n					
T31	GPIO1_A1/ISP_SHUTTER_TRIG/TCPD_CC0_VCONN_EN	gpio1_a[1]	isp0_shutter_trig	ispl_shutter_trig	tcpd_cc0_vconn_en	I/O	I	down	3mA	✓
R26	GPIO1_A2/ISP_FLASHTRIGIN/TCPD_CC1_VCONN_EN	gpio1_a[2]	isp0_flashtrig_in	ispl_flashtrigin	tcpd_cc1_vconn_en	I/O	I	down	3mA	✓
R27	GPIO1_A3/ISP_FLASHTRIGOUT	gpio1_a[3]	isp0_flashtrig_out	ispl_flashtrigout		I/O	I	down	3mA	✓
R28	GPIO1_A4/ISP_PRELIGHT_TRIG	gpio1_a[4]	isp0_prelight_trig	ispl_prelight_trig		I/O	I	down	3mA	✓
R30	GPIO1_A5/AP_PWROFF	gpio1_a[5]	ap_pwroff			I/O	I	down	3mA	✓
P26	GPIO1_A6/TSADC_INT	gpio1_a[6]	tsadc_int			I/O	I	high-z	3mA	✓
P27	GPIO1_A7/PMCU_UART4DBG_RX/SPI1_RXD	gpio1_a[7]	pmcu_uart4dbg_rx	spi1_rxd		I/O	I	up	6mA	✓
R31	GPIO1_B0/PMCU_UART4DBG_TX/SPI1_TXD	gpio1_b[0]	pmcu_uart4dbg_tx	spi1_txd		I/O	I	up	6mA	✓
P28	GPIO1_B1/SPI1_CLK/PMCU_JTAG_TCK	gpio1_b[1]	pmcu_jtag_tck	spi1_clk		I/O	I	up	6mA	✓
P29	GPIO1_B2/SPI1_CSNO/PMCU_JTAG_TMS	gpio1_b[2]	pmcu_jtag_tms	spi1_csn0		I/O	I	up	6mA	✓
P31	GPIO1_B3/I2C4_SDA	gpio1_b[3]	i2c4_sda				I	up	3mA	✓
P30	GPIO1_B4/I2C4_SCL	gpio1_b[4]	i2c4_scl				I	up	3mA	✓
M24	GPIO1_B5	gpio1_b[5]					I	down	3mA	✓
M25	GPIO1_B6/PWMB3_IR	gpio1_b[6]	pwmb3_ir				I/O	down	3mA	✓
M26	GPIO1_B7/SPI3_RXD/I2C0_SDA	gpio1_b[7]	spi3_rxd	i2c0_sda			I/O	up	3mA	✓
N30	GPIO1_C0/SPI3_TXD/I2C0_SCL	gpio1_c[0]	spi3_txd	i2c0_scl			I/O	up	3mA	✓
M27	GPIO1_C1/SPI3_CLK	gpio1_c[1]	spi3_clk			I/O	I	down	3mA	✓
N31	GPIO1_C2/SPI3_CSNO	gpio1_c[2]	spi3_csn0			I/O	I	up	3mA	✓
M28	GPIO1_C3/PWM2	gpio1_c[3]	pwm2			I/O	I	down	3mA	✓
M29	GPIO1_C4/I2C8_SDA	gpio1_c[4]	i2c8_sda			I/O	I	up	3mA	✓

M30	GPI01_C5/I2C8_SCL	gpio1_c[5]	i2c8_scl			I/O	I	up	3mA	✓
L25	GPI01_C6/DFTJTAG_TDI/TCPD_VBUS_SOURCE0	gpio1_c[6]	dftjtag_tdi	tcpd_vbus_source0		I/O	I	down	6mA	✓
M31	GPI01_C7/DFTJTAG_TDO/TCPD_VBUS_SOURCE1	gpio1_c[7]	dftjtag_tdo	tcpd_vbus_source1		I/O	I	down	6mA	✓
L26	GPI01_D0/DFTJTAG_CLK/TCPD_VBUS_SOURCE2	gpio1_d[0]	dftjtag_clk	tcpd_vbus_source2		I/O	I	down	6mA	✓
AA24	TESTJTAG_TMS	Testjtag_tms						Fup		
AB24	TESTTAG_TRSTN	Testjtag_trstn						Fdown		
	Pin Name	Func 1	Func 2	Func 3	Func 4	Type	Def	PD/P U	Default	INT
API02 (1.8V OR 3.0V)										
G31	GPI02_A0/VOP_D0/CIF_D0/I2C2_SDA	gpio2_a[0]	vop_data[0]	io_cif_data0	i2c2_sda	I/O	I	up	3mA	✓
H25	GPI02_A1/VOP_D1/CIF_D1/I2C2_SCL	gpio2_a[1]	vop_data[1]	io_cif_data1	i2c2_scl	I/O	I	up	3mA	✓
H30	GPI02_A2/VOP_D2/CIF_D2	gpio2_a[2]	vop_data[2]	io_cif_data2		I/O	I	down	3mA	✓
F28	GPI02_A3/VOP_D3/CIF_D3	gpio2_a[3]	vop_data[3]	io_cif_data3		I/O	I	down	3mA	✓
H29	GPI02_A4/VOP_D4/CIF_D4	gpio2_a[4]	vop_data[4]	io_cif_data4		I/O	I	down	3mA	✓
F29	GPI02_A5/VOP_D5/CIF_D5	gpio2_a[5]	vop_data[5]	io_cif_data5		I/O	I	down	3mA	✓
H27	GPI02_A6/VOP_D6/CIF_D6	gpio2_a[6]	vop_data[6]	io_cif_data6		I/O	I	down	3mA	✓
G30	GPI02_A7/VOP_D7/CIF_D7/I2C7_SDA	gpio2_a[7]	vop_data[7]	io_cif_data7	i2c7_sda	I/O	I	up	3mA	✓
H28	GPI02_B0/VOP_CLK/CIF_VSYNC/I2C7_SCL	gpio2_b[0]	vop_clk	io_cif_vsync	i2c7_scl	I/O	I	up	3mA	✓
F30	GPI02_B1/SPI2_RXD/CIF_HREF/I2C6_SDA	gpio2_b[1]	spi2_rxd	io_cif_href	i2c6_sda	I/O	I	up	3mA	✓
H24	GPI02_B2/SPI2_TXD/CIF_CLKIN/I2C6_SCL	gpio2_b[2]	spi2_txd	io_cif_clkin	i2c6_scl	I/O	I	up	3mA	✓
H31	GPI02_B3/SPI2_CLK/VOP_DEN/CIF_CLKOUT	gpio2_b[3]	spi2_clk	io_cif_clkout	vop_den	I/O	I	up	3mA	✓
F31	GPI02_B4/SPI2_CSN0	gpio2_b[4]	spi2_csn0			I/O	I	up	3mA	✓
	Pin Name	Func 1	Func 2	Func 3	Func 4	Type	Def	PD/P U	Default	INT
API03 (1.8V only)										
AE9	GPI02_C0/UART0_RX	gpio2_c[0]	uart0_rx			I/O	I	up	5mA	✓

AH8	GPIO2_C1/UART0_TX	gpio2_c[1]	uart0_tx			I/O	I	up	5mA	✓
AG8	GPIO2_C2/UART0_CTSN	gpio2_c[2]	uart0_ctsn			I/O	I	up	5mA	✓
AL5	GPIO2_C3/UART0_RTSN	gpio2_c[3]	uart0_rtsn			I/O	I	up	5mA	✓
AD8	GPIO2_C4/SDIO0_D0/SPI5_RXD	gpio2_c[4]	sdio0_data0	spi5_rxd		I/O	I	up	5mA	✓
AK5	GPIO2_C5/SDIO0_D1/SPI5_TXD	gpio2_c[5]	sdio0_data1	spi5_txd		I/O	I	up	5mA	✓
AG7	GPIO2_C6/SDIO0_D2/SPI5_CLK	gpio2_c[6]	sdio0_data2	spi5_clk		I/O	I	up	5mA	✓
AE8	GPIO2_C7/SDIO0_D3/SPI5_CSN0	gpio2_c[7]	sdio0_data3	spi5_csn0		I/O	I	up	5mA	✓
AH6	GPIO2_D0/SDIO0_CMD	gpio2_d[0]	sdio0_cmd			I/O	I	up	5mA	✓
AF7	GPIO2_D1/SDIO0_CLKOUT/TEST_CLKOUT1	gpio2_d[1]	sdio0_clkout	test_clkout1		I/O	I	up	5mA	✓
AL4	GPIO2_D2/SDIO0_DET/PCIE_CLKREQN	gpio2_d[2]	sdio0_detect_n	pcie_clkreqn		I/O	I	up	5mA	✓
AD9	GPIO2_D3/SDIO0_PWREN	gpio2_d[3]	sdio0_pwren			I/O	I	down	5mA	✓
AF8	GPIO2_D4/SDIO0_BKPWR	gpio2_d[4]	sdio0_bkpwr			I/O	I	down	5mA	✓
	Pin Name	Func 1	Func 2	Func 3	Func 4	Type	De f	PD/P U	Defa ult	INT
API01 (3.3V ONLY)										
F24	GPIO3_A0/MAC_TXD2/SPI4_RXD	gpio3_a[0]	mac_txd2	spi4_rxd	trace_da tal2	I/O	I	down	4mA	✓
H23	GPIO3_A1/MAC_TXD3/SPI4_TXD	gpio3_a[1]	mac_txd3	spi4_txd	trace_da tal3	I/O	I	down	4mA	✓
E30	GPIO3_A2/MAC_RXD2/SPI4_CLK	gpio3_a[2]	mac_rxd2	spi4_clk	trace_da tal4	I/O	I	up	4mA	✓
E25	GPIO3_A3/MAC_RXD3/SPI4_CSN0	gpio3_a[3]	mac_rxd3	spi4_csn0	trace_da tal5	I/O	I	up	4mA	✓
D26	GPIO3_A4/MAC_TXD0/SPI0_RXD	gpio3_a[4]	mac_txd0	spi0_rxd		I/O	I	down	4mA	✓
G23	GPIO3_A5/MAC_TXD1/SPI0_TXD	gpio3_a[5]	mac_txd1	spi0_txd		I/O	I	down	4mA	✓
E26	GPIO3_A6/MAC_RXD0/SPI0_CLK	gpio3_a[6]	mac_rxd0	spi0_clk		I/O	I	up	4mA	✓
F27	GPIO3_A7/MAC_RXD1/SPI0_CSN0	gpio3_a[7]	mac_rxd1	spi0_csn0		I/O	I	up	4mA	✓
E29	GPIO3_B0/MAC_MDC/SPI0_CSN1	gpio3_b[0]	mac_mdc	spi0_csn1		I/O	I	up	4mA	✓
C27	GPIO3_B1/MAC_RXDV	gpio3_b[1]	mac_rxdv			I/O	I	down	4mA	✓
F23	GPIO3_B2/MAC_RXER/I2C5_SDA	gpio3_b[2]	mac_rxer	i2c5_sda		I/O	I	up	4mA	✓

G24	GPI03_B3/MAC_CLK/I2C5_SCL	gpio3_b[3]	mac_clk	i2c5_scl		I/O	I	up	4mA	✓
H22	GPI03_B4/MAC_TXEN/UART1_RX	gpio3_b[4]	mac_txen	uart1_rx		I/O	I	up	4mA	✓
G26	GPI03_B5/MAC_MDIO/UART1_TX	gpio3_b[5]	mac_mdio	uart1_tx		I/O	I	up	4mA	✓
F25	GPI03_B6/MAC_RXCLK/UART3_RX	gpio3_b[6]	mac_rxclk	uart3_rx		I/O	I	up	4mA	✓
B27	GPI03_B7/MAC_CRS/UART3_TX/CIF_CLKOUTB	gpio3_b[7]	mac_crs	uart3_tx	cif_clkoutb	I/O	I	up	4mA	✓
D27	GPI03_C0/MAC_COL/UART3_CTSN/SPDIF_TX	gpio3_c[0]	mac_col	uart3_ctsn	spdif_tx	I/O	I	up	4mA	✓
E28	GPI03_C1/MAC_TXCLK/UART3_RTSN	gpio3_c[1]	mac_txclk	uart3_rtsn		I/O	I	up	4mA	✓
	Pin Name	Func 1	Func 2	Func 3	Func 4	Type	Def	PD/P U	Default	INT
API05 (1.8V OR 3V)										
AG3	GPI03_D0/I2S0_SCLK	gpio3_d[0]	i2s0_sclk	trace_data0		I/O	I	down	3mA	✓
AF4	GPI03_D1/I2S0_LRCK_RX	gpio3_d[1]	i2s0_lrck_rx	trace_data1		I/O	I	down	3mA	✓
AJ2	GPI03_D2/I2S0_LRCK_TX	gpio3_d[2]	i2s0_lrck_tx	trace_data2		I/O	I	down	3mA	✓
Y7	GPI03_D3/I2S0_SDIO	gpio3_d[3]	i2s0_sdi0	trace_data3		I/O	I	down	3mA	✓
AE5	GPI03_D4/I2S0_SDI1SD03	gpio3_d[4]	i2s0_sdi1sdo3	trace_data4		I/O	I	down	3mA	✓
AA6	GPI03_D5/I2S0_SDI2SD02	gpio3_d[5]	i2s0_sdi2sdo2	trace_data5		I/O	I	down	3mA	✓
AH2	GPI03_D6/I2S0_SDI3SD01	gpio3_d[6]	i2s0_sdi3sdo1	trace_data6		I/O	I	down	3mA	✓
AH1	GPI03_D7/I2S0_SD00	gpio3_d[7]	i2s0_sdo0	trace_data7		I/O	I	down	3mA	✓
AC7	GPI04_A0/I2S_CLK	gpio4_a[0]	i2s_clk	trace_ctl		I/O	I	down	3mA	✓
AG1	GPI04_A1/I2C1_SDA	gpio4_a[1]	i2c1_sda	trace_clk		I/O	I	up	3mA	✓
Y6	GPI04_A2/I2C1_SCL	gpio4_a[2]	i2c1_scl	trace_data8		I/O	I	up	3mA	✓
AF3	GPI04_A3/I2S1_SCLK	gpio4_a[3]	i2s1_sclk	trace_data9		I/O	I	down	3mA	✓
AA7	GPI04_A4/I2S1_LRCK_RX	gpio4_a[4]	i2s1_lrck_rx	trace_data10		I/O	I	down	3mA	✓
AJ1	GPI04_A5/I2S1_LRCK_TX	gpio4_a[5]	i2s1_lrck_tx	trace_data11		I/O	I	down	3mA	✓
AD6	GPI04_A6/I2S1_SDIO	gpio4_a[6]	i2s1_sdi0			I/O	I	down	3mA	✓
AC6	GPI04_A7/I2S1_SD00	gpio4_a[7]	i2s1_sdo0			I/O	I	down	3mA	✓
	Pin Name	Func 1	Func 2	Func 3	Func 4	Type	Def	PD/P U	Default	INT

SDMMC0 (1.8V OR 3V AUTO)										
Y27	GPIO4_B0/SDMMC0_D0/UART2DBG_RX	gpio4_b[0]	sdmmc0_data0	uart2dbg_rx		I/O	I	up	6mA	✓
Y26	GPIO4_B1/SDMMC0_D1/UART2DBG_TX	gpio4_b[1]	sdmmc0_data1	uart2dbg_tx	hdcpjtag_trstn	I/O	I	up	6mA	✓
Y28	GPIO4_B2/SDMMC0_D2/APJTAG_TCK	gpio4_b[2]	sdmmc0_data2	ap_jtag_tck	hdcpjtag_tdi	I/O	I	up	6mA	✓
U27	GPIO4_B3/SDMMC0_D3/APJTAG_TMS	gpio4_b[3]	sdmmc0_data3	ap_jtag_tms	hdcpjtag_tdo	I/O	I	up	6mA	✓
V29	GPIO4_B4/SDMMC0_CLKOUT/MUCJTAG_TCK	gpio4_b[4]	sdmmc0_clkout	mcujtag_tck	hdcpjtag_tck	I/O	I	down	6mA	✓
V25	GPIO4_B5/SDMMC0_CMD/MCUJTAG_TMS	gpio4_b[5]	sdmmc0_cmd	mcujtag_tms	hdcpjtag_tms	I/O	I	up	6mA	✓
	Pin Name	Func 1	Func 2	Func 3	Func 4	Type	Def	PD/P U	Default	INT
API04 (1.8V OR 3.0V)										
AG6	GPIO4_C0/I2C3_SDA_HDMI/UART2DBG_RX	gpio4_c[0]	i2c3_sda_hdmi	uart2dbg_rx		I/O	I	up	3mA	✓
AL2	GPIO4_C1/I2C3_SCL_HDMI/UART2DBG_TX	gpio4_c[1]	i2c3_scl_hdmi	uart2dbg_tx		I/O	I	up	3mA	✓
AF5	GPIO4_C2/PWM0/VOPO_PWM/VOP1_PWM	gpio4_c[2]	pwm0	vop0_pwm	vop1_pwm	I/O	I	down	3mA	✓
AK2	GPIO4_C3/UART2DBG_RX/UARTHDCP_RX	gpio4_c[3]	uart2dbg_rx	uarthdcp_rx		I/O	I	up	3mA	✓
AJ4	GPIO4_C4/UART2DBG_TX/UARTHDCP_TX	gpio4_c[4]	uart2dbg_tx	uarthdcp_tx		I/O	I	up	3mA	✓
AK1	GPIO4_C5/SPDIF_TX	gpio4_c[5]	spdif_tx			I/O	I	down	3mA	✓
AL3	GPIO4_C6/PWM1	gpio4_c[6]	pwm1			I/O	I	down	3mA	✓
AD7	GPIO4_C7/HDMI_CECINOUT/EDP_HOTPLUG	gpio4_c[7]	hdmi_cecinout	edp_hotplug		I/O	I	up	3mA	✓
AE6	GPIO4_D0/PCIE_CLKREQN	gpio4_d[0]	pcie_clkreqn			I/O	I	up	3mA	✓
AK4	GPIO4_D1/DP_HOTPLUG	gpio4_d[1]	dp_hotplug			I/O	I	down	3mA	✓
AH3	GPIO4_D2	gpio4_d[2]				I/O	I	down	3mA	✓
AK3	GPIO4_D3	gpio4_d[3]				I/O	I	down	3mA	✓
AH5	GPIO4_D4	gpio4_d[4]				I/O	I	down	3mA	✓
AJ3	GPIO4_D5	gpio4_d[5]				I/O	I	down	3mA	✓
AG4	GPIO4_D6	gpio4_d[6]				I/O	I	down	3mA	✓

ADC INTERFACE										
AG26	ADC_IN0									
AH26	ADC_IN1									
AG25	ADC_IN2									
AG28	ADC_IN3									
AH27	ADC_IN4									
EDP INTERFACE										
B29	EDP_TX0P									
A29	EDP_TX0N									
B30	EDP_TX1P									
A30	EDP_TX1N									
C30	EDP_TX2P									
C31	EDP_TX2N									
D30	EDP_TX3P									
D31	EDP_TX3N									
B28	EDP_AUXP									
A28	EDP_AUXN									
G21	EDP_REXT									
G20	EDP_DC_TP									
H21	EDP_CLK24M_IN									
HDMI INTERFACE										
AK17	HDMI_TX0P									
AL17	HDMI_TX0N									
AK18	HDMI_TX1P									
AL18	HDMI_TX1N									
AK19	HDMI_TX2P									
AL19	HDMI_TX2N									

AK16	HDMI_TCP										
AL16	HDMI_TCN										
AF15	HDMI_REXT										
AE15	HDMI_HPD										
<b>PCIe INTERFACE</b>											
AE30	PCIE_TX_OP										
AE31	PCIE_TX_ON										
AF30	PCIE_RX_OP										
AF31	PCIE_RX_ON										
AG30	PCIE_TX_1P										
AG31	PCIE_TX_1N										
AH30	PCIE_RX_1P										
AH31	PCIE_RX_1N										
AA27	PCIE_TX_2P										
AA28	PCIE_TX_2N										
AC27	PCIE_RX_2P										
AC28	PCIE_RX_2N										
AD27	PCIE_TX_3P										
AD28	PCIE_TX_3N										
AF27	PCIE_RX_3P										
AF28	PCIE_RX_3N										
AD31	PCIE_RCLK_100M_P										
AD30	PCIE_RCLK_100M_N										
<b>MIPI TX/RX GROUP INTERFACE</b>											
AK6	MIPI_TX1/RX1_D0P										
AL6	MIPI_TX1/RX1_D0N										
AK7	MIPI_TX1/RX1_D1P										
AL7	MIPI_TX1/RX1_D1N										



AK9	MIPI_TX1/RX1_D2P									
AL9	MIPI_TX1/RX1_D2N									
AK10	MIPI_TX1/RX1_D3P									
AL10	MIPI_TX1/RX1_D3N									
AK8	MIPI_TX1/RX1_CLKP									
AL8	MIPI_TX1/RX1_CLKN									
AF11	MIPI_TX1/RX1_REXT									
<b>MIPI TX GROUP INTERFACE</b>										
AG15	MIPI_TX0_D0P									
AH15	MIPI_TX0_D0N									
AG14	MIPI_TX0_D1P									
AH14	MIPI_TX0_D1N									
AG11	MIPI_TX0_D2P									
AH11	MIPI_TX0_D2N									
AG9	MIPI_TX0_D3P									
AH9	MIPI_TX0_D3N									
AG12	MIPI_TX0_CLKP									
AH12	MIPI_TX0_CLKN									
AF12	MIPI_TX0_REXT									
<b>MIPI RX GROUP INTERFACE</b>										
AK15	MIPI_RX_D0P									
AL15	MIPI_RX_D0N									
AK14	MIPI_RX_D1P									
AL14	MIPI_RX_D1N									
AK12	MIPI_RX_D2P									
AL12	MIPI_RX_D2N									
AK11	MIPI_RX_D3P									
AL11	MIPI_RX_D3N									

AK13	MIPI_RX_CLKP										
AL13	MIPI_RX_CLKN										
AF14	MIPI_RX_REXT										
<b>USIC INTERFACE</b>											
AJ31	USIC_DATA										
AJ30	USIC_STROBE										
<b>USB2.0 INTERFACE</b>											
AB30	USB0_DP	HOST0_DP									
AB31	USB0_DN	HOST0_DN									
AA30	USB1_DP	HOST1_DP									
AA31	USB1_DN	HOST1_DN									
AG23	TYPECO_DP	OTG0_DP									
AH23	TYPECO_DN	OTG0_DM									
AG24	TYPECE1_DP	OTG1_DP									
AH24	TYPECE1_DN	OTG1_DM									
AL30	TYPECO_ID										
AE26	TYPECE1_ID										
AC31	USB0_RBIAS										
AC30	USB1_RBIAS										
AK30	TYPECO_U2VBUSDET										
AK31	TYPECE1_U2VBUSDET										
<b>TYPE C0 INTERFACE</b>											
AK21	TYPECO_RX1P										
AL21	TYPECO_RX1M										
AL22	TYPECO_TX1P										
AK22	TYPECO_TX1M										

AK23	TYPECO_RX2P									
AL23	TYPECO_RX2M									
AL24	TYPECO_TX2P									
AK24	TYPECO_TX2M									
AE18	TYPECO_RCLKP									
AD18	TYPECO_RCLKM									
AH18	TYPECO_CC1									
AH20	TYPECO_CC2									
AK20	TYPECO_AUXP									
AL20	TYPECO_AUXM									
AH17	TYPECO_AUXP_PD_PU									
AG17	TYPECO_AUXM_PU_PD									
AG18	TYPECO_REXT									
AG20	TYPECO_REXT_CC									
AD19	TYPECO_U3VBUSDET									
TYPE C1 INTERFACE										
AK25	TYPEC1_RX1P									
AL25	TYPEC1_RX1M									
AL26	TYPEC1_TX1P									
AK26	TYPEC1_TX1M									
AK27	TYPEC1_RX2P									
AL27	TYPEC1_RX2M									
AL28	TYPEC1_TX2P									
AK28	TYPEC1_TX2M									
AE20	TYPEC1_RCLKP									
AD20	TYPEC1_RCLKM									
AH21	TYPEC1_CC1									
AF21	TYPEC1_CC2									

AK29	TYPEC1_AUXP										
AL29	TYPEC1_AUXM										
AE24	TYPEC1_AUXP_PD_PU										
AF25	TYPEC1_AUXM_PU_PD										
AE21	TYPEC1_REXT										
AG21	TYPEC1_REXT_CC										
AC19	TYPEC1_U3VBUSDET										
<b>EMMC INTERFACE</b>											
J28	EMMC_D0										
J29	EMMC_D1										
J30	EMMC_D2										
J25	EMMC_D3										
J26	EMMC_D4										
J27	EMMC_D5										
L31	EMMC_D6										
K30	EMMC_D7										
K31	EMMC_STRB										
L28	EMMC_CLK										
J31	EMMC_CMD										
L29	EMMC_CALIO										
L30	EMMC_TP										
<b>DDR0 GROUP INTERFACE</b>											
AB2	DDR0_DQ0										
AB1	DDR0_DQ1										
AA2	DDR0_DQ2										
AA1	DDR0_DQ3										
Y2	DDR0_DQ4										
Y1	DDR0_DQ5										

W1	DDR0_DQ6										
W2	DDR0_DQ7										
AF2	DDR0_DQ8										
AE2	DDR0_DQ9										
AF1	DDR0_DQ10										
AD2	DDR0_DQ11										
AE1	DDR0_DQ12										
AD1	DDR0_DQ13										
AC1	DDR0_DQ14										
AC2	DDR0_DQ15										
V1	DDR0_DQ16										
V2	DDR0_DQ17										
U1	DDR0_DQ18										
U2	DDR0_DQ19										
T1	DDR0_DQ20										
T2	DDR0_DQ21										
R2	DDR0_DQ22										
R1	DDR0_DQ23										
P1	DDR0_DQ24										
P2	DDR0_DQ25										
N1	DDR0_DQ26										
M1	DDR0_DQ27										
N2	DDR0_DQ28										
L1	DDR0_DQ29										
M2	DDR0_DQ30										
L2	DDR0_DQ31										
Y5	DDR0_DM0										
AC5	DDR0_DM1										

U5	DDR0_DM2									
P5	DDR0_DM3									
Y4	DDR0_DQS0P									
AA4	DDR0_DQSON									
AC4	DDR0_DQS1P									
AD4	DDR0_DQS1N									
U4	DDR0_DQS2P									
V4	DDR0_DQS2N									
P4	DDR0_DQS3P									
R4	DDR0_DQS3N									
F2	DDR0_A0									
F1	DDR0_A1									
G1	DDR0_A2									
G2	DDR0_A3									
H2	DDR0_A4									
H1	DDR0_A5									
J1	DDR0_A6									
J2	DDR0_A7									
K2	DDR0_A8									
K1	DDR0_A9									
D1	DDR0_A10									
E3	DDR0_A11									
C1	DDR0_A12									
D2	DDR0_A13									
D3	DDR0_A14									
H7	DDR0_A15									
U6	DDR0_ATB0									
U7	DDR0_ATB1									

H4	DDR0_CK0P										
J4	DDR0_CK0N										
H5	DDR0_CK1P										
J5	DDR0_CK1N										
M6	DDR0_CS0										
B1	DDR0_CS1										
M5	DDR0_CS2										
C2	DDR0_CS3										
E1	DDR0_CKE0										
F5	DDR0_CKE1										
V7	DDR0_PLL_TESTOUT_N										
V6	DDR0_PLL_TESTOUT_P										
C3	DDR0_BA0										
F4	DDR0_BA1										
M4	DDR0_BA2										
U6	DDR0_ATB0										
U7	DDR0_ATB1										
R7	DDR0_PZQ										
L4	DDR0_ODT0										
L5	DDR0_ODT1										
H6	DDR0_CASN										
F3	DDR0_RASN										
G6	DDR0_WEN										
L7	DDR0_RESETN										
DDR1 GROUP INTERFACE											
B15	DDR1_DQ0										
A15	DDR1_DQ1										
B16	DDR1_DQ2										

A16	DDR1_DQ3										
B17	DDR1_DQ4										
A17	DDR1_DQ5										
A18	DDR1_DQ6										
B18	DDR1_DQ7										
B11	DDR1_DQ8										
B12	DDR1_DQ9										
A11	DDR1_DQ10										
B13	DDR1_DQ11										
A12	DDR1_DQ12										
A13	DDR1_DQ13										
A14	DDR1_DQ14										
B14	DDR1_DQ15										
A19	DDR1_DQ16										
B19	DDR1_DQ17										
A20	DDR1_DQ18										
B20	DDR1_DQ19										
A21	DDR1_DQ20										
B21	DDR1_DQ21										
B22	DDR1_DQ22										
A22	DDR1_DQ23										
A23	DDR1_DQ24										
B23	DDR1_DQ25										
A24	DDR1_DQ26										
A25	DDR1_DQ27										
B24	DDR1_DQ28										
A26	DDR1_DQ29										
B25	DDR1_DQ30										



B26	DDR1_DQ31										
E17	DDR1_DM0										
E14	DDR1_DM1										
E20	DDR1_DM2										
E23	DDR1_DM3										
D18	DDR1_DQS0P										
D17	DDR1_DQS0N										
D15	DDR1_DQS1P										
D14	DDR1_DQS1N										
D21	DDR1_DQS2P										
D20	DDR1_DQS2N										
D24	DDR1_DQS3P										
D23	DDR1_DQS3N										
B10	DDR1_A0										
A10	DDR1_A1										
B9	DDR1_A2										
A9	DDR1_A3										
B8	DDR1_A4										
A8	DDR1_A5										
B7	DDR1_A6										
A7	DDR1_A7										
B6	DDR1_A8										
A6	DDR1_A9										
A4	DDR1_A10										
C5	DDR1_A11										
A3	DDR1_A12										
B4	DDR1_A13										
C4	DDR1_A14										

G8	DDR1_A15									
F17	DDR1_ATB0									
G17	DDR1_ATB1									
D9	DDR1_CK0P									
D8	DDR1_CK0N									
E9	DDR1_CK1P									
E8	DDR1_CK1N									
F12	DDR1_CSNO									
A2	DDR1_CSN1									
F11	DDR1_CSN2									
B3	DDR1_CSN3									
A5	DDR1_CKE0									
E6	DDR1_CKE1									
G14	DDR1_PLL_TESTOUT_N									
F14	DDR1_PLL_TESTOUT_P									
B2	DDR1_BA0									
D6	DDR1_BA1									
D12	DDR1_BA2									
F17	DDR1_ATB0									
G17	DDR1_ATB1									
G15	DDR1_PZQ									
D11	DDR1_ODT0									
E11	DDR1_ODT1									
F9	DDR1_CASN									
C6	DDR1_RASN									
F7	DDR1_WEN									
G11	DDR1_RESETN									



## 注意

*Pad types: I=input, O=output, I/O=input/output (bidirectional)*

*Output Drive strength is configurable, it's the suggested value in this table. Unit is mA , only Digital IO have drive value*

*Reset state(def): I = input without any pull resistor      O = output*

*PD/PU: PU=pull up; PD=pull down*

*INT: “√” support int function*

Rockchip Confidential

## 2.2.2 电源与地管脚描述

表 2-3 RK3399 电源与地管脚描述

Group	Ball #	Descriptions
VSS	A1, A27, A31, AA10, AA13, AA3, AA5, AA9, AB19, AB9, AC18, AC20, AC21, AC22, AC3, AD10, AD21, AD22, AD3, AD5, AE23, AF18, AF20, AF9, AG2, AJ20, AJ21, AJ23, AJ24, AJ26, AJ27, AJ28, AJ5, AL1, AL31, B5, C11, C12, C14, C15, C17,	Internal Logic Ground and Digital IO Ground
BIGCPU_VDD	K19, K21, L18, L19, L21, L23, M18, M19, M20, M21, M22, N18, N20, N22	Internal BIG CPU A72 Power
LITCPU_VDD	P20, P22, R19, R20, R22, T20, T22	Internal LITTLE CPU A53 Power
GPU_VDD	R11, R12, R13, T11, T12, T13, T14, T15, U13, V11, V12, V13, V14, V15, V16, W10, W11, W12, W14, W15, W16	Internal GPU power
LOGIC_VDD	L17, M17, T17, U17, U18, U20, V18, V19, V20, V21, V22, W20	Internal Logic Power
CENTERLOGIC_VDD	M11, M12, M13, M14, M15, N11, N12, P13, P14, P15	Internal Center Logic Power
DDRO_VDD	L9, L10, M9, N9, N10, P9, R9, R10, T9, U9, U10, V9	DDRO Digital IO Power
DDRO_CLK_VDD	M7	DDRO Clock IO Power
DDROPLL_AVDD_OV9	R8	DDRO PHY PLL power
DDR1_VDD	J11, J12, J13, J14, J15, J16, J17, J18, K11, K13, K15, K17	DDR1 Digital IO Power
DDR1_CLK_VDD	G12	DDR1 Clock IO Power
DDR1PLL_AVDD_OV9	H14	DDR1 PHY PLL power
PMU_VDD_OV9	T24	Internal PMU Domain Power
PMU_VDD_1V8	U25	
PMUI01_VDD_1V8	R24	PMUI01 Domain IO Power
PMUI02_VDDPST	N23	PMUI02 Domain IO Power
PMUI02_VDD	P23	PMUI02 Domain IO Power
API01_VDD	J23	GPIO group 1 Digital Power
API01_VDDPST	J22	GPIO group1 Bias
API02_VDD	K23	GPIO group 2 Digital Power
API02_VDDPST	J24	GPIO group 2 Bias
API03_VDD_1V8	AB8	GPIO group 3 Digital Power
API04_VDD	AC9	GPIO group 4 Digital Power
API04_VDDPST	AC8	GPIO group4 Bias
API05_VDD	Y8	GPIO group 5 Digital Power
API05_VDDPST	AA8	GPIO group5 Bias
SDMMC0_VDD	T23	SDMMC Digital IO Power
SDMMC0_VDDPST	U26	SDMMC Digital IO Power
AVSS	AA11, AA12, AA14, AA15, AA23, AA26, AA29, AB10, AB11, AB13, AB15, AB16, AB17, AB23, AC11, AC13, AC15, AC16, AC17, AC23, AC25, AC26, AC29, AD13, AD17, AD26, AD29, AE11, AE12, AE14, AE17, AE27, AF17, AF23, AF24, AF29, AG29, AH29, AJ6, AJ8, AJ	Analog Ground

Group	Ball #	Descriptions
	9, AJ11, AJ12, AJ14	
PLL_AVDD_0V9	R17	PLL 0.9V Analog Power
PLL_AVDD_1V8	P18	PLL 1.8V Analog Power
PLL_AVSS	P17	PLL Analog Ground
ADC_AVDD	AC24	SAR-ADC/TSADC Power
EMMC_COREDLL_0V9	L24	EMMC Core power
EMMC_VDD_1V8	K24	EMMC Digital power
USB_AVDD_0V9	V24	USB 2.0 Core Power
USB_AVDD_1V8	U24	USB 2.0 Analog Power
USB_AVDD_3V3	Y25	USB 2.0 Analog Power
TYPECO_AVDD_0V9	Y18, Y19	Type-C Core Power
TYPECO_AVDD_1V8	AA18	Type-C Analog Power
TYPECO_AVDD_3V3	AB18	Type-C Analog Power
TYPEC1_AVDD_0V9	Y21, Y22	Type-C Core Power
TYPEC1_AVDD_1V8	AA21	Type-C Analog Power
TYPEC1_AVDD_3V3	AB21	Type-C Analog Power
EFUSE	AD23	eFuse IO Digital Power
USIC_VDD_1V2	AD24	USIC 1.2V Power Supply
USIC_VDD_0V9	AD25	USIC 0.9V Power Supply
EDP_AVDD_0V9	H20	eDP 0.9V Power Supply
EDP_AVDD_1V8	J19, J20	eDP 1.8V Power Supply
EDP_AVSS	B31, C28, C29, D29, H19, J21	eDP Analog Ground
HDMI_AVDD_0V9	AA16, AA17	HDMI 0.9V Power Supply
HDMI_AVDD_1V8	AD16	HDMI 1.8V Power Supply
MIPI_RXO_AVDD_1V8	AB14	MIPI RX 1.8V Power Supply
MIPI_TXO_AVDD_1V8	AB12	MIPI TX 1.8V Power Supply
MIPI_TX1/RX1_AVDD_1V8	AC10	MIPI TX/RX 1.8V Power Supply
PCIE_AVDD_0V9	W24	PCIE 0.9V Analog Power
PCIE_AVDD_1V8	Y24	PCIE 1.8V Analog Power

## 2.3 GPIO 类型介绍

### 2.3.1 GPIO类型

在RK3399中，有四种GPIO类型：

- 1.8V only，固定配置 1.8V 电平；
- 3.3V only，固定配置 3.3V 电平；
- 1.8V/3.0V，可配置 1.8V 及 3.0V 电平；
- 1.8V/3.0V auto，可自动配置 1.8V 及 3.0V 电平；

### 2.3.2 GPIO驱动能力

RK3399中，根据不同的GPIO类型，提供了不同的驱动能力以及工作频率范围：

表 2 - 4 RK3399 GPIO驱动能力

电源域	GPIO类型	I/O频率 @1.8V	I/O频率 @3.3V	支持驱动能力类型
PMUI01	1.8V only	150MHz	N/A	5mA, 10mA, 15mA, 20mA
API03	1.8V only	150MHz	N/A	5mA, 10mA, 15mA, 20mA
API01	3.3V only	N/A	125MHz	4mA, 7mA, 10mA, 13mA, 16mA, 19mA, 22mA, 26mA
PMUI02	1.8V/3.0V	150MHz	50MHz	3mA, 6mA, 9mA, 12mA
API02	1.8V/3.0V	150MHz	50MHz	3mA, 6mA, 9mA, 12mA
API04	1.8V/3.0V	150MHz	50MHz	3mA, 6mA, 9mA, 12mA
API05	1.8V/3.0V	150MHz	50MHz	3mA, 6mA, 9mA, 12mA
SDMMC0	1.8V/3.0V auto	150MHz	50MHz	4mA, 6mA, 8mA, 10mA, 12mA, 14mA, 16mA, 18mA

其中，以下两类GPIO默认驱动强度为第二档：

- 用于 boot 引导的 IO，如 spi1, sdmmc0:  
Pin P27: GPIO1\_A7/SPI1\_RXD/UART4\_RX;  
Pin R31: GPIO1\_B0/SPI1\_TXD/UART4\_TX;  
Pin P28: GPIO1\_B1/SPI1\_CLK/PMCU\_JTAG\_TCK;  
Pin P29: GPIO1\_B2/SPI1\_CSn0/PMCU\_JTAG\_TMS;  
Pin Y27: GPIO4\_B0/SDMMC0\_D0/UART2A\_RX;  
Pin Y26: GPIO4\_B1/SDMMC0\_D1/UART2A\_TX;  
Pin Y28: GPIO4\_B2/SDMMC0\_D2/APJTAG\_TCK;  
Pin U27: GPIO4\_B3/SDMMC0\_D3/APJTAG\_TMS;  
Pin V29: GPIO4\_B4/SDMMC0\_CLKOUT/MUCJTAG\_TCK;  
Pin V25: GPIO4\_B5/SDMMC0\_CMD/MCUJTAG\_TMS;
- 用于调试的 IO，如 jtag:  
Pin L25: GPIO1\_C6/TESTJTAG\_TDI/TCPD\_VBUS\_SOURCE0;  
Pin M31: GPIO1\_C7/TESTJTAG\_TDO/TCPD\_VBUS\_SOURCE1;  
Pin L26: GPIO1\_D0/TESTJTAG\_CLK/TCPD\_VBUS\_SOURCE2;

除了以上的两类GPIO，其他所有的GPIO默认驱动强度都为第一档，请根据实际需求在软件中调整。

### 2.3.3 GPIO电源

GPIO电源域的电脚描述如下：

表 2 - 5 RK3399 GPIO电源脚描述

电源域	GPIO类型	管脚名	描述
PMUI01	1.8V only	PMUI01_VDD_1V8	1.8V power for this domain (group of) GPIO.
API03	1.8V only	API03_VDD_1V8	1.8V power for this domain (group of) GPIO.
API01	3.3V only	API01_VDD	3.3V power for this domain (group of) GPIO.
		API01_VDDPST	1.8V Post drive.
PMUI02	1.8V/3.0V	PMUI02_VDD	1.8V or 3.0V power for this domain (group of) GPIO.
		PMUI02_VDDPST	1.8V or 1.5V post drive for this domain (group of) GPIO.
API02	1.8V/3.0V	API02_VDD	1.8V or 3.0V power for this domain (group of) GPIO.

		API02_VDDPST	1.8V or 1.5V post drive for this domain (group of) GPIO.
API04	1.8V/3.0V	API04_VDD	1.8V or 3.0V power for this domain (group of) GPIO.
		API04_VDDPST	1.8V or 1.5V post drive for this domain (group of) GPIO.
API05	1.8V/3.0V	API05_VDD	1.8V or 3.0V power for this domain (group of) GPIO.
		API05_VDDPST	1.8V or 1.5V post drive for this domain (group of) GPIO.
SDMMC0	1.8V/3.0V auto	SDMMC0_VDD	1.8V or 3.0V power for this domain (group of) GPIO.
		SDMMC0_VDDPST	Internal post drive for this domain (group of) GPIO.

对于不同的应用，请遵守以下电源规则：

- 1.8V only (PMUI01 和 API03 电源域)

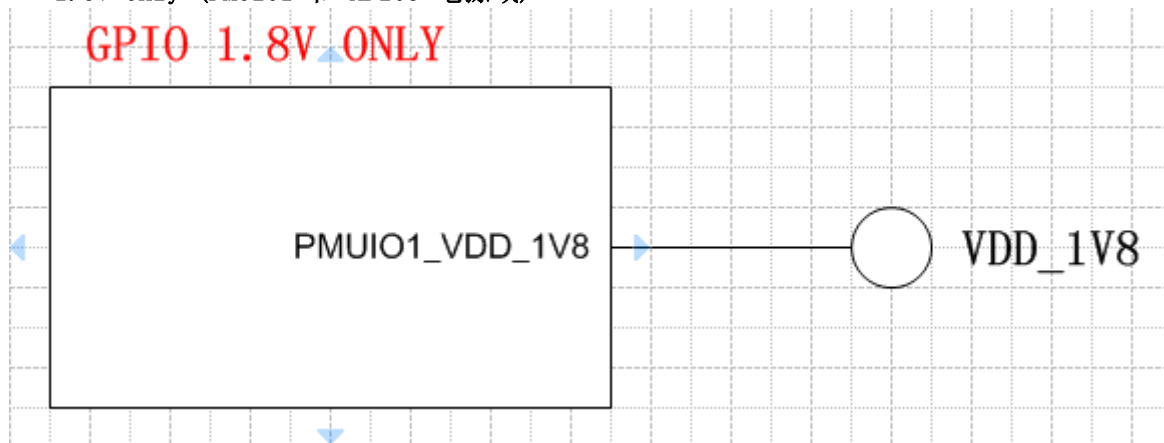


图 2-5 RK3399 GPIO 1.8V only电源设置

- 3.3V only (API01 电源域)

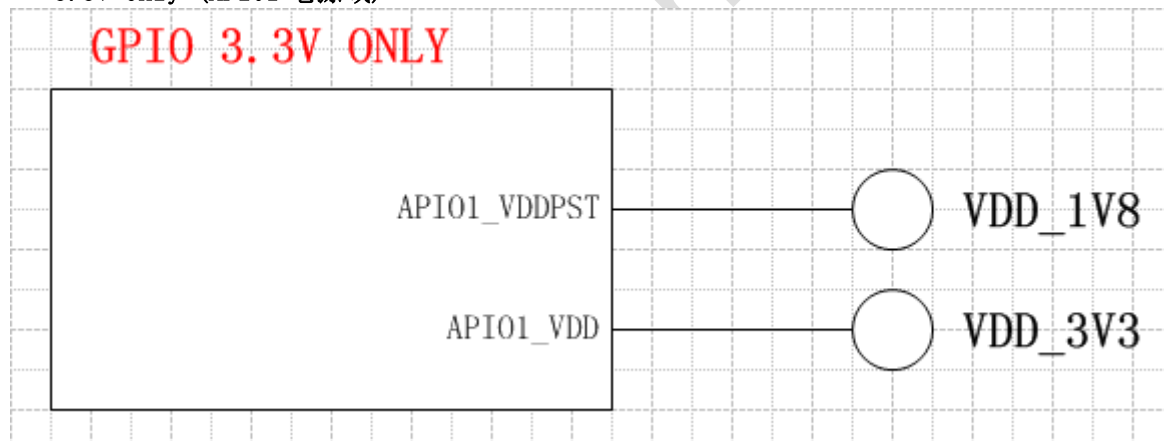


图 2-6 RK3399 GPIO 3.3V only电源设置

- 1.8V/3.0V at 1.8V mode (PMUI02、API02、API04 和 API05 电源域)

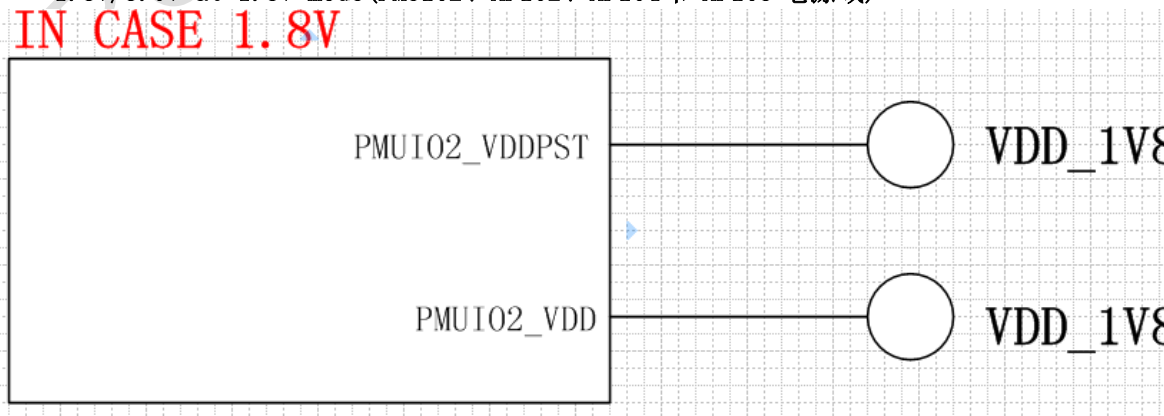


图 2-7 RK3399 GPIO 1.8V/3.0V电源设置-1.8V模式

- 1.8V/3.0V at 3.0V mode (PMUI02、API02、API04 和 API05 电源域)

IN CASE 3V0

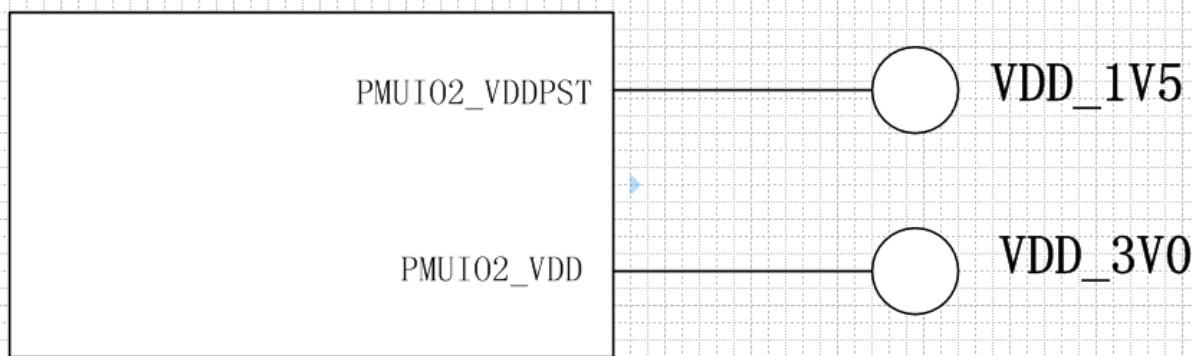


图 2-8 RK3399 GPIO 1.8V/3.0V 电源设置-3.0V 模式

- 1.8V/3.0V auto (SDMMC0 电源域)

对于TF卡来说，卡端总是使用3.0V供电，而RK3399端TF卡接口电平VDD默认为3.0V。当插入TF卡时，SDMMC0的数据和IO信号的通信是基于3.0V的VDD电平。经过通信协商，如果TF卡是SD 3.0存储卡，可以支持UHS-I高速协议，则RK3399通过调节PMIC输出，调整TF卡接口电平VDD为1.8V。

RK3399内置的VDDPST生成电路如下图所示，可见SDMMC内部有一个LDO以及一个电子开关。当SDMMC工作在3.0V模式，LDO工作并生成1.5V的VDDPST电压，电子开关不工作。当SDMMC工作在1.8V模式，LDO不工作，VDDPST工作所需的1.8V电压由SDMMC0\_VDD通过电子开关提供。

LDO以及电子开关间的选择切换由RK3399来自动控制，硬件上只需要在SDMMC0\_VDDPST外接一个1uF去耦电容即可。

IN CASE 3V0

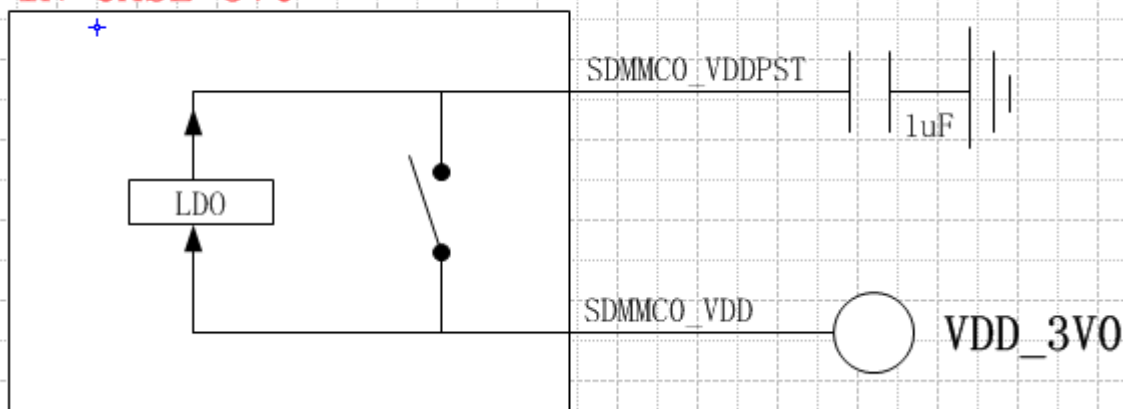


图 2-9 RK3399 GPIO 1.8V/3.0V auto 电源设置-3.0V 模式

IN CASE 1V8

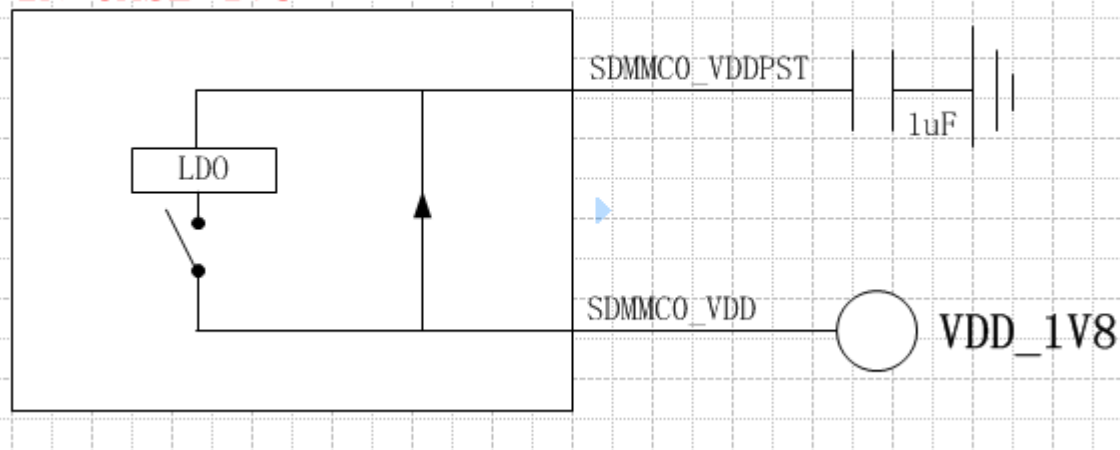




图 2 - 10 RK3399 GPIO 1.8V/3.0V auto电源设置-1.8V模式

Rockchip Confidential

### 3 原理图设计建议

#### 3.1 最小系统设计

##### 3.1.1 时钟电路

RK3399芯片内部的反馈电路与外置的24MHz晶体一起构成系统时钟，如图3-1所示。

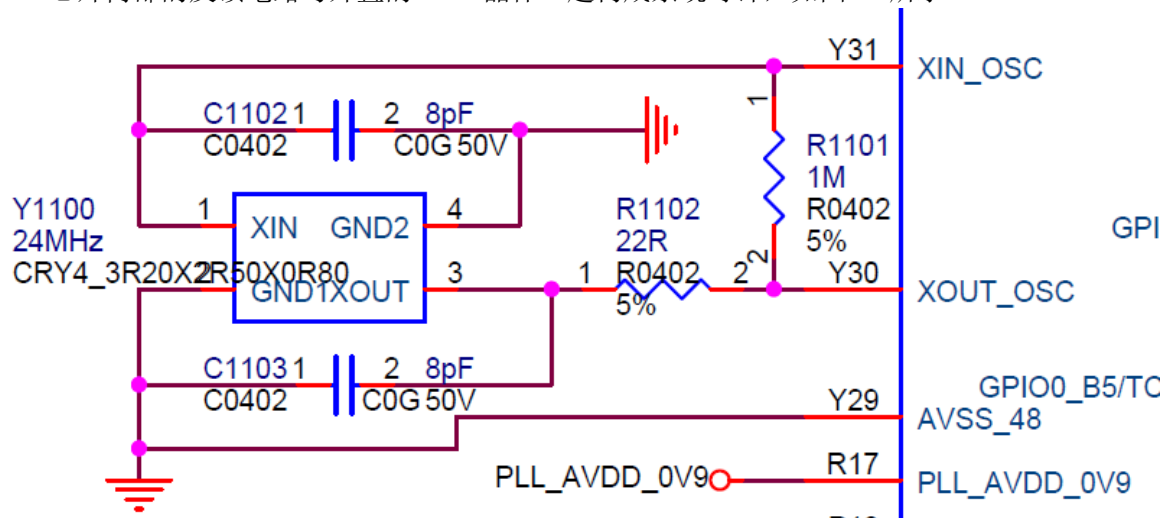


图 3-1 RK3399 晶体连接方式及器件参数



#### 注意

电容C1102、C1103的值需要根据晶体的实际标称负载电容值选择，8pF为我司选用晶体所对应容值，不为通用值。

另外，系统时钟还可以直接由外部的有源晶体电路产生时钟，通过XIN\_OSC脚输入，时钟参数如下表3-1所示：

表 3-1 RK3399 24MHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	24.000000			MHz
频率偏差	+/-20			ppm
工作温度	-20	70	℃	Frequency tolerance
ESR	/	40	Ohm	

RK3399芯片在待机时，会将内部时钟源切换到外部输入的32.768KHz时钟，通过降低系统时钟频率达到降低系统功耗的目的，此信号可以从PMIC或是外置RTC时钟源获取，如图3-2所示。

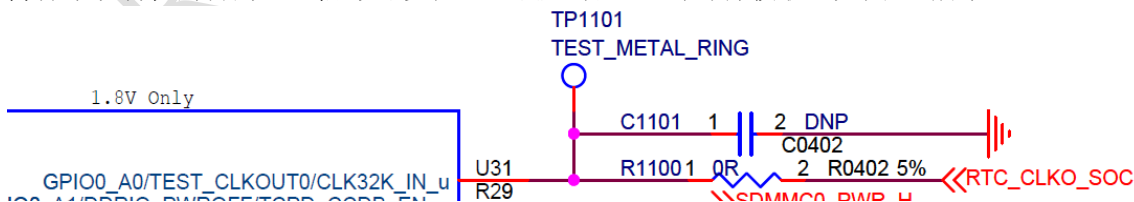


图 3-2 RK3399 待机时钟输入

外置32.768kHz RTC时钟参数如下表3-2所示：

表 3-2 RK3399 32.768KHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	32.768000			kHz
频率偏差	+/-30			ppm
				Frequency tolerance

工作温度	-20	70	°C	
占空比	50		%	

### 3.1.2 复位电路

RK3399芯片内部集成POR(Power on Reset)电路，低电平有效，电容C1100用来消除抖动，如图3-3所示。为保证芯片稳定和正常工作，所需的最短复位时间为100个24MHz主时钟周期，即至少4us以上。

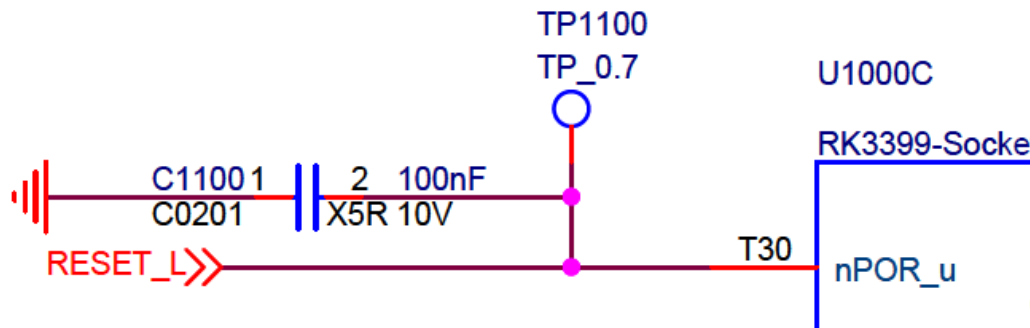


图 3-3 RK3399 复位输入

### 3.1.3 系统启动引导顺序

RK3399芯片的系统启动引导顺序优先级从高到低依次为：

- SPI FALSH
- eMMC FLASH
- SDMMC CARD

### 3.1.4 系统初始化配置信号

RK3399 PMUIO2电源域的IO电平模式可配置，因为其属于PMU电源域，其中部分管脚在系统上电时会用到，所以在系统启动的时候，必须先通过硬件配置来指定默认电平模式，而无法通过寄存器操作去调整。RK3399 JTAG功能与SDMMC功能复用在一起，需要通过管脚来切换输出方式。

配置说明如表3-4所示：

表 3-3 RK3399 系统初始化配置信号描述

信号名	内部上下拉	描述
PMUIO2_VOLSEL	下拉	PMUIO2电源域驱动强度选择，仅在上电时有效： 0：IO电平模式为1.8V (default)； 1：IO电平模式为3.0V；
SDMMCO_DET	上拉	JTAG管脚复用选择控制信号： 0：识别为SD卡插入，SDMMC/JATG/UART管脚复用为SDMMC输出； 1：识别为SD卡未插入，SDMMC/JATG/UART管脚复用为JTAG/UART输出 (default)；

### 3.1.5 JTAG Debug电路

RK3399芯片的JTAG接口符合IEEE1149.1标准。PC可通过SWD模式（两线模式）连接DSTREAM仿真器，调试芯片内部的A53/A72 Core；或是通过连接J-link/U-link/Realview-ICE/DSTREAM仿真器，调试芯片内部的M0 Core。

在连接仿真器前，需要保证SDMMCO\_DET管脚处于高电平，否则无法进入JTAG调试模式。接口说明如表3-4所示：

表 3-4 RK3399 JTAG Debug接口信号

信号名	描述
APJTAG_TCK	AP JTAG时钟输入，建议下拉。
APJTAG_TMS	AP JTAG模式选择输入，建议上拉。
MUCJTAG_TCK	MCU JTAG时钟输入，建议下拉。
MUCJTAG_TMS	MCU JTAG模式选择输入，建议上拉。
PMCUJTAG_TCK	PMCU JTAG时钟输入，建议下拉。

PMCUJTAG\_TMS

PMCU JTAG模式选择输入，建议上拉。

### 3.1.6 DDR电路

#### 3.1.6.1 DDR控制器介绍

RK3399 DDR控制器接口支持DDR3/DDR3L/LPDDR3/LPDDR4 SDRAM标准接口，控制器有如下特点：

- 支持DDR3L；
- 提供两个32bit的DDR控制器接口，每个控制器接口分别提供4个DDR SDRAM片选、2个ODT、2组CKE，支持数据总线位宽32bit/16bit可配置，地址总线最大支持16bit；
- 支持的最大DDR容量为4GB；
- 支持Power Down、Self Refresh等低功耗模式；

#### 3.1.6.2 DDR拓扑结构与连接方式

RK3399的SDRAM拓扑结构如图3-4所示，以LPDDR3为例：

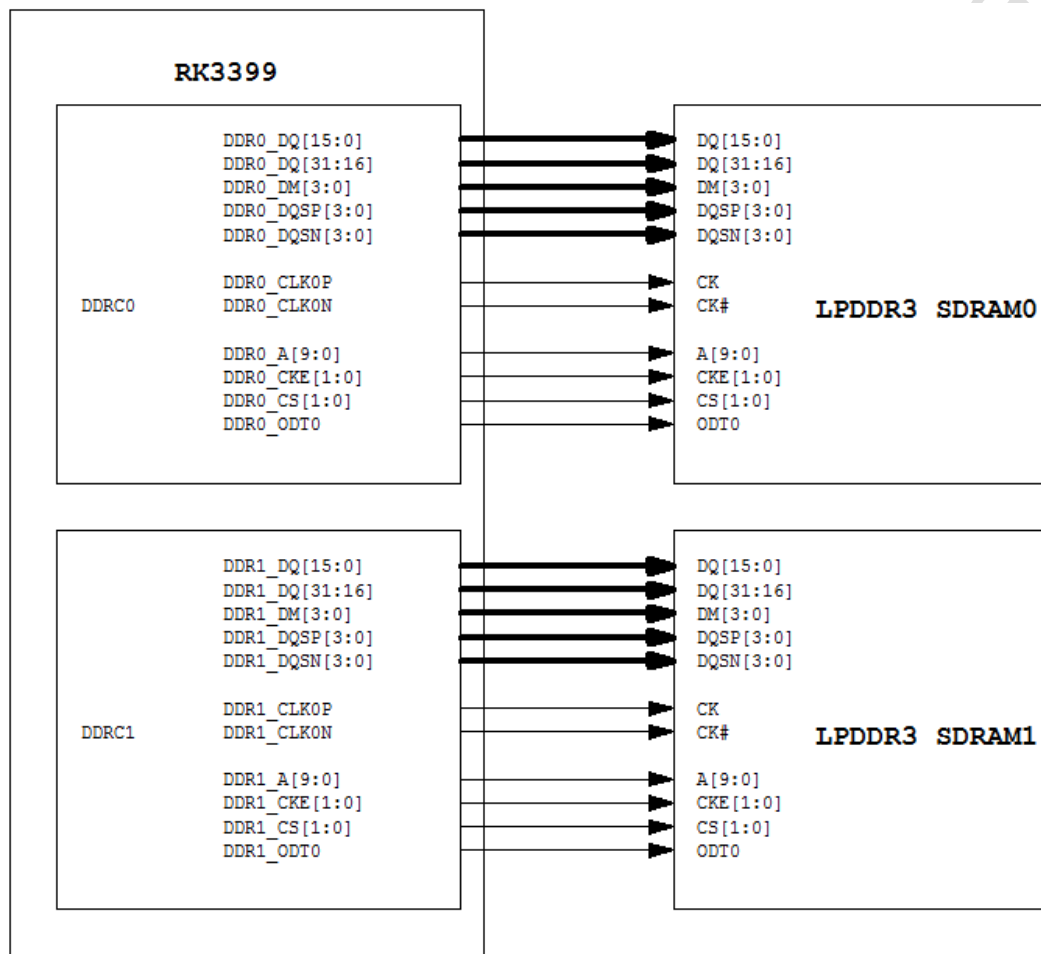


图 3-4 RK3399 SDRAM的拓扑结构图

#### 3.1.6.3 DDR上电时序要求

RK3399 DDR控制器包括三组电源：

- DDR\_VDD：DDR控制器的Core供电、接口I/O供电以及缓冲器电源；
- DDRx\_CLK\_VDD：DDR控制器的时钟驱动器电源，与VCC\_DDR电平保持一致即可，建议从VCC\_DDR电源上引出并单独走线；
- DDRxPLL\_AVDD\_OV9：DDR控制器的PLL模拟电源，为保证时钟电源干净，建议由LDO单独供电。

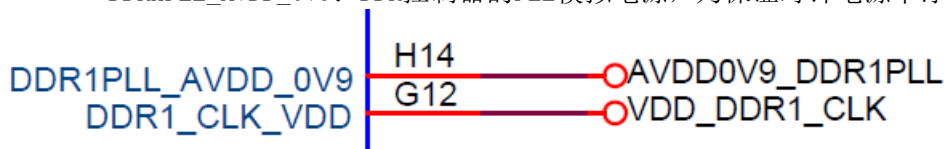


图 3-5 RK3399 DDR控制器电源

RK3399 DDR控制器的上电时序请参考以下两点：

- DDRx\_CLK\_VDD与DDR\_VDD同一电源供电；
- DDR\_VDD与DDRxPLL\_AVDD\_OV9可以同时上电，但是从电源ESD的角度建议低压电源先上电，即DDRxPLL\_AVDD\_OV9比DDR\_VDD早上电；

DRAM的上电时序请参考JEDEC标准，例如LPDDR3 DRAM的上电时序如下图所示：

After...	Applicable Conditions
Ta is reached	$V_{DD1}$ must be greater than $V_{DD2}-200\text{mV}$
	$V_{DD1}$ and $V_{DD2}$ must be greater than $V_{DDCA}-200\text{mV}$
	$V_{DD1}$ and $V_{DD2}$ must be greater than $V_{DDQ}-200\text{mV}$
	$V_{\text{Ref}}$ must always be less than all other supply voltages

图 3-6 LPDDR3 DRAM上电时序

#### ● 3.1.6.4 DDR支持的型号列表

RK3399 DDR接口DDR3/LPDDR3最高工作频率支持到800MHz，支持器件请参考瑞芯微电子《RK DDR Support List》文档。

### 3.1.7 eMMC电路

#### ● 3.1.7.1 eMMC控制器介绍

RK3399 eMMC接口，支持eMMC 5.1接口协议，控制器有如下特点：

- 支持单通道eMMC颗粒，8bits模式；
- 支持eMMC 5.1接口协议，支持HS400工作模式；

#### ● 3.1.7.2 eMMC拓扑结构与连接方式

eMMC接口支持eMMC 5.1接口协议的器件，接口上下拉和匹配设计推荐如表3-5所示。

表 3-5 RK3399 eMMC接口设计

信号	内部上下拉	连接方式	描述（芯片端）
eMMC_DQ[7:0]	上拉	直连	eMMC数据发送/接收
eMMC_CLK	NA	串联22ohm电阻	eMMC时钟发送
eMMC_CMD	上拉	直连	eMMC命令发送/接收
eMMC_STRB	NA	直连	HS400模式下，eMMC时钟接收 软件配置内部下拉，无需外部下拉电阻。

#### ● 3.1.7.3 eMMC上电时序要求

RK3399芯片eMMC控制器包括两组电源：

- VCCOV9\_EMMC：eMMC控制器的Core电源；
- VCC1V8\_EMMC：eMMC控制器的I/O电源；

RK3399芯片eMMC控制器电源的上电时序请参考下图：

- VCCOV9\_EMMC与VCC1V8\_EMMC可以同时上电，但是从电源ESD结构的角度建议低压电源先上电，即VCCOV9\_EMMC比VCC1V8\_EMMC早上电；

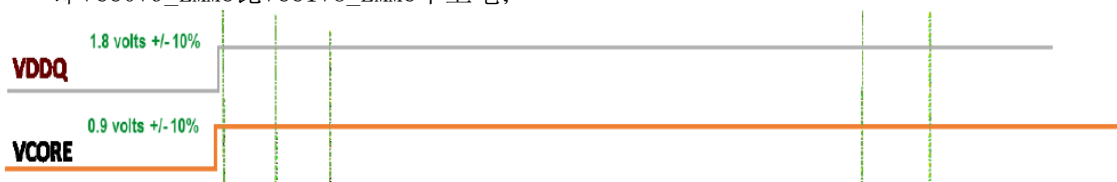


图 3-7 RK3399 eMMC控制器上电时序

eMMC颗粒的上电时序请参考JEDEC标准:

- VCC与VCCQ在上电时序上没有先后要求;
- VCC与VCCQ必须在RK3399的CMD命令发出前上电, 并保持稳定的工作电压;
- 在颗粒进入睡眠模式后, RK3399 可以关断VCC电源以降低功耗;
- 在颗粒从睡眠模式被唤醒前, VCC电源必须先上电, 并保持稳定的工作电压;

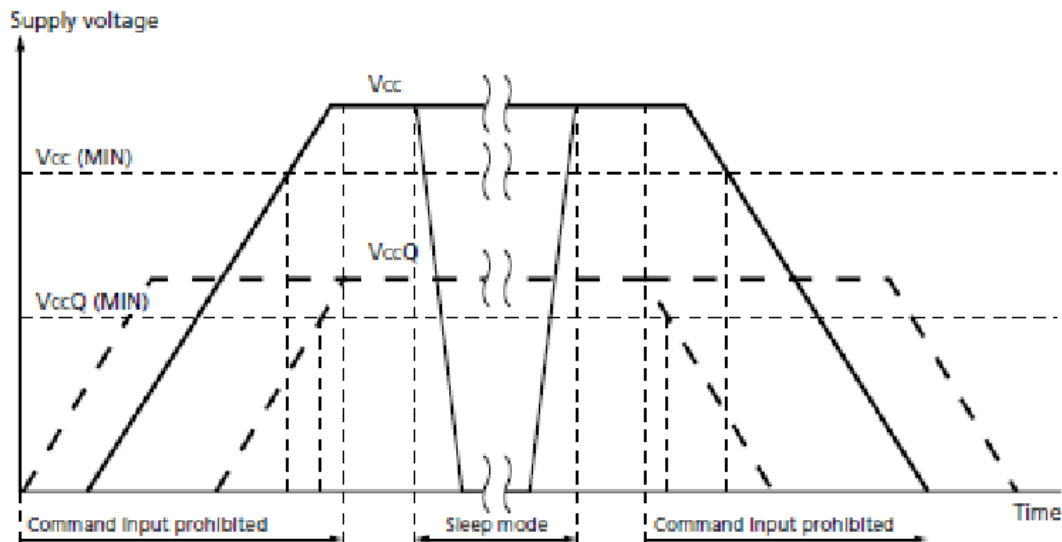


图 3-8 eMMC颗粒上下电时序

#### ● 3.1.7.4 eMMC支持的型号列表

RK3399 eMMC接口eMMC最高支持HS400模式, 支持器件请参考瑞芯微电子《RK eMMCSupportList》文档。

### 3.1.8 SPI电路

#### ● 3.1.8.1 SPI控制器介绍

RK3399芯片中有6个SPI控制器, 可用来连接SPI设备, 其中SPI1可以被用来做为boot使用。在Netbook应用中, 使用SPI Flash保存Bios代码, 并引导系统启动。因为Spi Boot的引导优先级最高, 所以如果不是Netbook的应用, 请勿在SPI1控制器上连接存储设备以免造成系统引导异常。

#### ● 3.1.8.2 SPI拓扑结构与连接方式

SPI接口上下拉和匹配设计推荐如表3-6所示。

表 3-6 RK3399 SPI接口设计

信号	内部上下拉	连接方式	描述 (芯片端)
SPI1_TXD (MOSI)	上拉	直连	SPI数据发送
SPI1_RXD (MISO)	上拉	直连	SPI数据接收
SPI1_CLK	上拉	串联22ohm电阻	SPI时钟发送
SPI1_CSn0	上拉	直连	SPI片选信号

#### ● 3.1.8.3 SPI上电时序要求

SPI控制器的上电时序要求请遵守GPIO电源域的上电时序要求。

SPI Flash只有一路电源, 所以对上电时序没有要求。

## 3.2 电源设计

### 3.2.1 最小系统电源介绍

#### ● 3.2.1.1 电源需求

- PLL: PLL\_AVDD\_0V9、PLL\_AVDD\_1V8、PMU\_VDD\_0V9、PMU\_VDD\_1V8、DDRxPLL\_AVDD\_0V9
- CPU: VDD\_CPU\_L、VDD\_CPU\_B
- GPU: VDD\_GPU
- LOGIC: VDD\_LOG、VDD\_CENTER
- DDR: VCC\_DDR、VCC\_DDRC
- GPIO: PMUIO1\_VDD\_1V8

#### ● 3.2.1.2 上电时序

理论上遵循同一模块低压先上、高压后上；相同模块相同电压一起上电原则，不同模块间无时序要求。

推荐的上电时序参考如下：

PLL\_AVDD\_0V9&PMU\_VDD\_0V9--->PLL\_AVDD\_1V8&PMU\_VDD\_1V8&PMUIO1\_VDD\_1V8--->VDD\_LOG--->VDD\_GPU&VCC\_CPU\_B--->VCC\_DDR&VCC\_DDRC--->VCC\_CPU\_L--->VDD\_CENTER

### 3.2.2 电源设计建议

#### ● 3.2.2.1 待机电路方案

RK3399板级系统采用真待机方案，系统分为常供电区和待机掉电区，两部分独立供电，如图3-9所示。

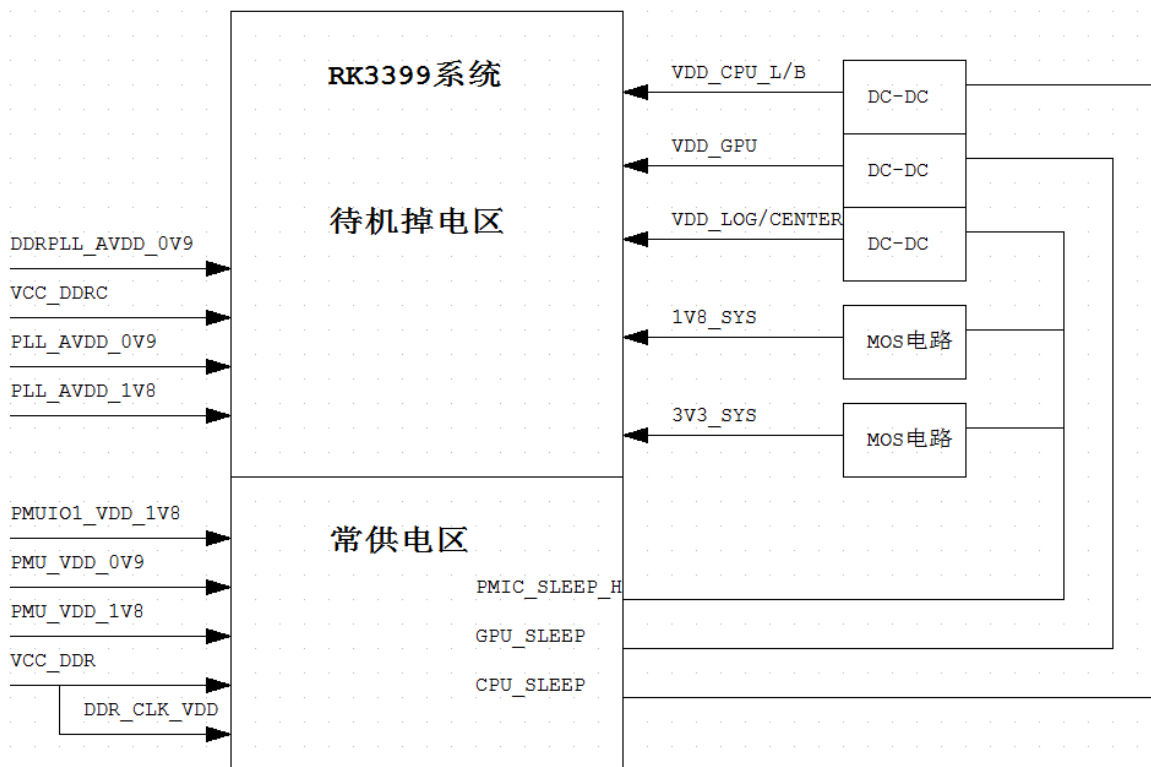


图 3-9 RK3399 待机电路框图

待机掉电区电源通过PMIC控制各路独立电源关断，并通过PMIC\_SLEEP\_H控制MOS开关电路在待机状态下关断供电。

常供电区电源由电源芯片直接提供，在待机状态下至少应保留如下四组电源不断：

- DDR: VCC\_DDR、DDRx\_CLK\_VDD，为DDR自刷新提供电源；
- GPIO: PMUIO1\_VDD\_1V8，为PMUIO1电源域维持输出状态及中断响应提供电源；

- CORE: PMU\_VDD\_OV9, 为PMUIO1电源域的PLL工作提供电源;
- PLL: PMU\_VDD\_1V8, 为PMUIO1电源域的PLL以及CPU OSC工作提供电源;

### ● 3.2.2.2 PLL电源

RK3399芯片内部共有10个PLL, 分配如下:

表 3 - 7 RK3399 内部PLL介绍

	数量	电源	待机状态
PMU/OSC	1	PMU_VDD_OV9、PMU_VDD_1V8	不可关断电源
DDR控制器	2	DDR0PLL_AVDD_OV9、DDR1PLL_AVDD_OV9	可以关断电源
芯片内各模块	7	PLL_AVDD_OV9, PLL_AVDD_1V8	可以关断电源

电源上建议使用LDO为PLL单独供电, 特别是DDR工作频率较高, 稳定的PLL电源有助于提高高频下的工作稳定性, 且去耦电容应靠近引脚摆放。



图 3 - 10 RK3399 芯片PLL电源1

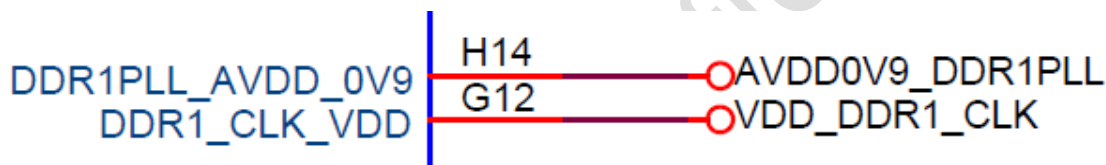


图 3 - 11 RK3399 芯片PLL电源2

### ● 3.2.2.3 CPU/CORE电源

RK3399采用CPU、CORE独立电源域供电, VDD\_CPU\_B为大核A72供电, VDD\_CPU\_L为小核A53供电, 都支持DVFS动态调频调压功能, 两路电源使用DC-DC电源独立供电, 峰值电流分别可达4.3A/1.6A, 所以请不要删减RK3399芯片参考设计原理图中的电容。Layout时将大电容放置在RK3399芯片背面 (或靠近芯片放置), 以保证电源纹波在100mV以内, 避免大负载情况下引起电源纹波偏大, 电容如图3-13。

#### VDD\_CPU\_B power

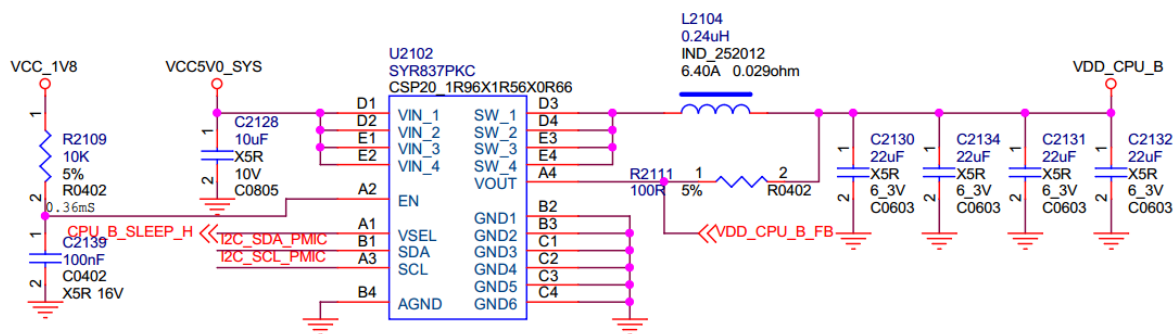


图 3 - 12 RK3399 芯片VDD\_CPU电源



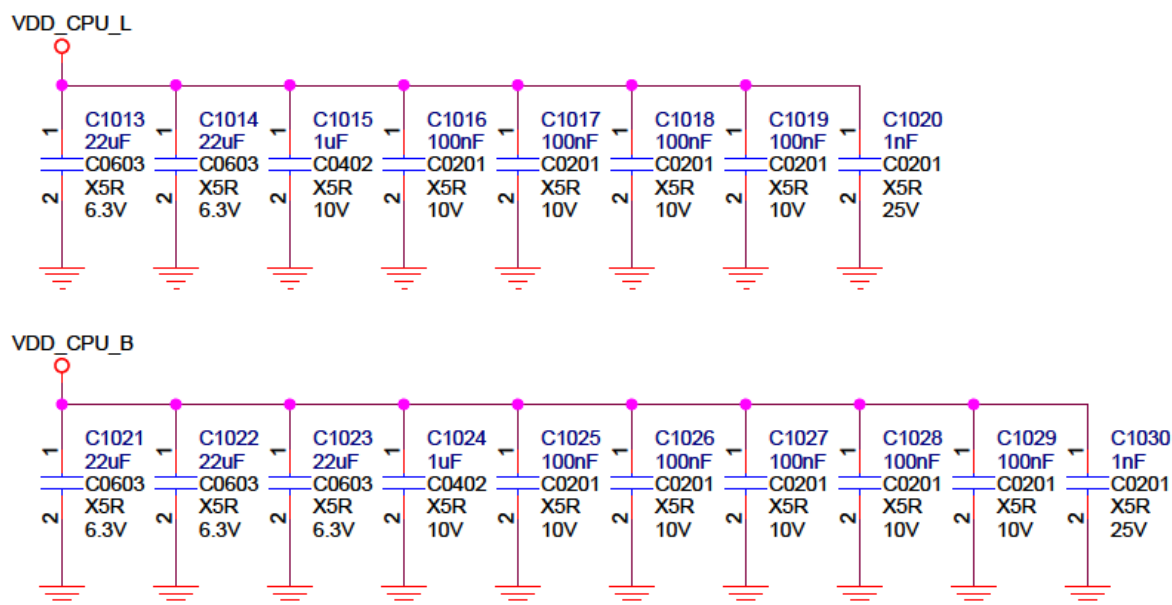


图 3 - 13 RK3399 芯片VDD\_CPU电源的去耦

BIGCPU\_VDD\_COM是RK3399芯片中VDD\_CPU\_B电源的反馈脚，需连接到DC-DC电源的FB端，可有效避免PCB电源线路阻抗引起的损耗，并提高电源动态调整的实时性。

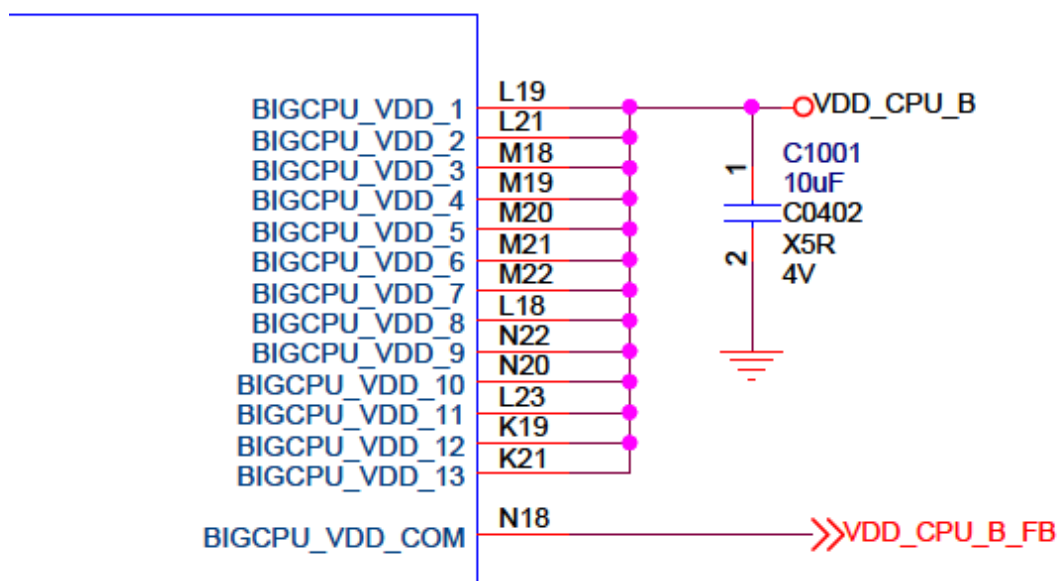


图 3 - 14 RK3399 芯片VDD\_CPU\_COM电源反馈

#### ● 3.2.2.4 GPU电源

RK3399的GPU电源使用DC-DC单独供电，支持DVFS动态调频调压功能，峰值电流可达4A，所以请不要删减RK3399芯片参考设计原理图中的电容。Layout时将大电容放置在RK3399芯片背面（或靠近芯片放置），以保证电源纹波在100mV以内，避免大负载情况下引起电源纹波偏大，电容如图3-16。

## VDD\_GPU power

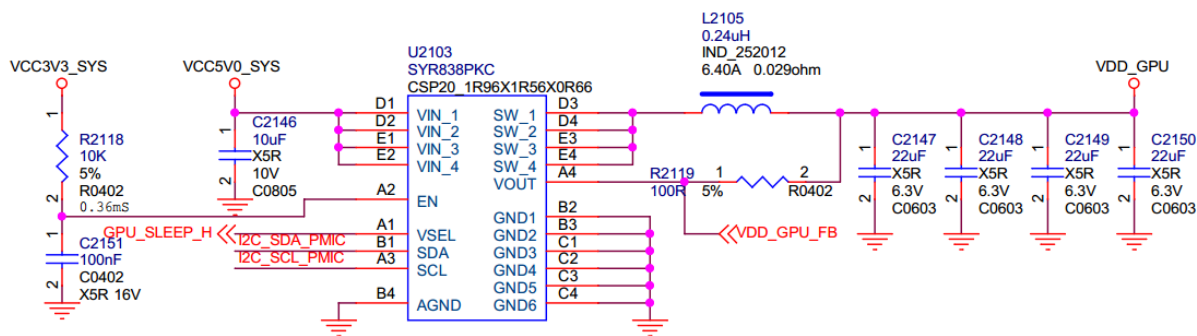


图 3-15 RK3399 芯片VDD\_GPU电源

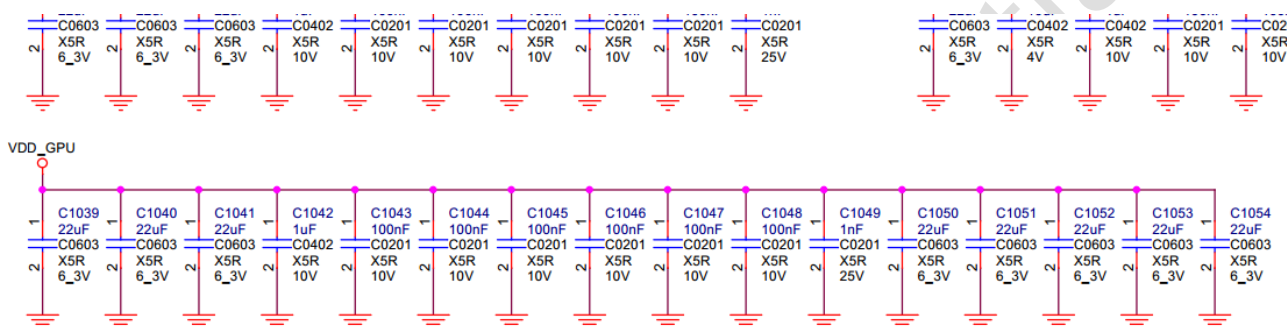


图 3-16 RK3399 芯片VDD\_GPU电源的去耦

GPU\_VDD\_COM是RK3399芯片中GPU\_VDD电源的反馈脚，需连接到DC-DC/PMIC电源的FB端，可有效改善因PCB电源线阻抗引起的损耗，并提高电源动态调整的实时性。

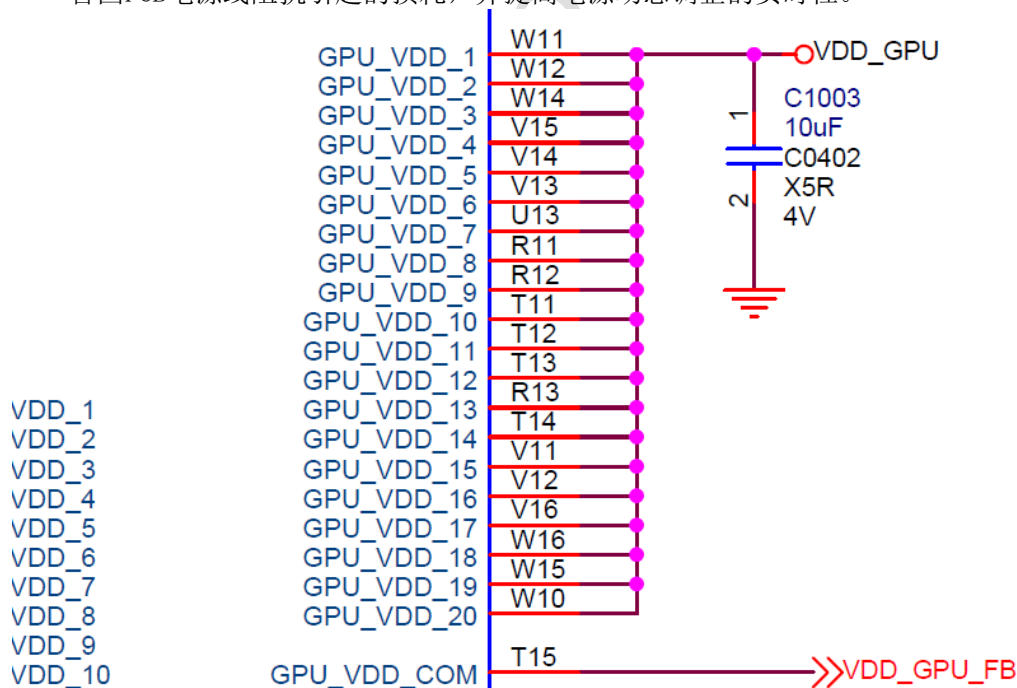


图 3-17 RK3399 芯片VDD\_GPU\_COM电源反馈

### 3.2.2.5 LOGIC电源

RK3399芯片的数字逻辑部分由VDD\_LOGIC和VDD\_CENTERLOGIC两个电源域单独供电，电源域分别包

括如下逻辑部分：

VD_LOGIC	PD_ALIVE	CRU, PLL, GRF, TIMER, WDT, GPIO, INTR_ARB
	PD_PERI_LP	NOC, EFUSE, SRAM, ROM, CRYPTO, GIC, DMAC, DCF, I2S_8CH, SPDIF, UART, I2C, MAILBOX, SPI, SARADC, TSADC, Cortex-M0
	PD_PERI_HP	USB2, SD/MMC, SDIO, PCIe
	PD_EMMC	eMMC
	PD_GMAC	GMAC
	PD_USB3	USB3.0/2.0
	PD_EDP	eDP
	PD_VIO	MIPI
	PD_ISP0	ISP0
	PD_ISP1	ISP1
	PD_VOPB	VOP_BIG
	PD_VOPL	VOP_LIT
	PD_HDCP	HDCP2.2, HDMI, DP, Gasket
VD_CENTER	PD_CENTER	DDRC, Memory Scheduler, DFI_MONITOR, CIC
	PD_VDU	RKDEC
	PD_VCODEC	VCODEC
	PD_IEP	IEP
	PD_RGA	RGA

图 3 - 18 RK3399 芯片数字逻辑介绍

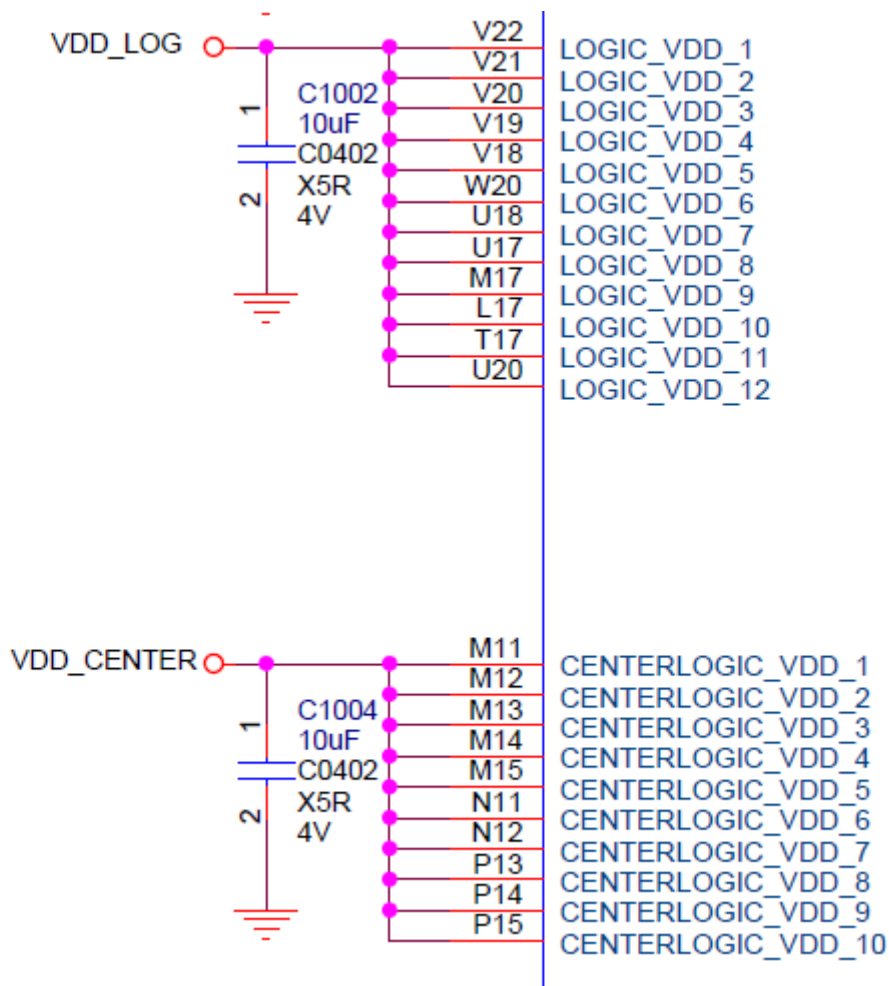


图 3 - 19 RK3399 芯片逻辑电源

根据PMUI02电源域的GPIO电平值不同（1.8V/3.0V），LOG\_DVS\_PWM对应的VDD\_LOG电源设计上PWM电路器件参数有所区别，设计时要注意，如图3-20，3-21所示。

## VDD\_LOG power

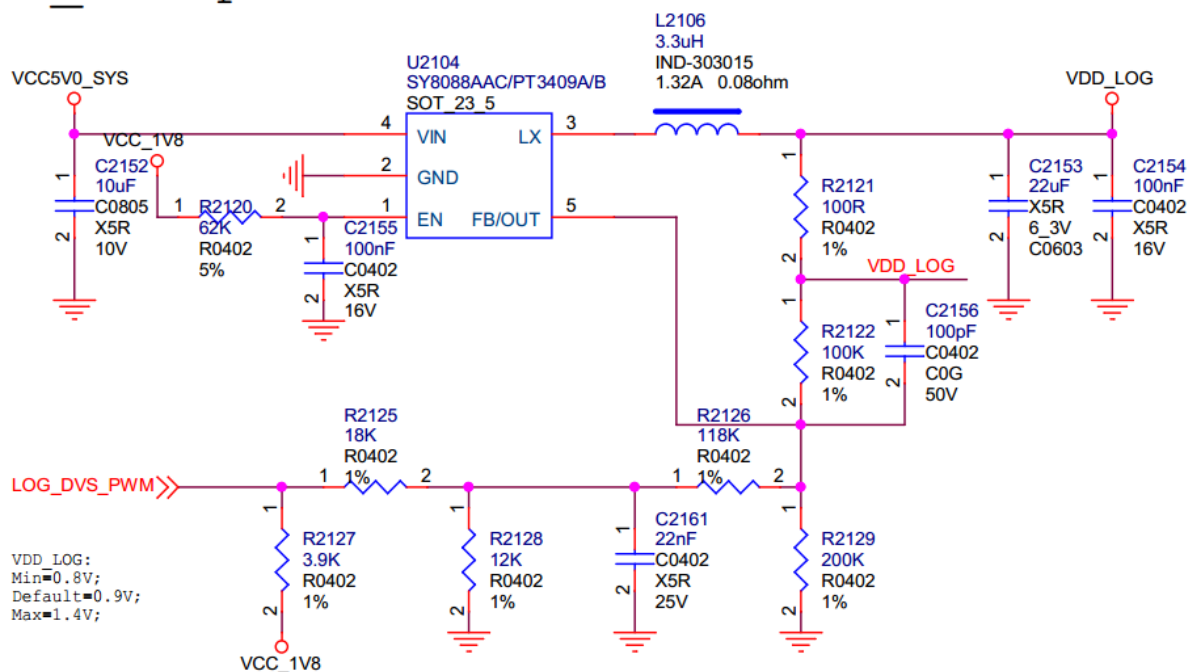


图 3 - 20 RK3399 芯片VDD\_LOG电源-1.8V mode

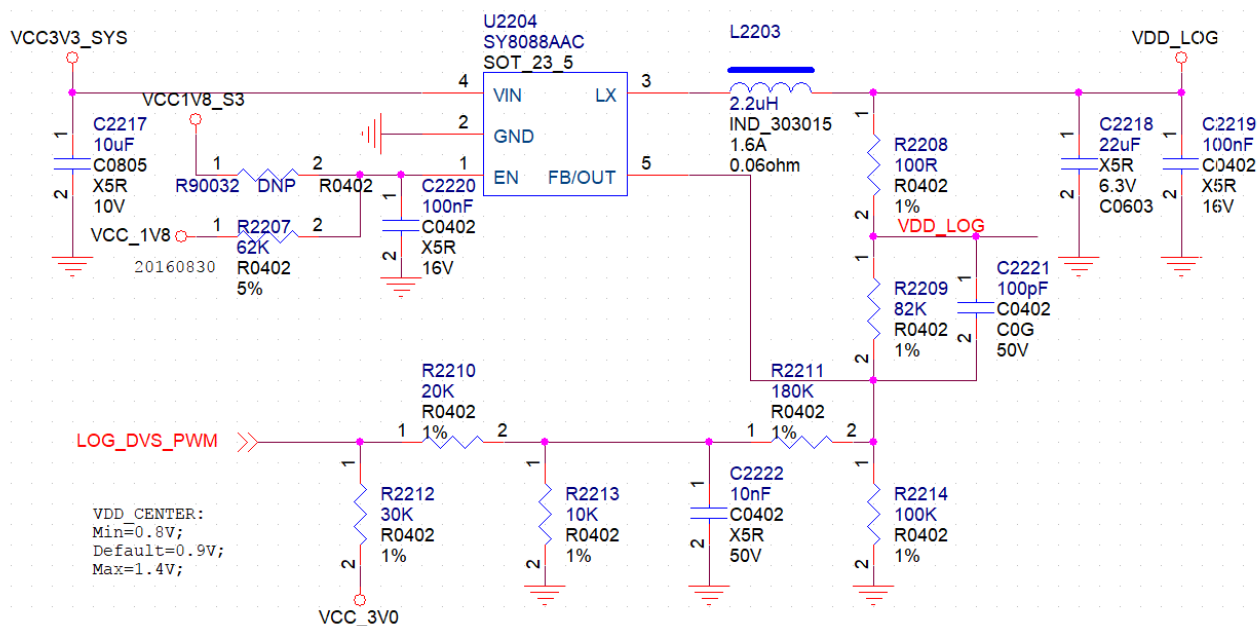


图 3-21 RK3399 芯片VDD LOG电源-3.0V mode

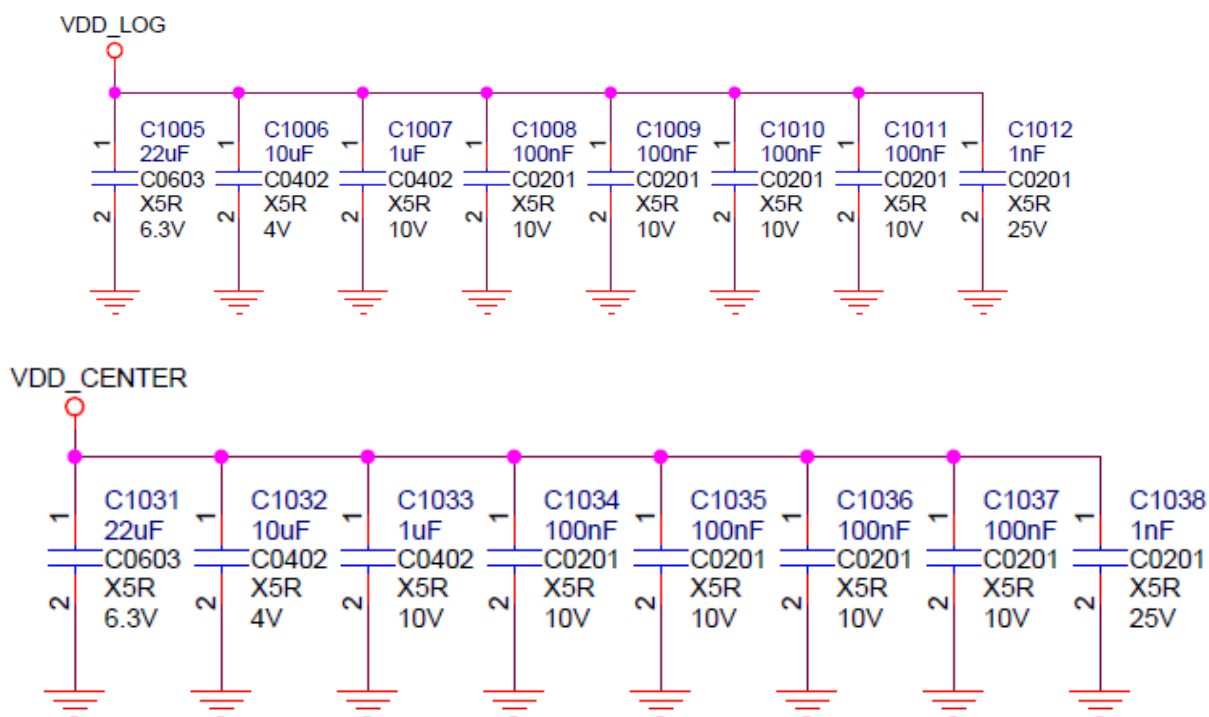


图 3-22 RK3399 芯片逻辑电源的去耦

### ● 3.2.2.6 DDR电源

RK3399芯片的DDR控制器接口支持DDR3/LPDDR3/LPDDR4电平标准，内部集成Vref电路，产生参考电压VCC<sub>DDR</sub>/2。

LPDDR3 DRAM端的Vref\_CA=VDDQ/2，而Vref\_DQ则根据ODT策略来调整，可以根据驱动强度和ODT值调整对应的Vref电压。

例如：在800MHz频率下，RK3399芯片端的驱动强度为34.3ohm，DRAM端ODT为240ohm，因此 ODT enable 时，根据公式算出来的DRAM Vref=0.56\*VDDQ。

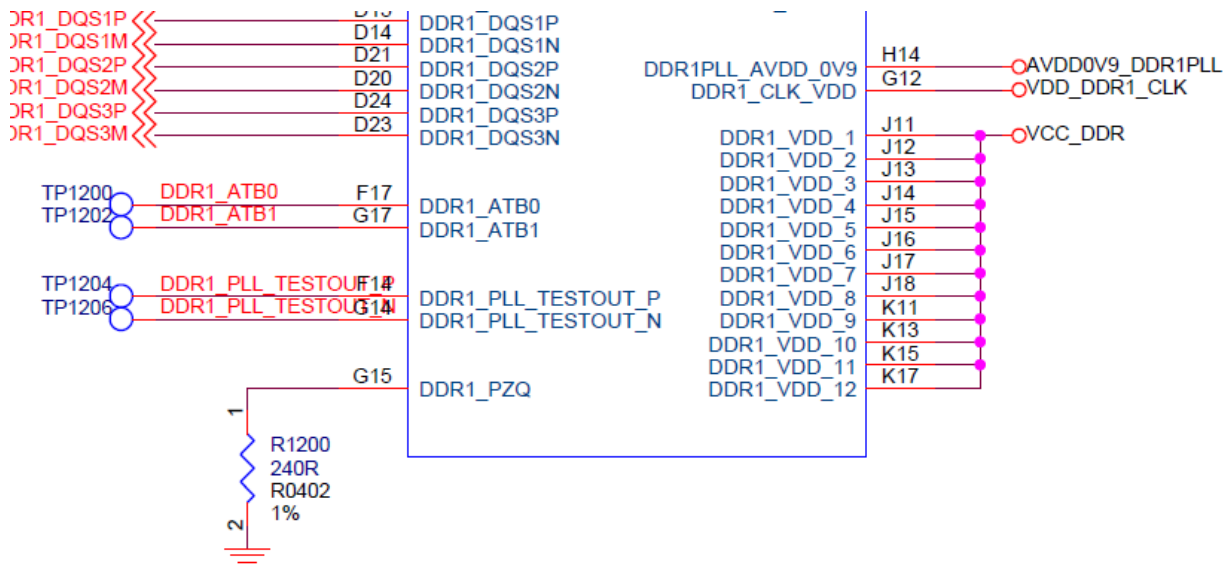


图 3 - 23 RK3399 芯片DDR控制器电源

RK3399芯片DDR控制器的内部时钟由独立的PLL产生，PLL需要单独供电（DDR0PLL\_AVDD\_0V9、DDR1PLL\_AVDD\_0V9），要求每个DDR PLL管脚放置一个100nF去耦电容，并靠近供电管脚摆放。

RK3399芯片DDR CLKP/CLKN信号的供电管脚（DDR0\_CLK\_VDD、DDR1\_CLK\_VDD）使用VCC\_DDR供电，但建议串联电阻单独走线，避免引入VCC\_DDR电源平面上的噪声，要求每个供电管脚放置一个100nF去耦电容，并靠近供电管脚摆放。

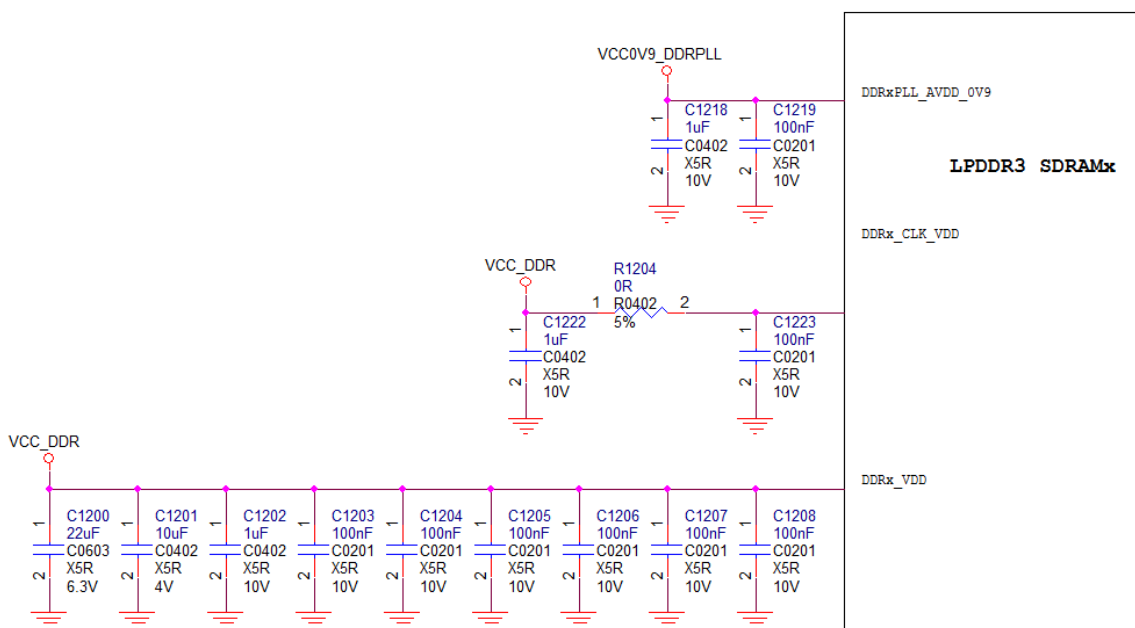


图 3 - 24 RK3399 芯片DDR控制器电源设计

DDR3 DRAM端的VREF\_DQ和VREF\_CA采用独立的VREF电压参考电路；VREF\_DQ管脚供电可以通过1Kohm电阻（精度1%）分压提供，而VREF\_CA因为常供电的原因可以改用10Kohm电阻（精度1%）分压以降低功耗。每个参考电源管脚旁放置一个1nF的去耦电容。

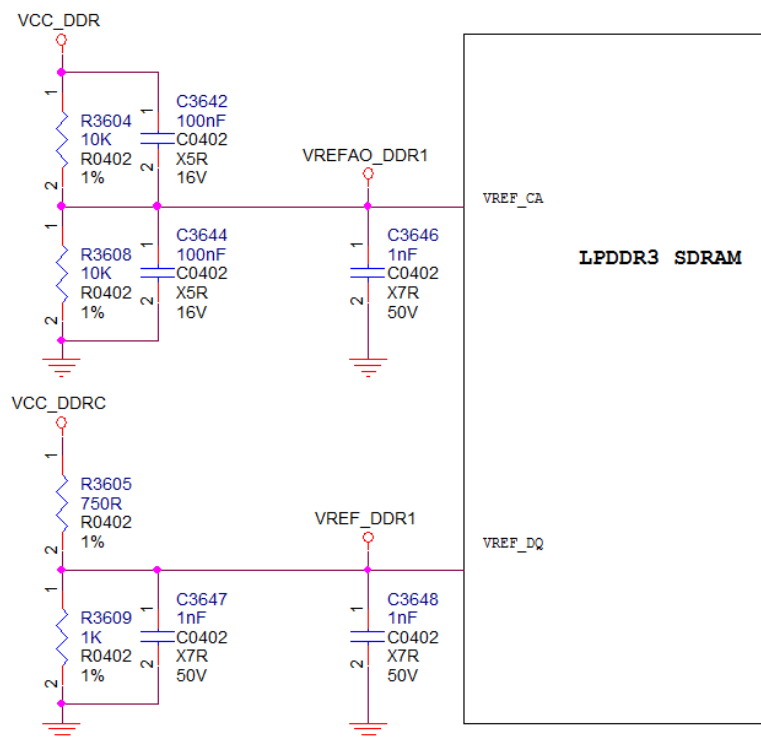


图 3 - 25 RK3399 LPDDR3 DRAM的VREF电源设计

- 3.2.2.7 GPIO电源

GPIO电源请参考2.3.1节。建议每个管脚放置一个100nF去耦电容，并靠近供电管脚摆放。详细设计请参考RK3399芯片参考设计原理图。

### 3.2.3 RK808-D方案介绍

- 3.2.3.1 RK808-D框图

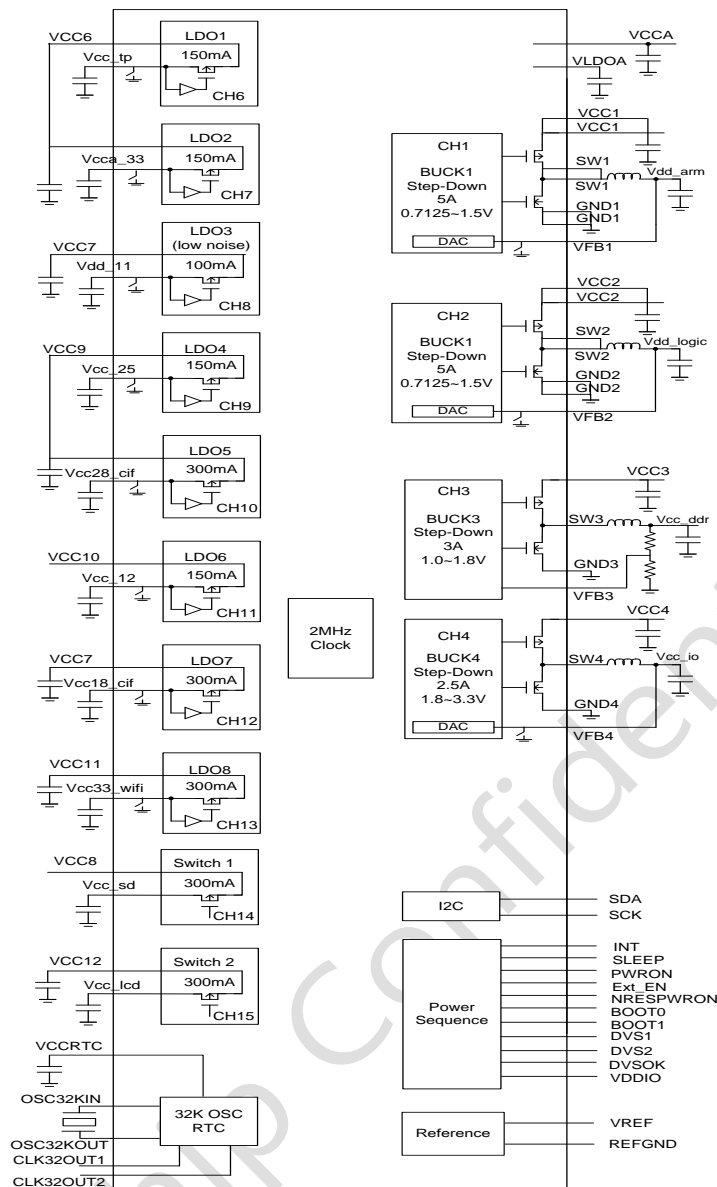


图 3 - 26 RK808-D 框图

### 3.2.3.2 RK808-D特征

- 输入范围：2.7V-5.5V
- 2MHz开关频率的降压DC-DC转换器
- 电流模式架构提供优异的瞬态响应
- 内置RTC，两路32.768kHz时钟输出
- 内部环路补偿和软启动功能
- 可通过I2C编程的输出电平和上电时序控制
- 高转换效率电路架构
- BUCK和LDO内置放电电路
- 供电电源：
  - ◆ 通道1：同步降压DC-DC转换器，5A max
  - ◆ 通道2：同步降压DC-DC转换器，5A max
  - ◆ 通道3：同步降压DC-DC转换器，3A max
  - ◆ 通道4：同步降压DC-DC转换器，2.5A max
  - ◆ 通道6-7、9和11：低压差线性稳压器，150mA max
  - ◆ 通道8：低噪声，高电源抑制比低压差线性稳压器，100mA max
  - ◆ 通道10、12和13：低压差线性稳压器，300mA max
  - ◆ 通道14：低阻开关，0.2ohm (Vgs=3V时)
  - ◆ 通道15：低阻开关，0.2ohm (Vgs=3V时)



- 固定及可编程可选择的电源启动时序控制
- 封装：7mmx7mm QFN68

### 3.2.3.3 RK3399+RK808-D Power Tree

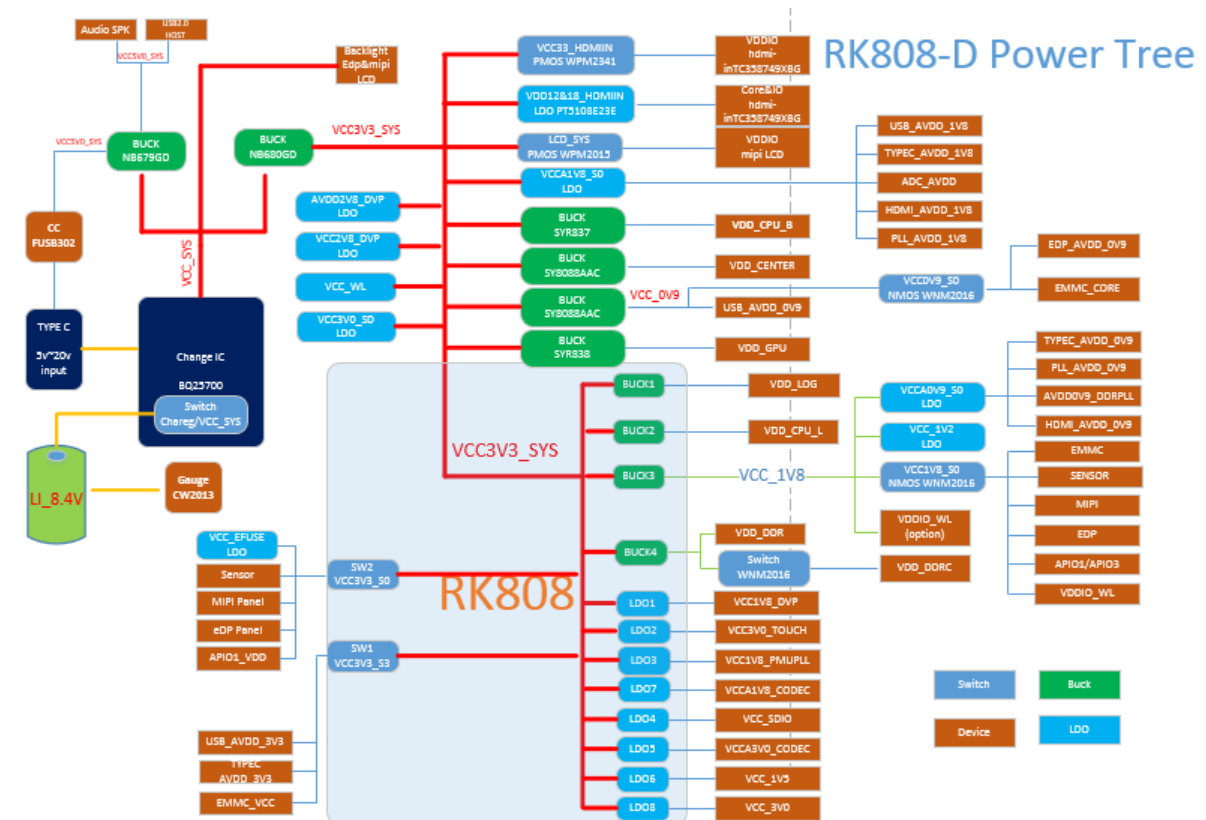


图 3 - 27 RK808-D 电源架构

### 3.2.3.4 RK808-D应用框图

## PMIC

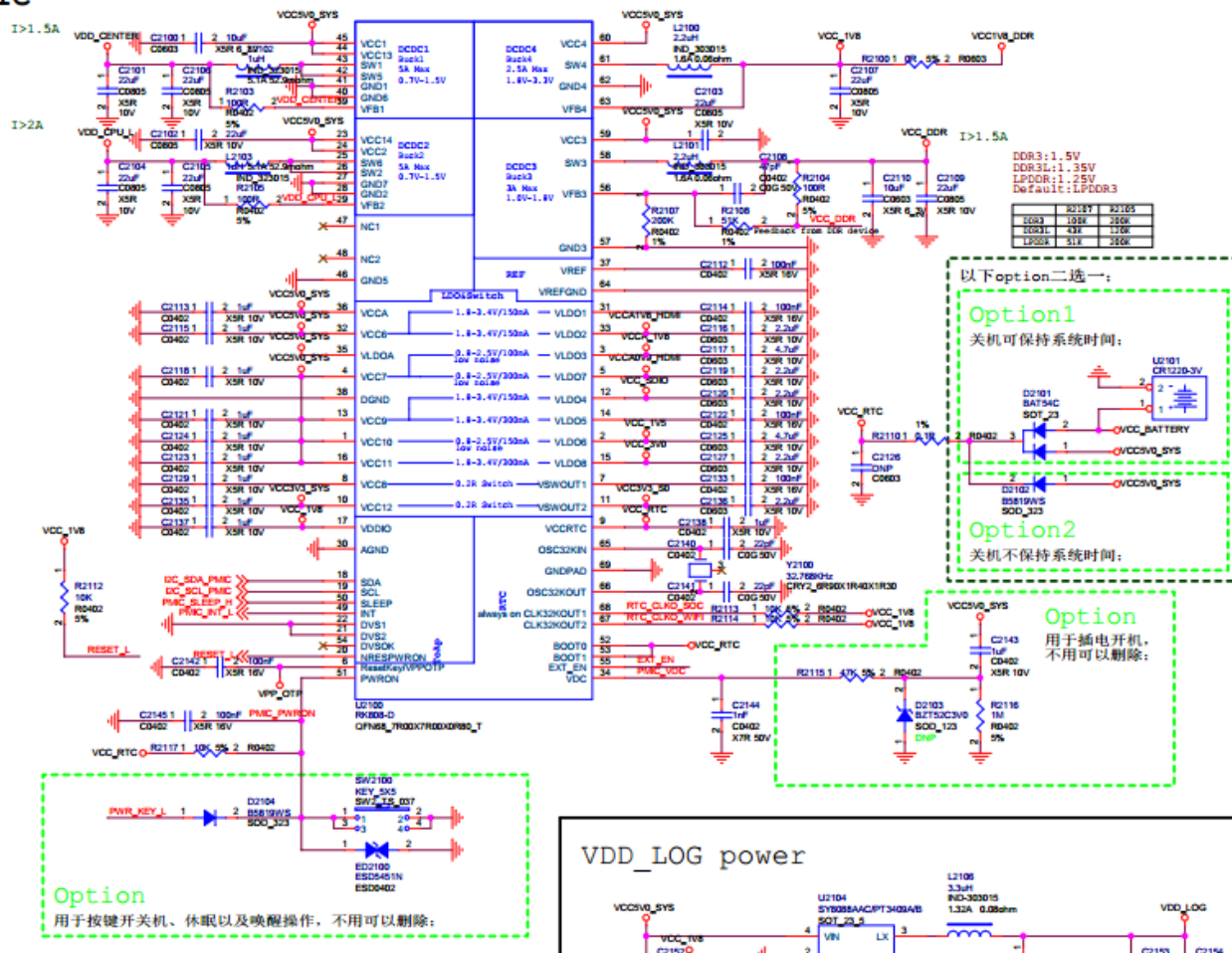


图 3-28 RK808-D 应用框图

### 3.2.3.5 RK808-D注意事项

- 32.768晶体的匹配电容推荐值为22pF，用户可根据所用晶体的具体规格微调此参数；



### 注意

为了降低功耗PMIC RTC的晶体振荡都做的比较弱，在XOUT或XIN的管脚上用普通的示波器是测不到振荡信号的，或示波器探头一碰上去就会停振，要测这个信号请测CLK32KOUT管脚。

- VDC脚是强制上电管脚，当该管脚电压  $0.6V < VDC < 1.8V$ ，并维持500ms以上，RK808-D就会自动上电（满足其他上电要求的前提下）。在该电平撤销前，RK808不能被关闭，例如此时长按电源键或是执行软件关机流程，系统会下电并重启；如果需要关机，则需要撤销此电平；
- 对于BOX的应用场景，需要实现插电就自动开机的功能，且开关机是通过电源开关或是拔插电源来实现，所以可以考虑直接使用电阻分压，电路参考图3-29；

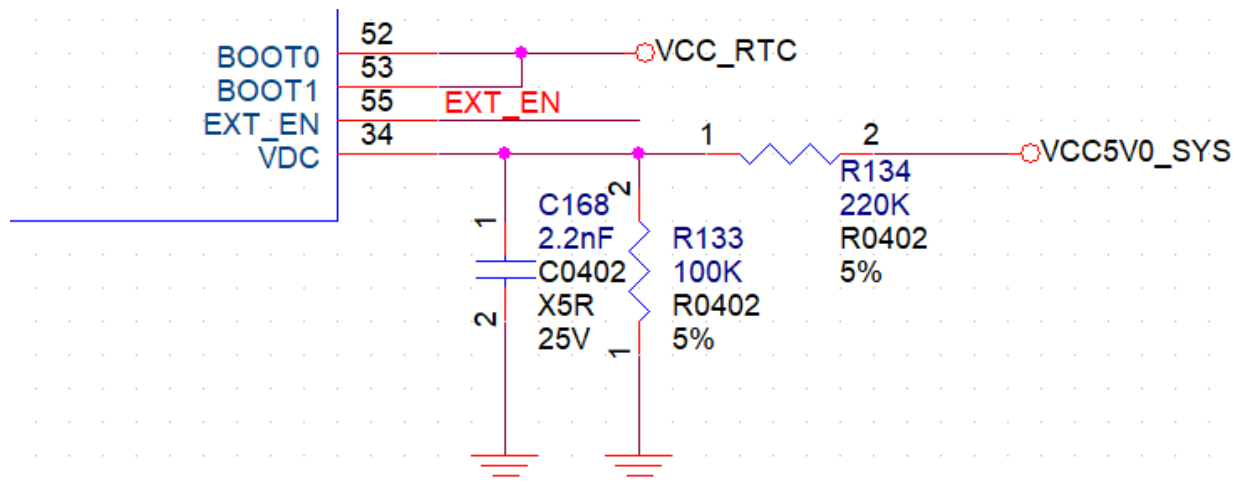


图 3-29 VDC应用电路一

- 对于Tablet/VR的应用场景，需要实现插电就自动开机的功能，并能够使用按键关机，则必须在开机阶段给VDC一个高电平，500ms以后可以撤销此电平，电路可参考图3-30；

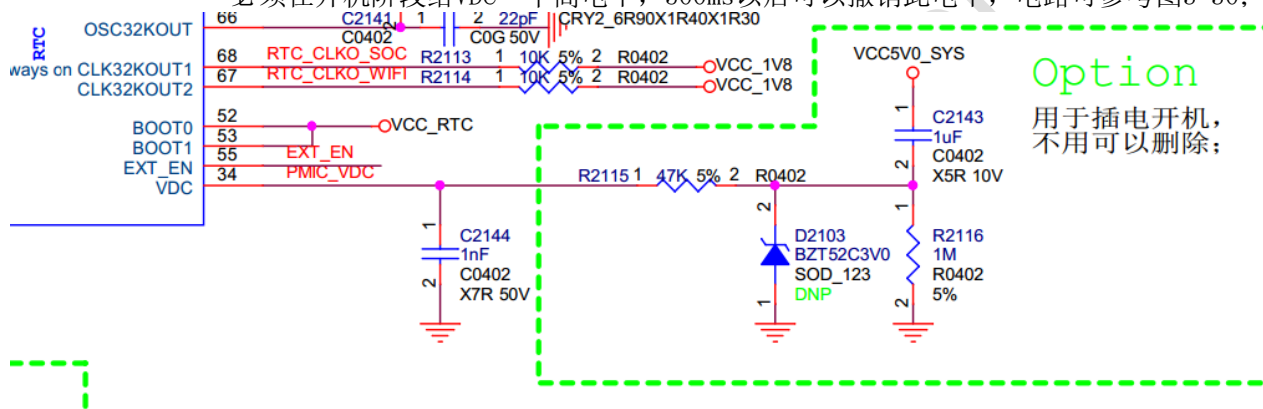


图 3-30 VDC应用电路二

- 对于Netbook的应用场景，不需要插电自动开机的功能，仅需要使用按键关机，则在VDCpin外接一个2.2nF电容对地即可（管脚不能悬空或者接地），如图3-31所示；

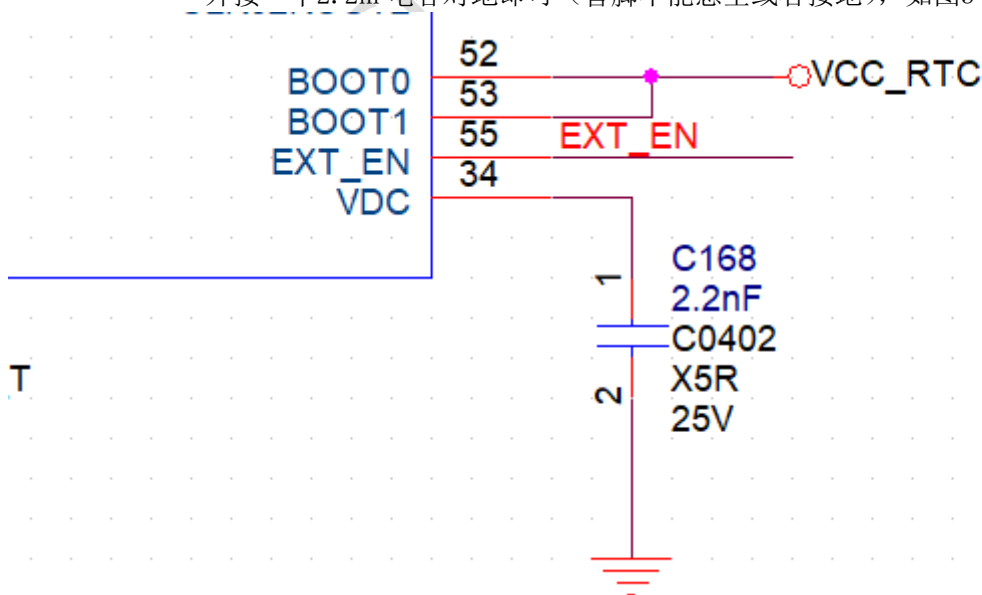


图 3-31 VDC应用电路三

- BUCK1和BUCK2的输出电容必须大于33uF以上才能保证有比较好的去耦效果，特别是大电流高

动态的负载情况下，可以适当加大输出电容；

- RK808-D最高输入电压为5.5V，如果是适配器直接对RK808-D供电，前端需要加TVS管（推荐型号：AZ5825-01F），以防止适配器插拔造成5.5V以上的浪涌电压。如果是RK808-D输入前级有经过DC-DC转换后供电，电压较稳定，可以不需要TVS管；
- ResetKey/VPPOTP脚在工作过程中如果被拉高（与VCCRTC脚的相同电压），当检测到高电平时间超过10ms，RK808-D会发出关机信号，然后自动重启；
- PWRON脚外部通过上拉电阻拉到VCCRTC，当检测到低电平时间超过500ms就会自动开机；开机后如果PWRON脚被拉低超过6s就会强制关机（通常用于系统死机后的强制关机，再开机）；在休眠以及唤醒操作时，PWRON脚的低电平需维持30ms以上。
- RK808-D的上电基本流程：
  - ◆ VCCRTC脚必须有供电；
  - ◆ RTC晶体电路开始振荡并工作稳定；
  - ◆ VCCA管脚电压高于3V；
  - ◆ 检测到了如下三种情况之中的一种：PWRON脚为低电平并维持500ms；VDC电压  $0.6V < VDC < 1.8V$  并维持500ms；内部RTC Alarm开机使能且定时时间到。
  - ◆ 开启上电流程，每个时序间隔是2ms，上面一个时序电压输出符合要求后才会继续下一个时序，直到所有时序上电结束，并释放reset，完成上电流程；

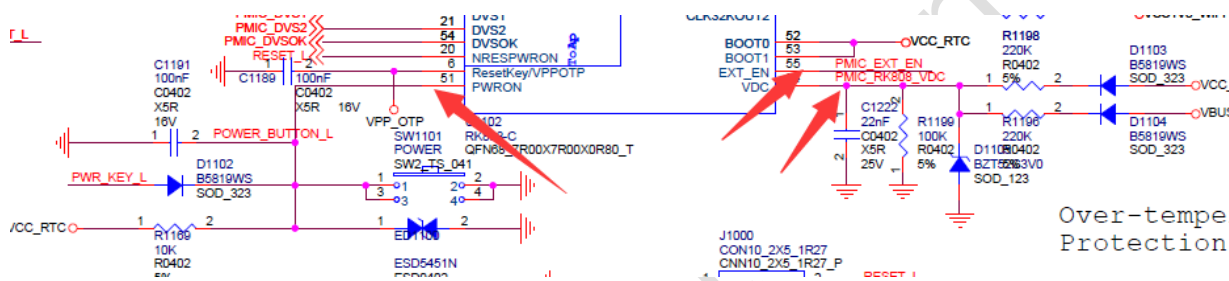


图 3-32 RK808-D PWRON管脚



## 注意

RK808-D的上电时序，与内部OTP烧写的时序有关，可以通过Boot0、Boot1脚来选择，具体请参考RK808-D规格书。

- RK808-D的下电流程：
  - ◆ 检测到如下三种情况之一：I2C写DEVICE\_OFF=1且VDC脚=0V；PWRON脚为低超过6s且VDC脚=0V；VCCA电压低于3V。
  - ◆ 开始下电流程，在1个RTC时钟周期后（约30.5us后）拉低reset，再经过2ms以后同时关断所有电源输出，完成下电流程；

### 3.2.3.6 RK808-D设计说明

RK808-D具体设计说明，请参考RK PMIC相关设计文档《RK808设计指导Ver1.0》。

## 3.2.4 RK818-3方案介绍

### 3.2.4.1 RK818-3框图

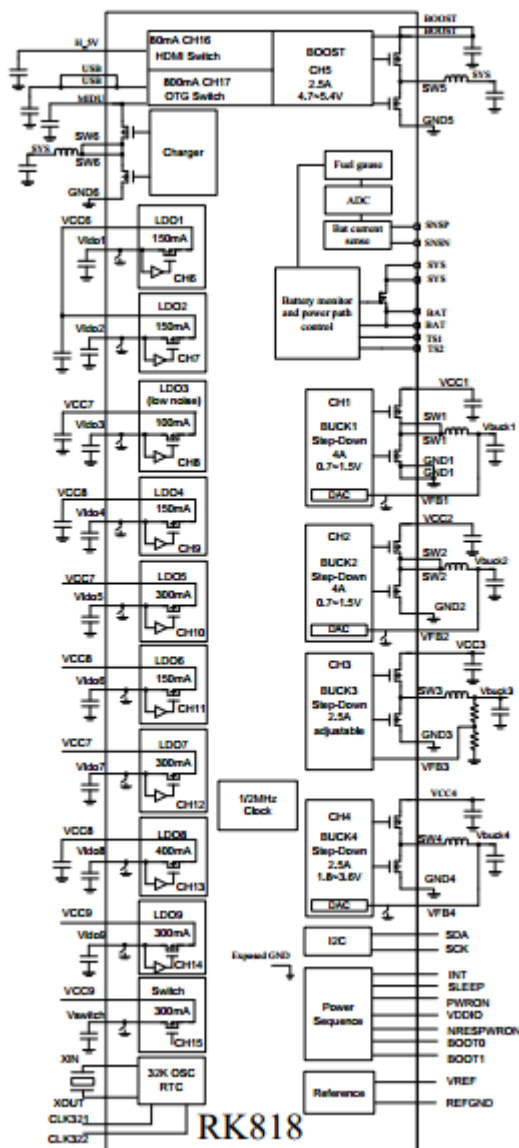


图 3-33 RK818-3 框图

### 3.2.4.2 RK818-3特征

- 输入范围：USB输入是3.8V-5.7V；BAT输入支持4.2V以及4.35V等电池
- 最大3A充电电流的锂离子电池开关充电器
- 最大5A自动电能路径管理
- 内置精准的电量计
- 内置实时时钟（RTC），两路32.768kHz时钟输出
- 小于40uA的极低待机电流（在32KHz时钟频率下）
- 2MHz开关频率的降压DC-DC转换器
- 1MHz开关频率的升压DC-DC转换器
- 电流模式架构提供优异的瞬态响应
- 内部环路补偿和软启动功能
- 可通过I2C编程的输出电平和上电时序控制
- 自主IP的高转换效率电路架构
- BUCK和LDO内置放电电路
- 供电电源：
  - ◆ 通道1：同步降压DC-DC转换器，4A max
  - ◆ 通道2：同步降压DC-DC转换器，4A max
  - ◆ 通道3：同步降压DC-DC转换器，2.5A max
  - ◆ 通道4：同步降压DC-DC转换器，2.5A max

- ◆ 通道5：同步升压DC-DC转换器，2.5A max
- ◆ 通道6-7、9和11：低压差线性稳压器，150mA max
- ◆ 通道8：低噪声，高电源抑制比低压差线性稳压器，100mA max
- ◆ 通道10-12、14：低压差线性稳压器，300mA max
- ◆ 通道13：低压差线性稳压器，400mA max
- ◆ 通道15：低阻开关，0.15ohm (Vgs=3V时)
- ◆ 通道16：HDMI 5V开关，80mA max
- ◆ 通道17：USB OTG开关，1000mA max
- 固定及可编程可选择的电源启动时序控制
- 封装：7mmx7mm QFN68

### 3.2.4.3 RK3399+RK818-3 Power Tree

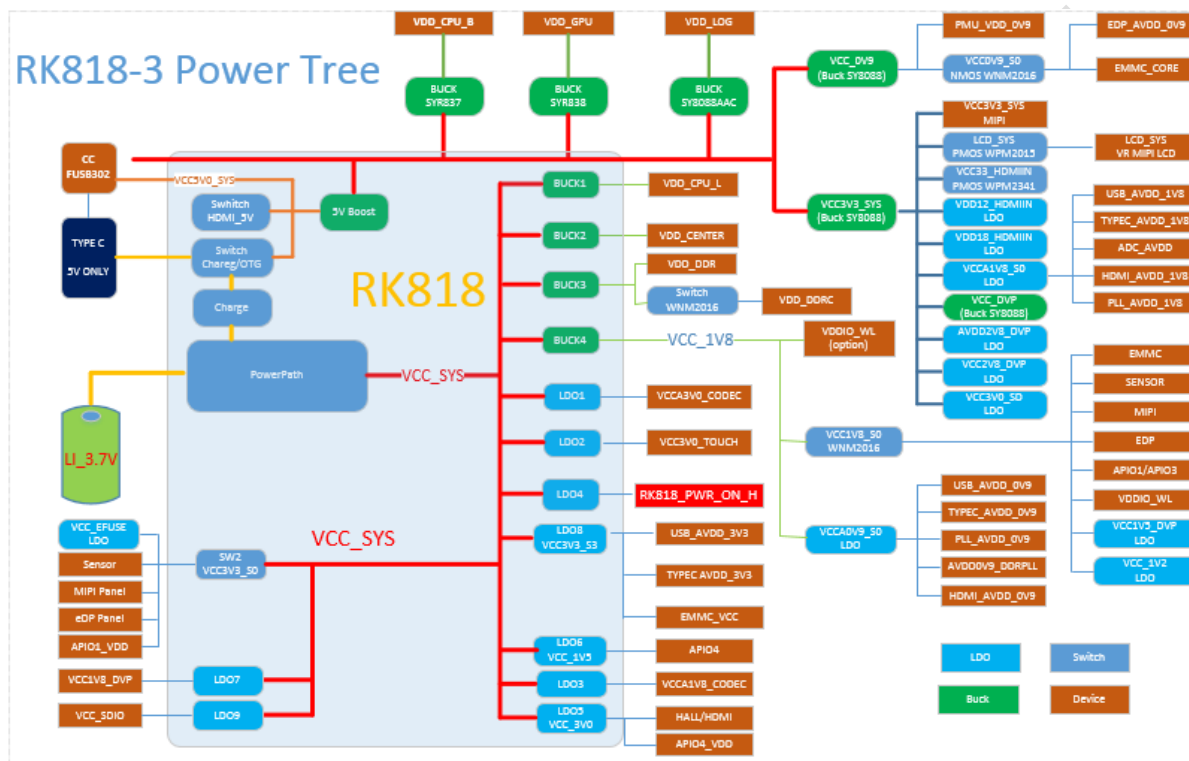
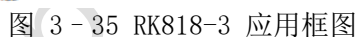


图 3 - 34 RK818-3 电源架构

### 3.2.4.4 RK818-3应用框图





### ● 3.2.4.5 RK818-3注意事项

- 32.768晶体的匹配电容推荐值为22pF，用户可根据所用晶体的具体规格微调此参数；



## 注意

为了降低功耗PMIC RTC的晶体振荡都做的比较弱，在XOUT或XIN的管脚上用普通的示波器是测不到振荡信号的，或示波器探头一碰上去就会停振，要测这个信号请测CLK32KOUT管脚。

- BUCK1, BUCK2的输出电容必须大于33uF以上才能保证有比较好的去耦效果, 特别是大电流高动态的负载情况下, 可以适当加大输出去耦电容;
- RK818-3最高工作电压为5.7V, 所以USB口最高输入电压不能超过5.7V, 因为USB口是直接连到RK818-3上的, 为防止适配器插拔造成5.7V以上的浪涌电压, 必须在RK818-3的pin8、pin9上加TVS管, 推荐型号AZ5825-01F;
- RK818-3的5V BOOST有2A的供电能力, 但是并不带短路保护功能, 所以给外部的USB HOST供电必须增加限流IC; 而RK818-3的USB OTG开关(PIN8, PIN9输出)内部有自带700-1000mA的限流可选;
- RK818-3的PWRON管脚外接一个隔离二极管到RK3399的GPIO。该管脚的内部上拉电阻阻值比较大, 在二极管漏电流比较大的情况下, 可能会导致PMIC\_PWRON的电压比较低, 如果PWRON脚低于2V左右时会被认为是按键按下导致误判; 所以请选用漏电流比较小且VF值小于0.55V的二极管, 否则不能满足RK3399在1.8V IO电压下的低电平要求, 推荐型号SCS751V-40;

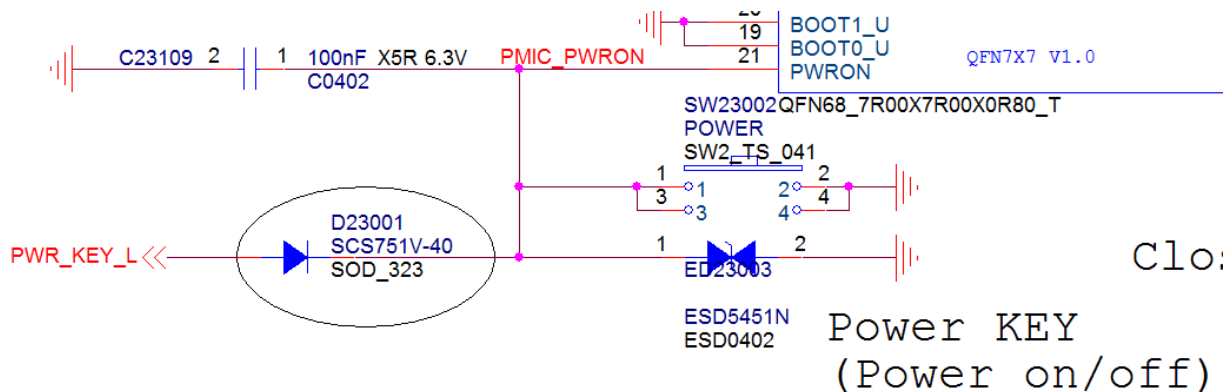


图 3-36 RK818-3 PWRON隔离二极管

- 单节锂电池设计在大电流放电时，电池电压容易因为瞬间电流过大而产生电源塌陷，而电量计在检测到电池电压低于设定的关机电压后进入关机流程，会导致电池的剩余电量放不出来，造成产品的续航时间偏短。针对这种情况，需要尽量降低电源回路以及电池的内阻。电源回路内阻如下图中红色箭头所示，在PCB布线时尽量使用短粗的走线或者铜皮连接，遇到走线换层需要就近多打过孔；电池内阻则需采用低内阻的电池电芯来降低，并使用更低导通阻抗的保护板及电源线。

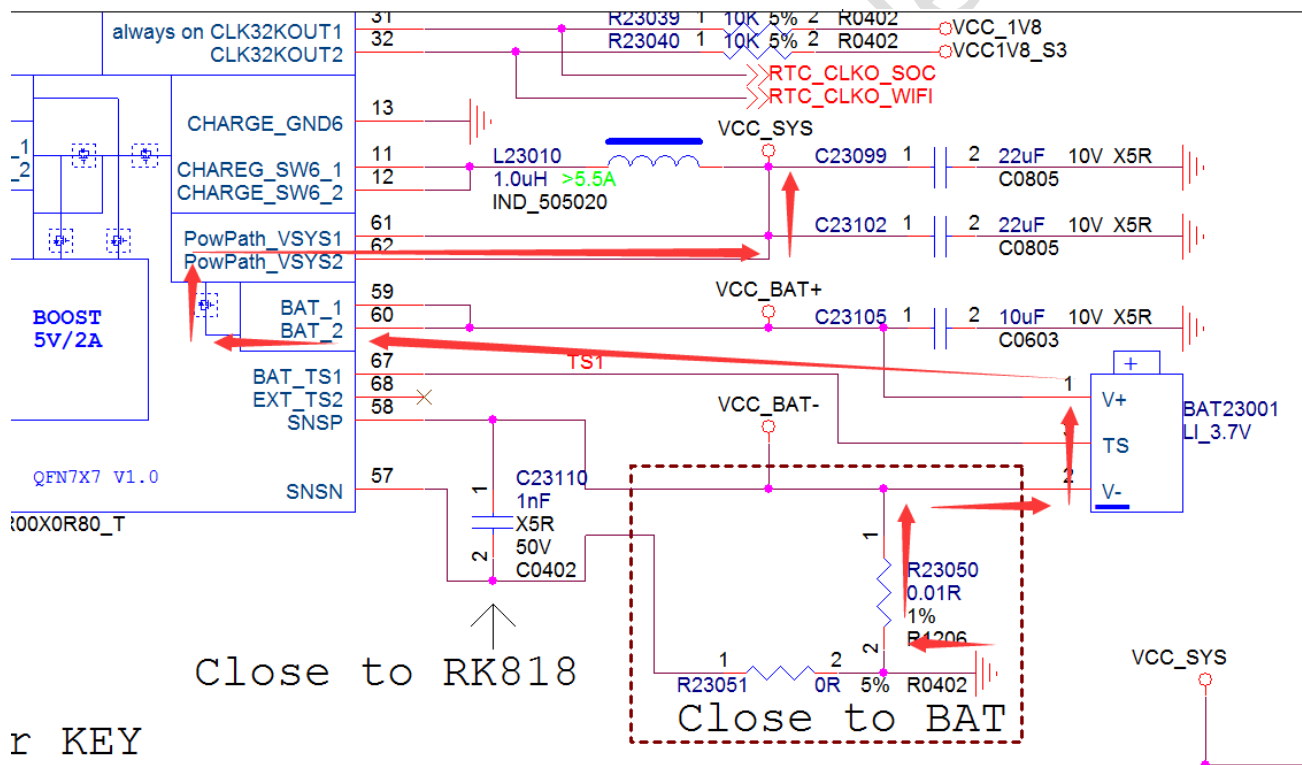


图 3-37 RK818-3 电池放电路径



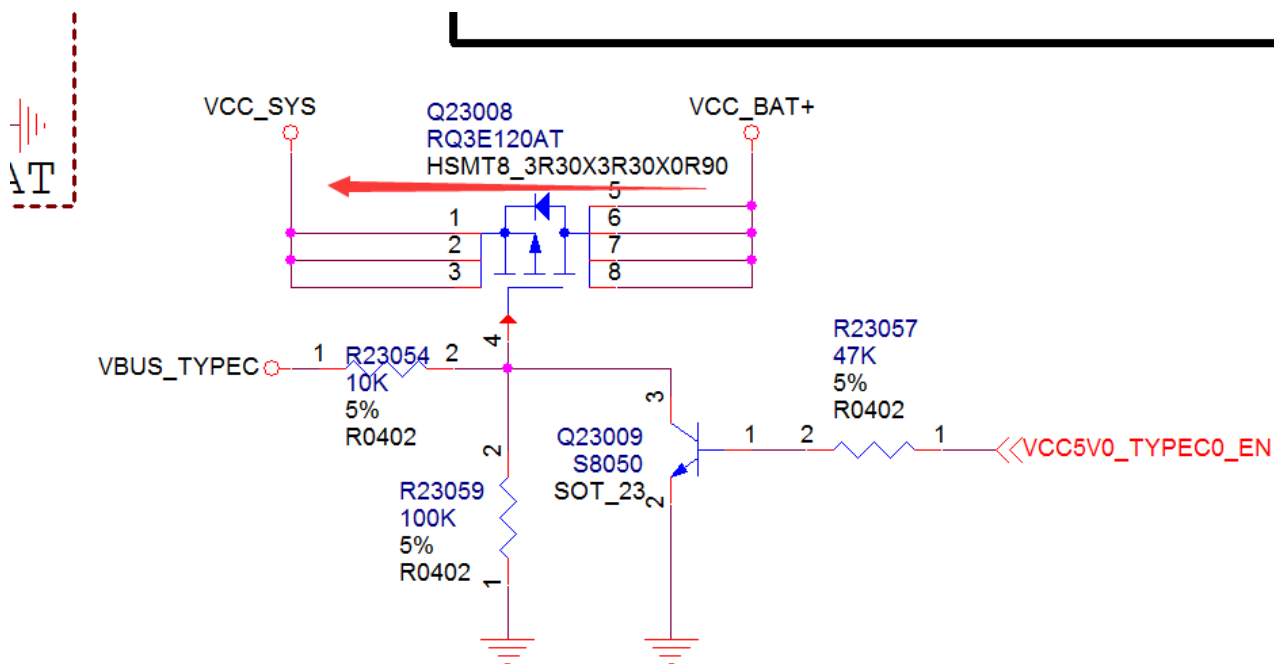


图 3-38 RK818-3 电源路径管理

#### ● 3.2.4.6 RK818-3设计说明

RK818-3具体设计说明，请参考RK PMIC相关设计文档《RK818 应用指南 V1.2》。

#### 3.2.5 Type-C电源介绍

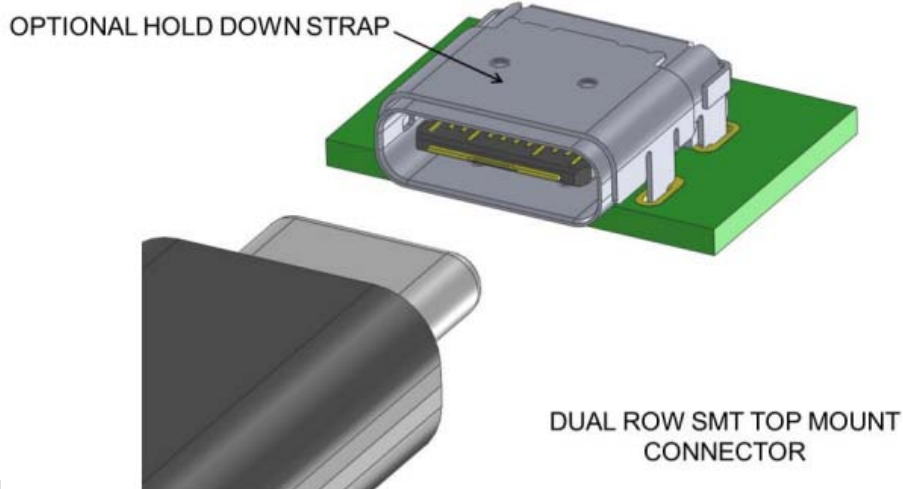


图 3-39 Type-C 接口

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12
GND	TX1+	TX1-	VBUS	CC1	D+	D-	SBU1	VBUS	RX2-	RX2+	GND
B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1
GND	RX1+	RX1-	VBUS	SBU2	D-	D+	CC2	VBUS	TX2-	TX2+	GND

图 3-40 Type-C 插座 (Front View)

A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
GND	RX2+	RX2-	VBUS	SBU1	D-	D+	CC	VBUS	TX1-	TX1+	GND
GND	TX2+	TX2-	VBUS	VCONN			SBU2	VBUS	RX1-	RX1+	GND
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12

图 3-41 Type-C 插头 (Front View)

### 3.2.5.1 Type-C接口特点

USB Type-C接口, 支持正反插入; 电源部份有四个GND触点与四个Vbus触点, 支持最高20V\*5A=100W的电源能力。

接口管脚说明:

- VBUS: 电源;
- TXn+/TXn-/RXn+/RXn-: USB3.0/3.1高速数据线;
- D+/D-: USB2.0数据线;
- CC: 逻辑功能识别及配置管脚, 识别设备Device/Host/Dual Role, 识别正反插、识别是否支持PD等;
- VCONN: 如果使用Active Cable (譬如DP功能), VCONN用来给Cable的芯片供电 (共用CC管脚);
- SBU1/2: 辅助信号, DP模式下的AUX协议信号;

### 3.2.5.2 Type-C CC介绍

Type-C接口中的两根CC关键用来检测正反插以及充电功率控制。Type-C作为DFP模式时 (例如HOST或适配器) VBUS输出默认是没有电压的, 只通过CC线的上拉电流大小来通知外设默认支持电流大小 (5V:900mA, 1.5A, 3A), 当接上外设后 (UFP) CC线会被外设的5.1K电阻接地, VBUS就会输出5V。此后双方可以通过CC线进行数据通信, 并协商到更高的充电电压 (PD功能)。

### 3.2.5.3 RK808-D Type-C电路

RK808-D+BQ25700可支持Type-C中的PD电压协商, 配合带CC芯片的适配器即可实现高电大电流充放电, 主要应用场景是采用两节锂电的大尺寸Tablet、笔记本等产品。BQ25700充电电路示意图如图3-42所示, RK808-D电路示意图请参考小节3.2.3。

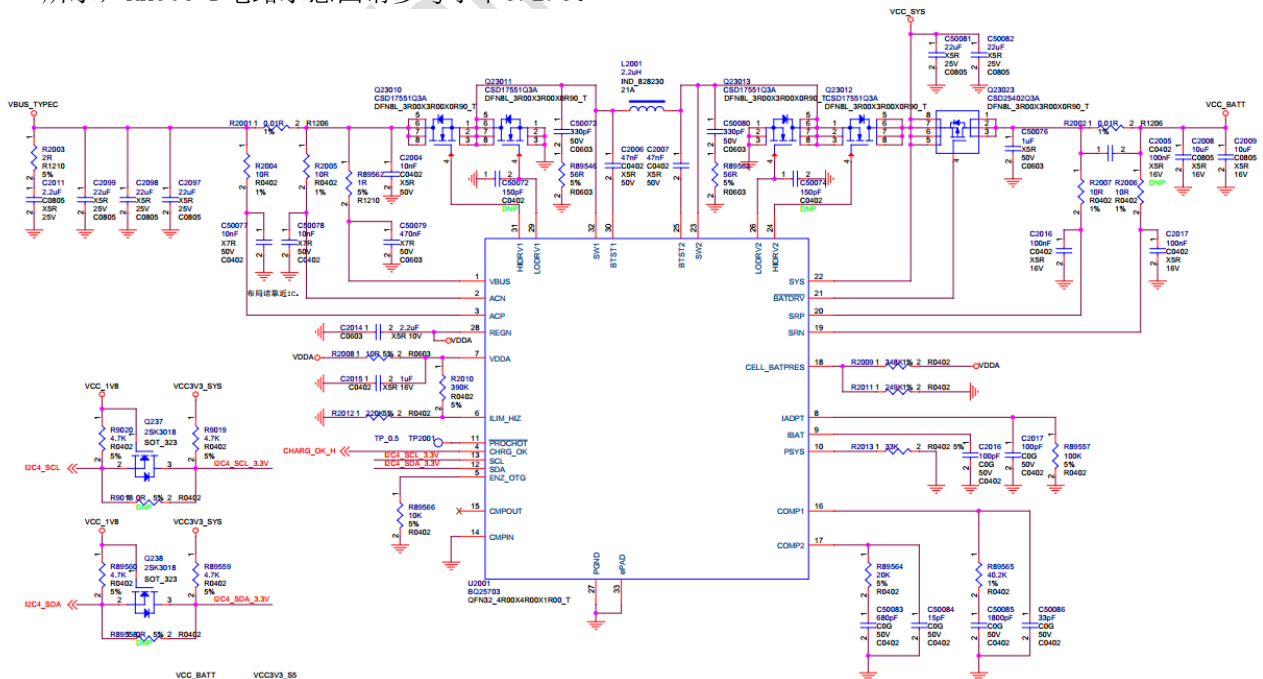


图 3-42 BQ25700 Type-C充电芯片电路

### 3.2.5.4 RK818-3 Type-C电路

RK818-3只支持Type-C中的5V: 900mA、1.5A、3A充电, 不支持Type-C中的PD电压协商功能(主要是因为RK818-3面向单节电池方案, 不能进行高压充电; 从电池大电流放电以及电池寿命方面考虑, USB HOST放电也建议做成5V, 900mA), 但电路相比RK808-D+BQ25700来得简单成本低, 更适配小尺寸Tablet、VR、BOX等产品, 电路示意图请参考小节3.2.4。

### 3.2.6 其他

#### 3.2.6.1 过温保护电路

当RK3399芯片出现过热、死机等情况时, 芯片的OTP\_OUT\_H管脚会输出高电平, 经过Q1100与Q1107的电平转换后给RK808-D的VPP\_OTP脚输出一个高电平信号(或是经过Q23007的电平转换后给RK818-3的Reset一个低电平信号), RK808-D/RK818-3将会进行复位、控制电源下电并再次上电, 寄存器清零的同时复位整个系统。

## Over-temperature Protection

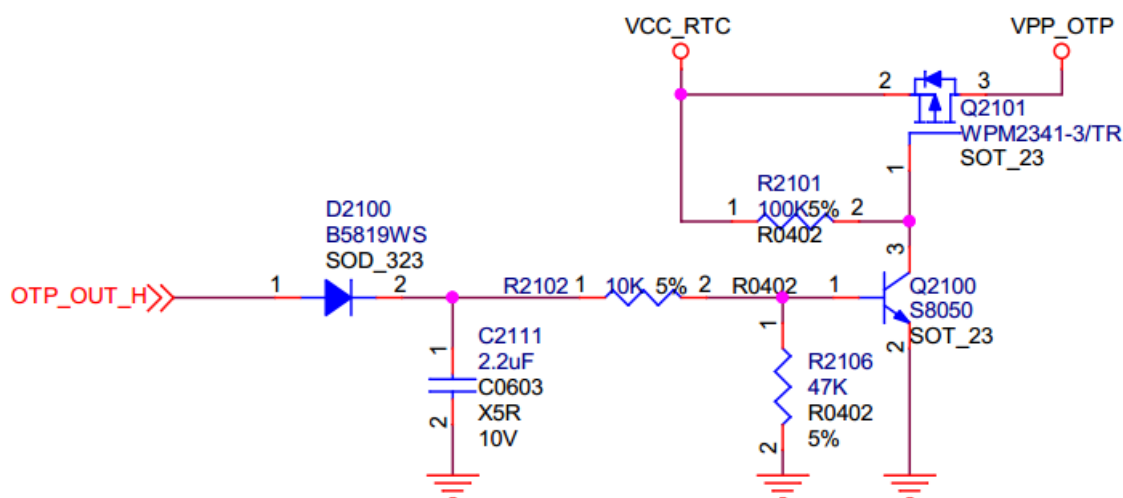


图 3 - 43 RK808-D的OTP\_OUT过温保护输出电路

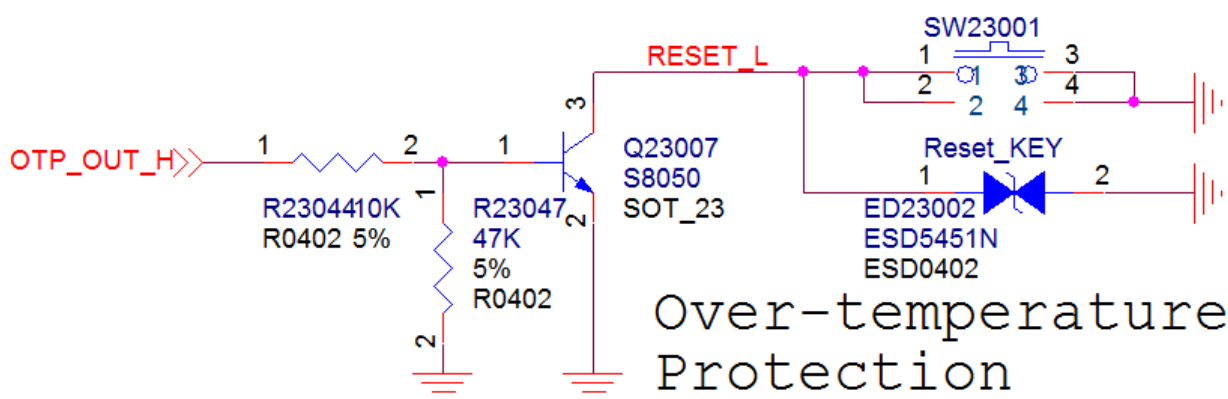


图 3 - 44 RK818-3 OTP\_OUT过温保护输出电路

#### 3.2.6.2 PMIC SLEEP电路

当RK3399芯片进入待机模式时, PMIC\_SLEEP管脚会输出高电平的休眠指示信号, 此时PMIC受该信号控制进入待机状态(根据软件配置, 部份电源会关掉, 部分电源会调低电压); 受该信号控制的外围电源也会对应关断。

当RK3399芯片从待机模式中被唤醒时，PMIC\_SLEEP管脚会在第一时间输出低电平，此时PMIC会恢复待机前的工作状态，恢复各路电压输出；受该信号控制的外围电源也会恢复供电。



图 3-45 PMIC的SLEEP输入

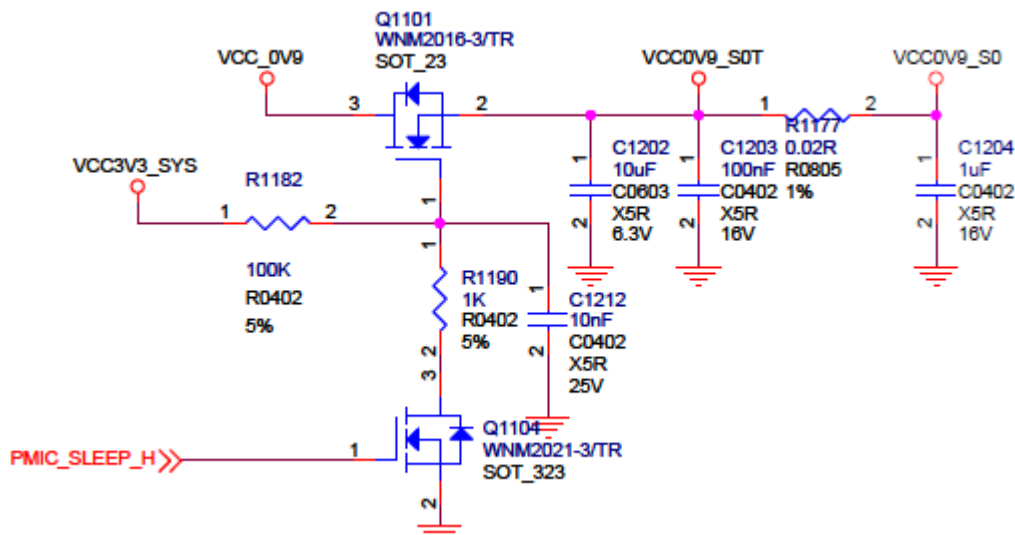


图 3-46 PMIC\_SLEEP控制的外围电源

### 3.2.7 电源峰值电流表

下表为RK3399 BOX样机峰值电流测试结果，仅供参考。测试条件如下：

- CPU\_L最高频率：1.512GHz；
- CPU\_B最高频率：1.8GHz；
- GPU最高频率：800MHz；
- DDR最高频率：2x32bit LPDDR3 K4E6E304EB-EGCF，800MHz；
- 示波器打开20MHz带宽限制；

表 3-8 RK3399 峰值电流表

PowerName	Voltage (V)	Peak Current (mA)
VCC5V0_SYS	5.00V	2493.0
VDD_GPU	0.97V	3880.0
VDD_C PUB	1.25V	4010.0
VDD_CPUL	1.08V	1480.0
VCC_DDR	1.26V	1440.0
VDD_LOG	0.90V	390.0
VDD_CENTER	0.91V	1050.0
VCC3V3_SYS	3.3V	760.0
VCC0V9_P MPUPLL	0.9V	12.3
VCC0V9_USB	0.9V	20.6
VCC0V9_PCIE	0.9V	6.3
VCC0V9_PLL	0.9V	13.4
VCC0V9_EMMC	0.9V	3.4
EDP_AVDD_OV9	0.9V	1.0
HDMI_AVDD_OV9	0.9V	7.7
VCC_1V8	1.8V	260.0

VCC1V8_LCD(Mipi eDP)	1.8V	15.1
MIPI_TX0_AVDD_1V8	1.8V	8.8
EDP_AVDD_1V8	1.8V	1.9
HDMI_AVDD_1V8	1.8V	11.7
VCC1V8_EMMC	1.8V	234.3
VCC1V8_IO	1.8V	3.5
VCC1V8_ADC	1.8V	3.3
APIO5_VDDPST	1.8V	1.5
APIO5_VDD	1.8V	4.3
VCC_1V5	1.5V	17.4
VCC3V0_EMMC	3.0V	174.2
VCC3V0_IO(API04_VDD)	3.0V	13.5
VCC3V3_USB	3.3V	17.7
VCC3V3_PCIE	3.3V	170.6

### 3.3 功能接口电路设计指南

#### 3.3.1 存储卡电路

RK3399提供了一个SDMMC接口控制器，可支持SDMMC 3.0协议，如图3-47所示：

- SDMMC控制器采用单独的电源域供电；
- SDMMC与UART2、APJTAG、MCUJTAG等功能复用在一起，通过SDMMC0\_DET进行功能选择，具体请参考3.1.4小节；
- 内部集成LDO和电子开关，SDMMC0\_VDDPST管脚只需外接100nF去耦电容到地，内部提供VDD电源；
- SDMMC0\_VDD为IO电源，需要外部提供3.0V（SD 2.0）或1.8V（SD 3.0）供电；

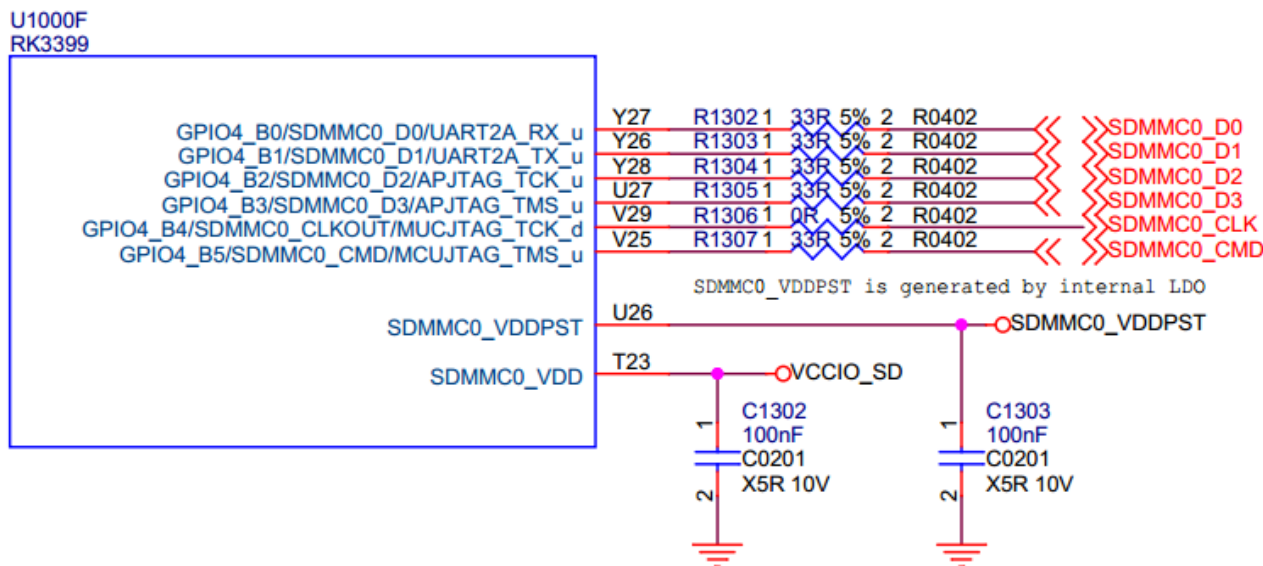


图 3 - 47 RK3399 SDMMC模块电路

SDMMC接口上下拉和匹配设计推荐如表3-9所示。

表 3 - 9 RK3399 SDMMC接口设计

信号	内部上下拉	连接方式 (SDR104高速模式)	描述（芯片端）
SDMMC_DQ[3:0]	上拉	串联33ohm电阻	SD数据发送/接收
SDMMC_CLK	下拉	直连	SD时钟发送

SDMMC_CMD	上拉	串联22ohm电阻	SD命令发送/接收
-----------	----	-----------	-----------

为了满足ESD保护的要求，在电路设计时需要考虑在SDMMC电路上设计保护电路。为了避免保护器件对SDMMC信号造成影响，能够达到良好的保护效果，建议PCB设计时采用如下原则：

- 保护器件建议紧靠 SDMMC连接器端口放置。
- 建议保护器件的寄生电容小于0.5pF。

### 3.3.2 以太网口电路

RK3399内部集成了一个千兆以太网MAC，可以外接不同以太网PHY，实现百兆/千兆网络功能。具体设计请参考phy原厂的设计文档，指南中不做过多介绍。

千兆模式下，PHY所用的工作时钟，需要通过外置晶体提供，如图3-48所示。

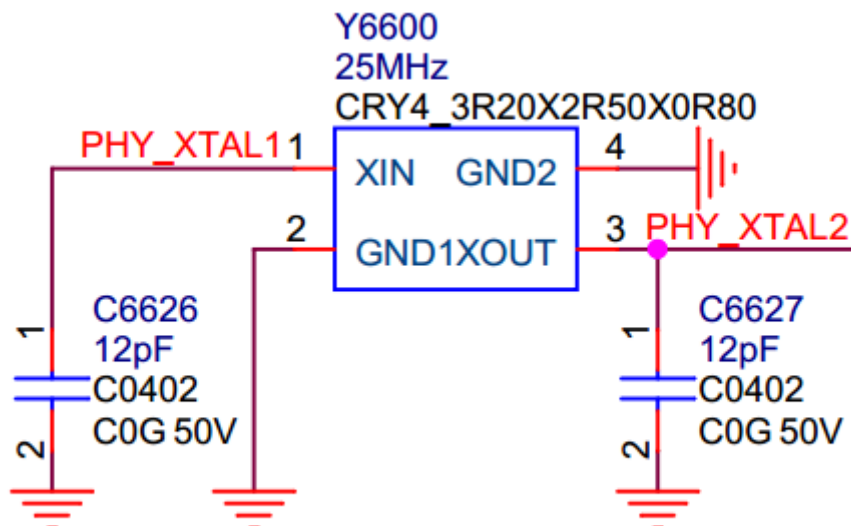


图 3-48 千兆PHY工作时钟

百兆模式下，PHY所用的工作时钟，可以由RK3399的MAC控制器来提供，省掉PHY端的一个晶体。

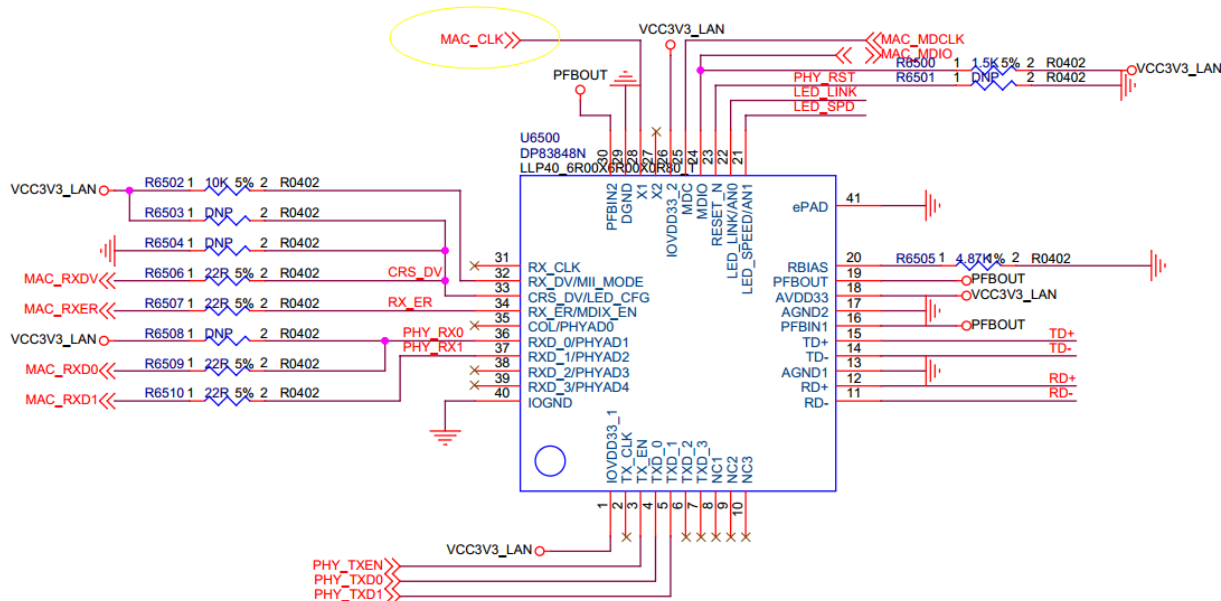


图 3-49 百兆PHY工作时钟

RK3399 的MAC控制器需要两路供电电源，core电压为1.8V (Pin J22)，IO电压为3.3V (Pin J23)，所以PHY芯片的IO供电电压需要与MAC控制器的IO电平保持一致，同样为3.3V。



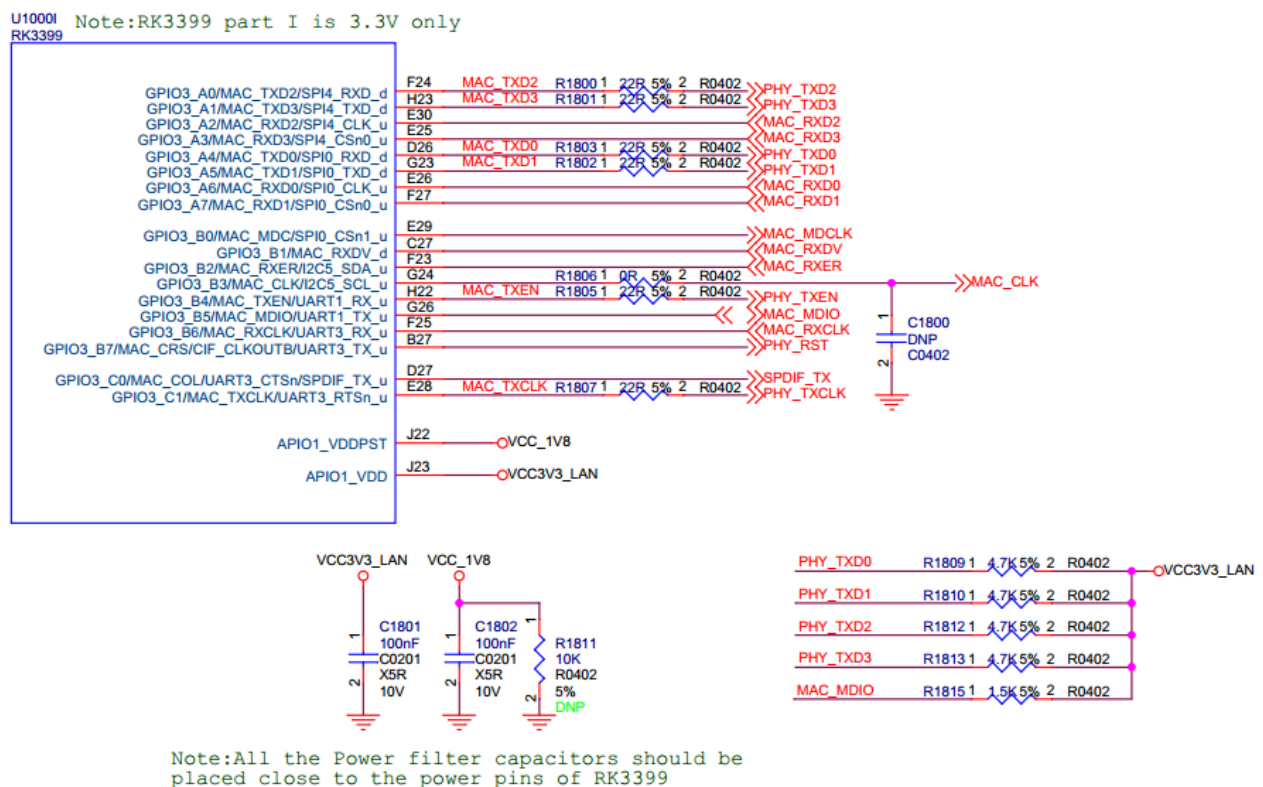


图 3-50 百兆PHY工作时钟

MAC控制器对PHY芯片的复位方式用GPIO来控制，也可以使用RC硬件复位电路，需要注意的是，若是采用RC硬件复位电路，则PHY芯片的电源必须是可控的。

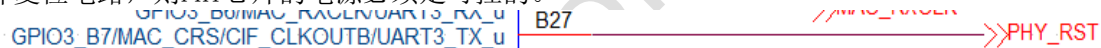


图 3-51 RK3399 MAC控制器复位

MAC控制器与PHY芯片之间传送控制和状态信息为MDIO接口，时钟MDC信号和数据MIDO信号，需要注意的是MDIO信号需要上拉，如下图：



图 3-52 RK3399 RGMII MDIO信号

- 3.3.2.1 1000M MAC

RK3399支持10/100/1000M MAC，现对1000M GMAC部分设计及其注意事项说明如下：

表 3-10 RK3399 RGMII接口设计

信号	内部上下拉	连接方式	描述
MAC_TXCLK	上拉	串联22ohm电阻 电阻靠近MAC端	数据发送的参考时钟
MAC_RXCLK	上拉	串联22ohm电阻 电阻靠近PHY端	数据接收的参考时钟
MAC_TXD[3:0]	下拉	串联22ohm电阻 电阻靠近MAC端	数据发送
MAC_RXD[3:0]	上拉	串联22ohm电阻 电阻靠近PHY端	数据接收
MAC_TXEN	上拉	串联22ohm电阻	发送数据使能

		电阻靠近MAC端	
MAC_RXDV	下拉	串联22ohm电阻 电阻靠近PHY端	接收数据有效指示
MAC_MDC	上拉	直连	配置接口时钟
MAC_MDIO	上拉	直连	配置接口I/O
MAC_CLK	上拉	串联22ohm电阻 电阻靠近PHY端	MAC主时钟输入，125MHz

- RGMII接口收发信号线上，TX\_CLK和RX\_CLK是125MHz，为了达到1000Mb的传输速率，TXD和RXD信号线在时钟的双边沿都进行采样，数据使能信号(MAC\_TXEN、MAC\_RXDV)必须在数据发出有效前使能。

### ● 3.3.2.2 100M MAC

RK3399支持10/100/1000M GMAC。现对100M MAC部分设计及其注意事项说明如下：

表 3-11 RK3399 RMII接口设计

信号	内部上下拉	连接方式	说明
MAC_TXCLK	上拉	串联22ohm电阻 电阻靠近MAC端	数据发送的参考时钟
MAC_RXCLK	上拉	串联22ohm电阻 电阻靠近PHY端	数据接收的参考时钟
MAC_TXD[1:0]	下拉	串联22ohm电阻 电阻靠近MAC端	数据发送
MAC_RXD[1:0]	上拉	串联22ohm电阻 电阻靠近PHY端	数据接收
MAC_TXEN	上拉	串联22ohm电阻 电阻靠近MAC端	发送数据使能
MAC_RXDV	下拉	串联22ohm电阻 电阻靠近PHY端	接收数据有效指示
MAC_MDC	上拉	直连	配置接口时钟
MAC_MDIO	上拉	直连	配置接口I/O
MAC_CLK	上拉	串联22ohm电阻 电阻靠近MAC端	MAC主时钟输出，50MHz

- RMII接口收发信号线上，MAC\_CLK是50MHz，RMII接口的收发以MAC\_CLK为参考时钟，在每个时钟周期采样一次数据。数据使能信(MAC\_TXEN、MAC\_RXDV)必须在数据发出有效前使能。
- 如果10/100M RMII接法时，需特别注意的是PHY\_CRS\_DV是接MAC\_RXDV，而不是MAC\_CRS管脚。



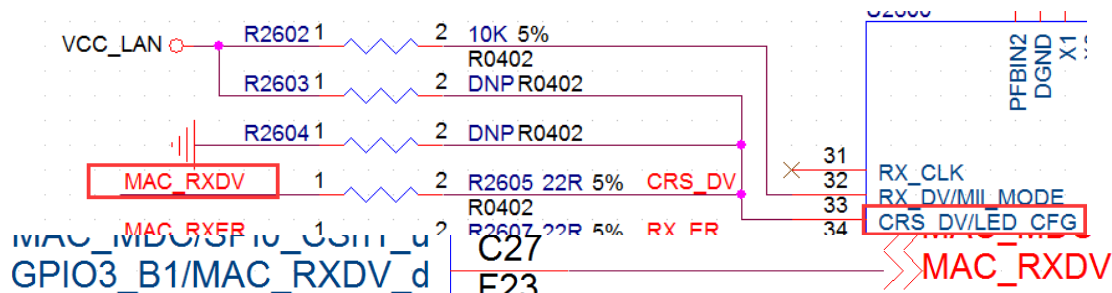


图 3-53 RK3399 RMI I接口MAC\_RXDV

### ● 3.3.2.3 ESD

为了满足ESD保护、浪涌保护的要求，建议在电路设计时在RGMII PHY电路上设计保护电路。为了避免保护器件对PHY走线信号造成影响，并能够达成良好的保护效果，建议PCB设计时采用以下原则：

- 保护器件建议放置在变压器内侧，在变压器和PHY之间，靠近变压器放置。
- 保护器件建议选用TVS管，击穿电压8kV，响应时间小于1ns。

### 3.3.3 USB电路

RK3399芯片包括两个USB 2.0控制器及两个USB 3.0的控制器，一个USB 2.0控制器和一个USB 3.0控制器共同使用，可以组成一个完整的USB3.0（或Type-C）接口。



#### 注意

USB 2.0控制器与USB 3.0控制器共同使用的时候，需要遵循USB 2.0 PHY0与USB 3.0 PHY0搭配，USB2.0 PHY1与USB 3.0 PHY1搭配的原则。

#### ● 3.3.3.1 USB 2.0

RK3399 USB 2.0包括USB PHY0和USB PHY1，而每个USB PHY又包含有一个USB OTG及一个USB HOST接口，共计有4个USB 2.0接口。

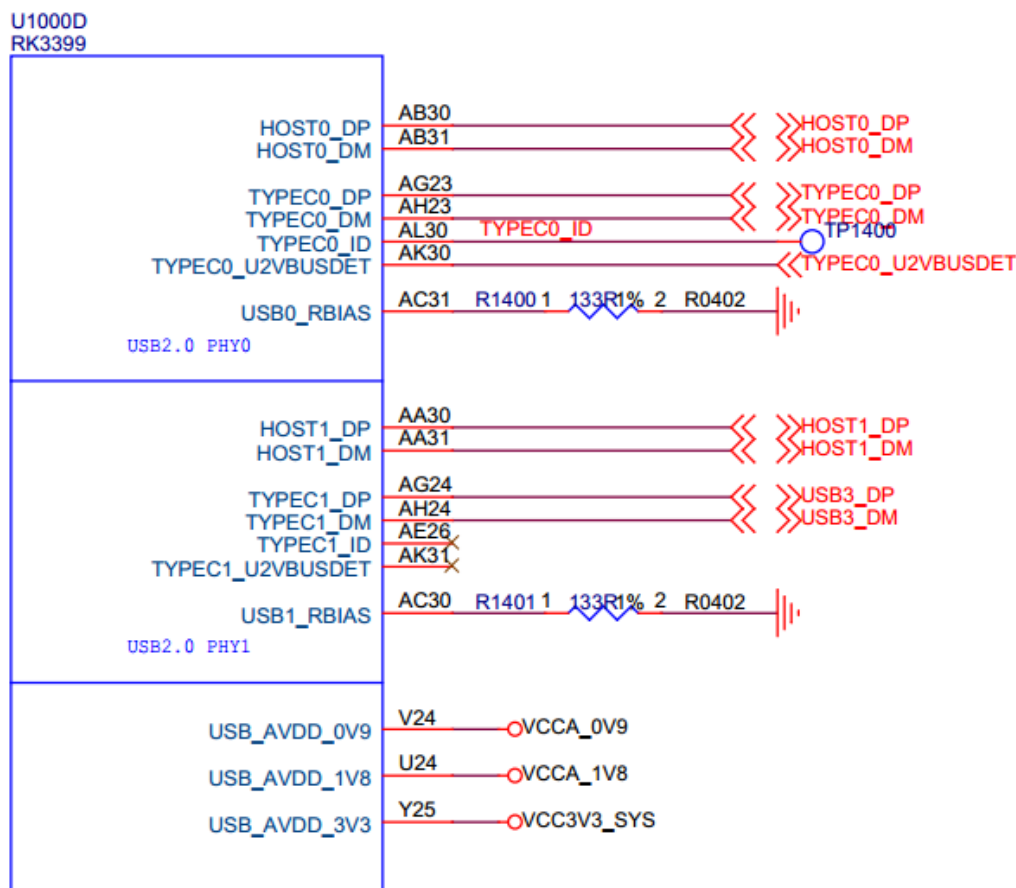


图 3 - 54 RK3399 USB 2.0模块

USB2.0接口上下拉和匹配设计推荐如表3-12所示。

表 3 - 12 RK3399 USB2.0接口设计

信号	连接方式	说明
HOST0_DP/DM	直连	USB2.0 HOST0 输入/输出
TYPEC0_DP/DM	直连	USB2.0 OTG0 输入/输出，可与USB3.0 PHY0组成Type-C0接口
TYPEC0_ID		USB2.0 OTG0 ID识别，Type-C接口时不用连接 Micro-B接口时需要使用
TYPEC0_U2VBUSDET		USB2.0 OTG0 插入检测
TYPEC0_RBIAS		USB2.0 PHY0 配置参考电阻，133ohm接地，对HOST0和OTG0有效
HOST1_DP/DM	直连	USB2.0 HOST1 输入/输出
TYPEC1_DP/DM	直连	USB2.0 OTG1 输入/输出，可与USB3.0 PHY1组成Type-C1接口
TYPEC1_ID		USB2.0 OTG1 ID识别，Type-C接口时不用连接 Micro-B接口时需要使用
TYPEC1_U2VBUSDET	NA	USB2.0 OTG1 插入检测

TYPEC1_RBIAS		USB2.0 PHY1 配置参考电阻,133ohm接地,对HOST1和OTG1有效
--------------	--	---

使用中请注意:

- OTG0默认做为系统固件烧写接口,不可随意调整,必须要预留接口;
- USB 2.0控制器中的OTG与HOST口可以独立使用;
- U2VBUSDET做为USB插入检测,检测到高电平(3.3V)则说明USB插入;
- USB控制器配置参考电阻R1403、R1404请选用1%精度的电阻,该电阻关系到USB幅度并影响眼图好坏;
- 为抑制电磁辐射,可以考虑在信号线上预留共模电感(Common mode choke),在调试过程中根据实际情况选择使用电阻或者共模电感。

### 3.3.3.2 USB 3.0

RK3399 USB 3.0包括USB3.0 PHY0和USB3.0 PHY1两个接口。

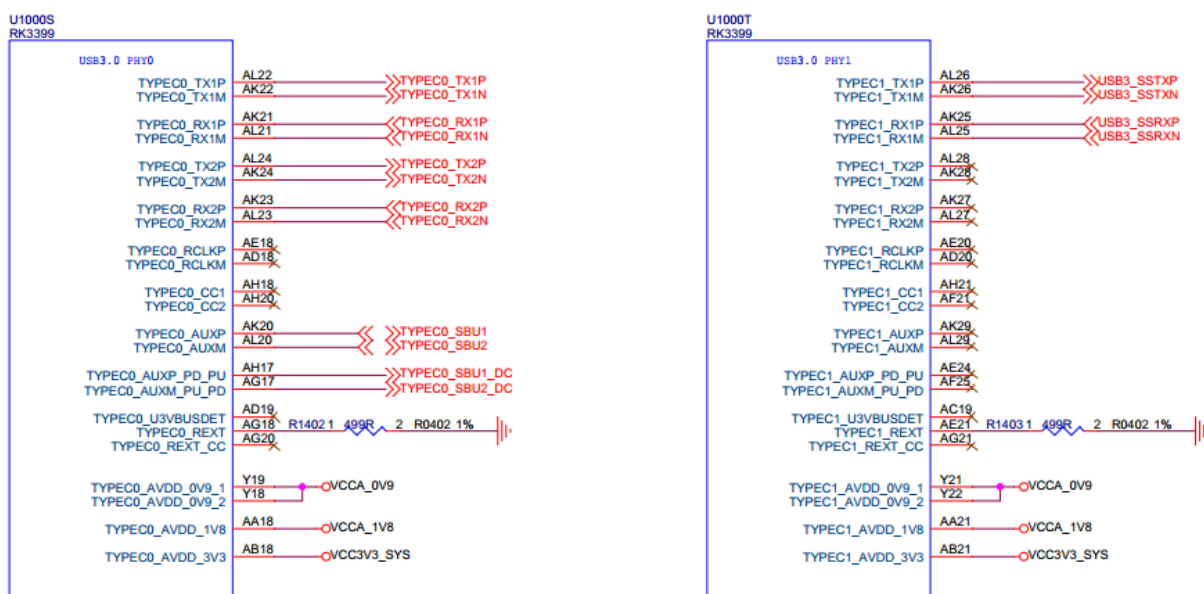


图 3-55 RK3399 USB 3.0模块

USB3.0接口上下拉和匹配设计推荐如表3-13所示。

表 3-13 RK3399 USB3.0接口设计

信号	连接方式	说明
TYPEC n(n=0,1)_TX1P/TX1M	100nF电容耦合连接	USB3.0 PHY0 SuperSpeed发送数据1
TYPEC n(n=0,1)_TX2P/TX2M	100nF电容耦合连接	USB3.0 PHY0 SuperSpeed发送数据2
TYPEC n(n=0,1)_RX1P/RX1M	直连	USB3.0 PHY0 SuperSpeed接收数据1
TYPEC n(n=0,1)_RX2P/RX2M	直连	USB3.0 PHY0 SuperSpeed接收数据2
TYPEC n(n=0,1)_RCLKP/RCLKM	NA	USB3.0 PHY0 外部参考时钟,不使用
TYPEC n(n=0,1)_CC1/CC2	NA	USB3.0 PHY0 内置CC控制信号,不使用
TYPEC n(n=0,1)_AUXP/AUXM	100nF电容耦合连接	USB3.0 PHY0 辅助信号
TYPEC n(n=0,1)_AUXP_PD_PU	NA	USB3.0 PHY0 辅助信号直流偏置
TYPEC n(n=0,1)_AUXM_PD_PU	NA	USB3.0 PHY0 辅助信号直流偏置
TYPEC n(n=0,1)_U3VBUSDET	NA	不使用

TYPEC n(n=0, 1)_REXT		USB3.0 PHY0 配置参考电阻，499R接地。
TYPEC n(n=0, 1)_REXT_CC	NA	USB3.0 PHY0 内置CC控制信号配置参考电阻，499R接地，不使用。

使用中请注意：

- CC1/CC2为内置CC控制器信号，当前参考设计使用外置CC/PD检测芯片实现，所以暂不使用；
- 应用中USB 3.0需要与USB 2.0搭配使用，以实现USB协议的向下兼容；
- 如果使用USB 3.0 Type-A接口，默认使用TYPEC0\_TX1P/TX1M、TYPEC0\_RX1P/RX1M做为SSTX、SSRX信号；TYPEC0\_TX2P/TX2M、TYPEC0\_RX2P/RX2M不单独支持USB 3.0 Type-A接口使用；
- USB控制器配置参考电阻R1405、R1406、R1407、R1408请选用1%精度的电阻，该电阻关系到USB幅度并影响眼图好坏；
- 为抑制电磁辐射，可以考虑在信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感。

### 3.3.3.3 USB Type-C

USB Type-C接口应该包括一个USB 2.0 OTG接口及一个USB 3.0接口，参考设计如下图：

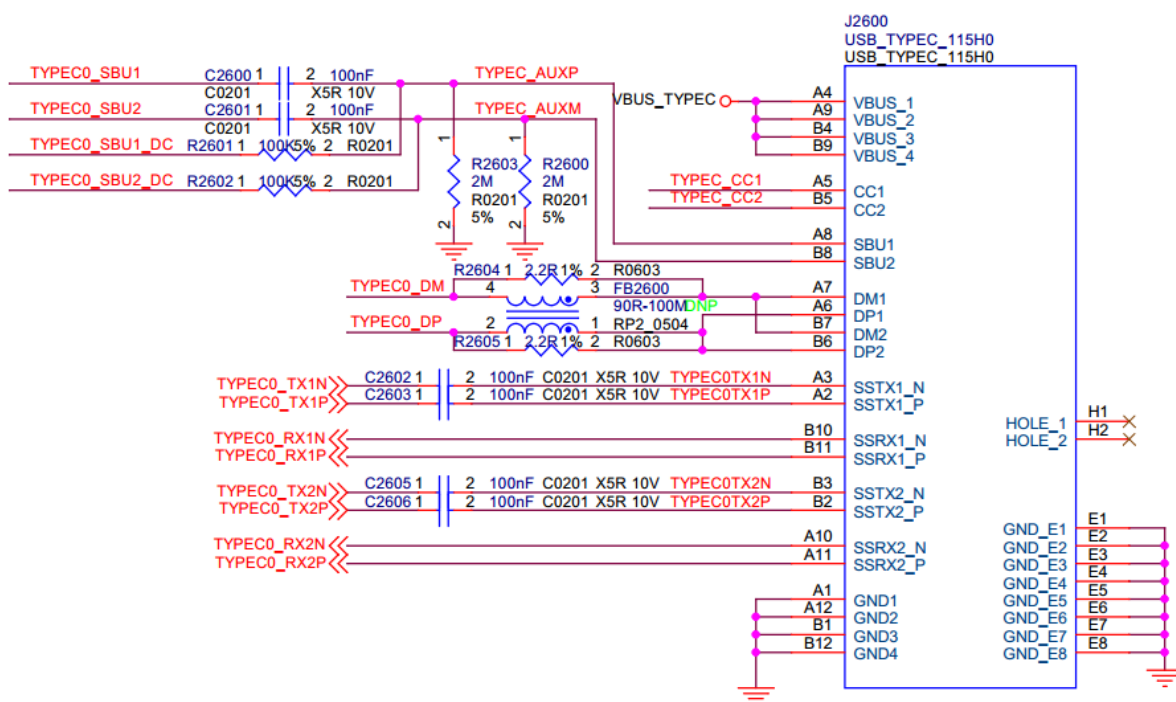


图 3-56 USB Type-C接口

- TX信号线的耦合电容应靠近接口放置，RX信号线的耦合电容由设备端提供；
- Type-C接口如果有使用到PD功能，需要在电源端增加Discharge电路，以避免在拔插不同设备的情况下，PD模式高压残留电荷造成设备过压击穿，如图3-57所示；

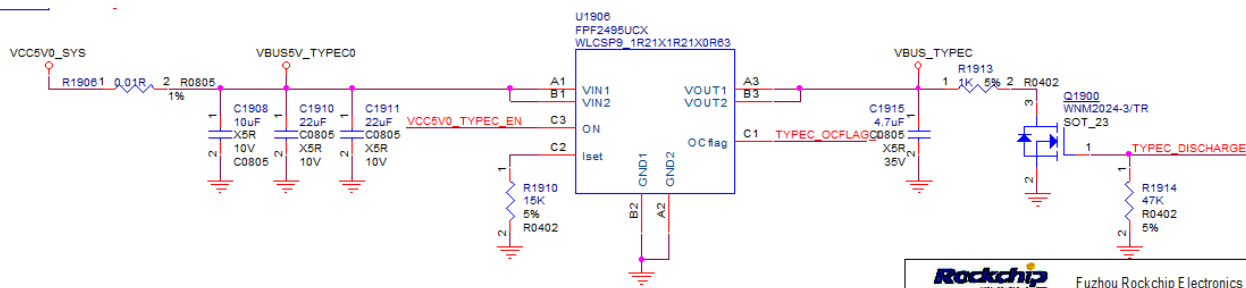


图 3 - 57 USB Type-C接口discharge电路

#### ● 3.3.3.4 ESD

为了满足ESD保护等要求，在电路设计时需要考虑在USB电路上设计保护电路。为了避免保护器件对USB走线信号造成影响，并能够达到良好的保护效果，建议PCB设计时采用如下原则：

- ESD保护器件建议紧靠USB连接器端口放置；
- ESD保护器件建议选用空气15kV，接触8kV，响应时间小于1ns的器件。
- USB 2.0具有480Mbps的传输速度，所以差分信号对于线路上的寄生电容非常敏感，所以要选择低寄生电容的ESD保护器件，电容要小于1pF。
- USB 3.0具有5Gbps的传输速度，所以差分信号对于线路上的寄生电容非常敏感，所以要选择低寄生电容的ESD保护器件，电容要小于0.4pF。

#### 3.3.4 DP电路

RK3399芯片的USB3.0 PHY内置了DP（Display Port）控制器，在确定连接DP设备的情况下，可以选择直接连接而不经USB协议控制，具体连接分为两种情况：与DP设备或是DP转换芯片直连；通过USB Type-C线缆连接。

原理图线路连接关系，请务必按照本节中表格顺序对应设计。

##### ● 3.3.4.1 设备直连

在Netbook或者行业终端的应用中，会用到DP屏幕或是DP接口转换的情景，只需要将Type-C接口按照信号顺序连接Display Port即可。

表 3 - 14 RK3399 DP接口设计

信号	连接方式	说明
TYPECn (n=0, 1) _TX1P/TX1M	100nF电容耦合连接	对应DP_TX2P/TX2N
TYPECn (n=0, 1) _TX2P/TX2M	100nF电容耦合连接	对应DP_TX1P/TX1N
TYPECn (n=0, 1) _RX1P/RX1M	100nF电容耦合连接	对应DP_TX3P/TX3N
TYPECn (n=0, 1) _RX2P/RX2M	100nF电容耦合连接	对应DP_TX0P/TX0N
TYPECn (n=0, 1) _AUXP/AUXM	100nF电容耦合连接，并提供直流偏置	对应DP_AUX 辅助信号

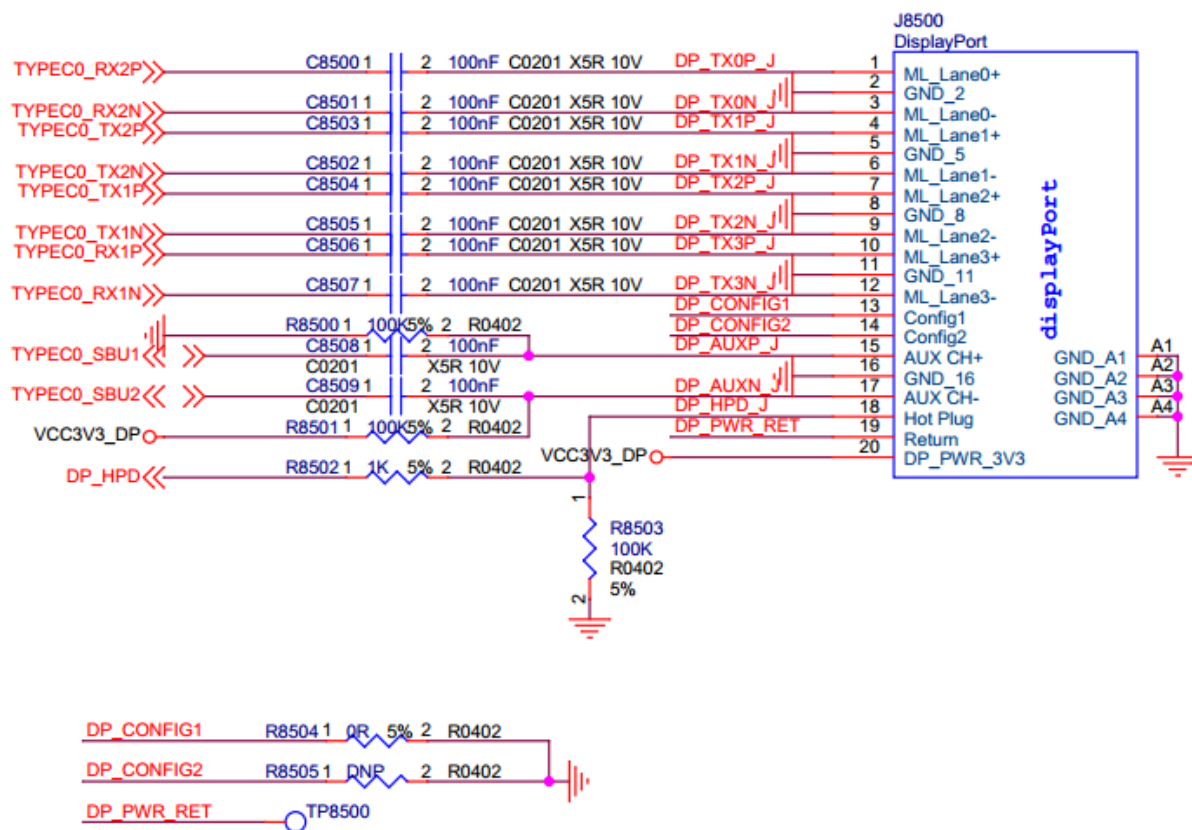


图 3 - 58 USB Type-C转DP接口

### 3.3.4.2 线缆连接

在分体式VR眼镜的应用中，会用到DP通过USB Type-C通过线缆连接眼镜，而眼镜设备上通过DP转MIPI芯片输出图像信号的情况。在此应用场景下，需注意在标准USB Type-C线缆中TX和RX是存在交叉对应关系的，所以需要在设备上对信号做交叉处理。

如表3-15为USB规范定义的Type-C线缆连接关系：

表 3 - 15 USB全功能Type-C标准线缆

USB Type-C Plug #1		Wire		USB Type-C Plug #2	
Pin	Signal Name	Wire Number	Signal Name	Pin	Signal Name
A1, B1, A12, B12	GND	1 [16]	GND_PWRrt1 [GND_PWRrt2]	A1, B1, A12, B12	GND
A4, B4, A9, B9	Vbus	2 [17]	PWR_Vbus1 [PWR_Vbus2]	A4, B4, A9, B9	Vbus
A5	CC	3	CC	A5	CC
B5	Vconn	18	PWR_Vconn	B5	Vconn
A6	Dp1	4	UTP_Dp	A6	Dp1
A7	Dn1	5	UTP_Dn	A7	Dn1
A2	SSTXp1	6	SDPp1	B11	SSRXp1
A3	SSTXn1	7	SDPn1	B10	SSRXn1
B11	SSRXp1	8	SDPp2	A2	SSTXp1
B10	SSRXn1	9	SDPn2	A3	SSTXn1
B2	SSTXp2	10	SDPp3	A11	SSRXp2
B3	SSTXn2	11	SDPn3	A10	SSRXn2
A11	SSRXp2	12	SDPp4	B2	SSTXp2
A10	SSRXn2	13	SDPn4	B3	SSTXn2
A8	SBU1	14	SBU_A	B8	SBU2
B8	SBU2	15	SBU_B	A8	SBU1
Shell	Shield	Braid	Shield	Shell	Shield

所以RK3399芯片端如表3-16方式连接：

表 3 - 16 RK3399 DP接口设计-芯片端

信号	连接方式	说明
TYPECn (n=0, 1) _TX1P/TX1M	100nF电容耦合连接	对应DP_TX2P/TX2M
TYPECn (n=0, 1) _TX2P/TX2M	100nF电容耦合连接	对应DP_TX1P/TX1M
TYPECn (n=0, 1) _RX1P/RX1M	直连	对应DP_TX3P/TX3M
TYPECn (n=0, 1) _RX2P/RX2M	直连	对应DP_TX0P/TX0M
TYPECn (n=0, 1) _AUXP/AUXM	100nF电容耦合连接，并提供直流偏置	对应DP_AUX 辅助信号

VR眼镜端如表3-17方式连接：

表 3 - 17 RK3399 DP接口设计-VR眼镜端

信号	连接方式	说明
TYPEC_TX1P/TX1M	100nF电容耦合连接	对应DP_TX3P/TX3M
TYPEC_TX2P/TX2M	100nF电容耦合连接	对应DP_TX0P/TX0M
TYPEC_RX1P/RX1M	直连	对应DP_TX2P/TX2M
TYPEC_RX2P/RX2M	直连	对应DP_TX1P/TX1M
TYPEC_AUXP/AUXM	100nF电容耦合连接，并提供直流偏置	对应DP_AUX 辅助信号

具体应用及连接方式请参考我司《RK3399\_VR&TABLET》及《RKNANOC\_VR\_REFBOARD\_HDMI-DP\_DUALMIPI》参考设计图。

### 3.3.5 音频电路

RK3399提供两组标准I2S接口，支持master或slave模式。两组I2S均支持最高采样率至192kHz，比特率从16bits到32bits。

#### ● 3.3.5.1 I2S0

如图所示，I2S0接口包含1个SDI0、1个SD00与3个SDIxSD0x接口，因此可灵活配置SDIx与SD0x接口，最多同时支持8声道输入/2声道输出或2声道输入/8声道输出，如图3-59、图3-60、图3-61所示。



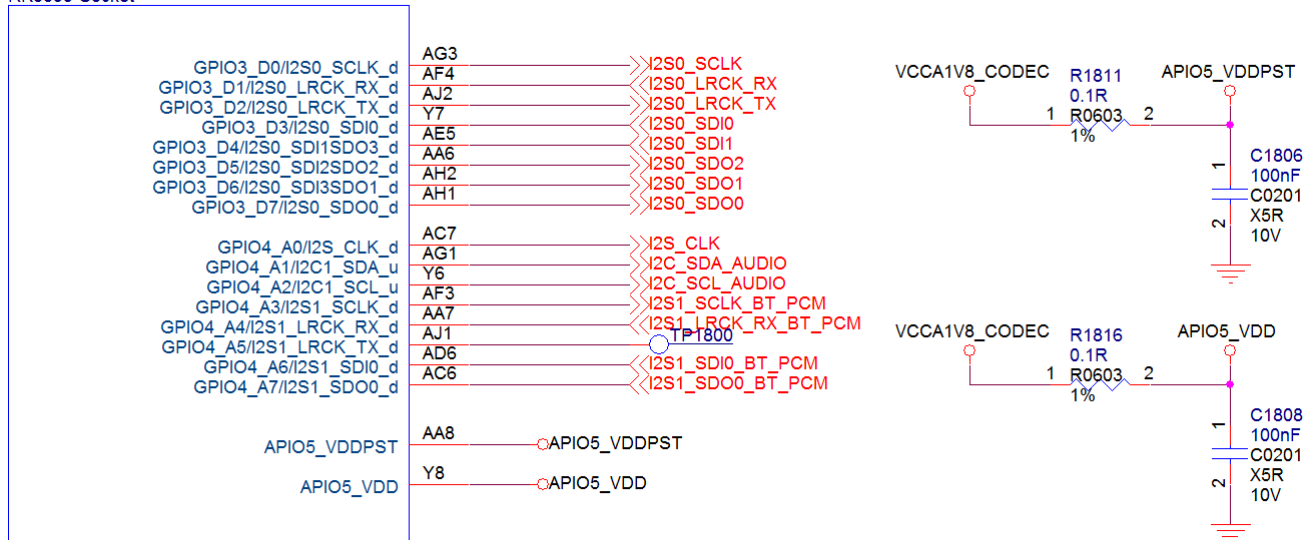
U1000J  
RK3399-Socket

图 3 - 59 RK3399 I2S模块

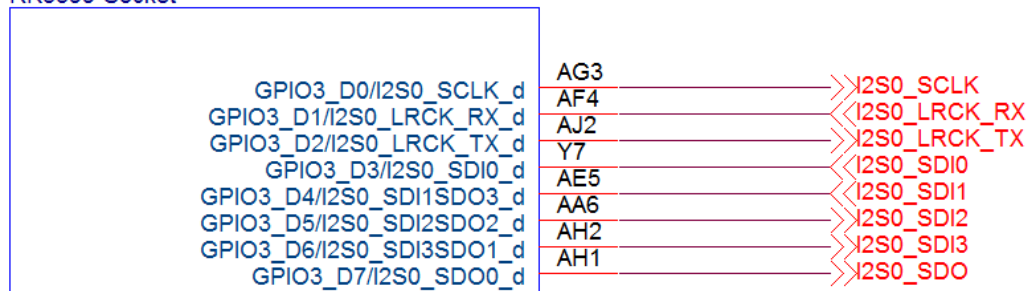
U1000J  
RK3399-Socket

图 3 - 60 RK3399 I2S0的8声道输入与2声道输出

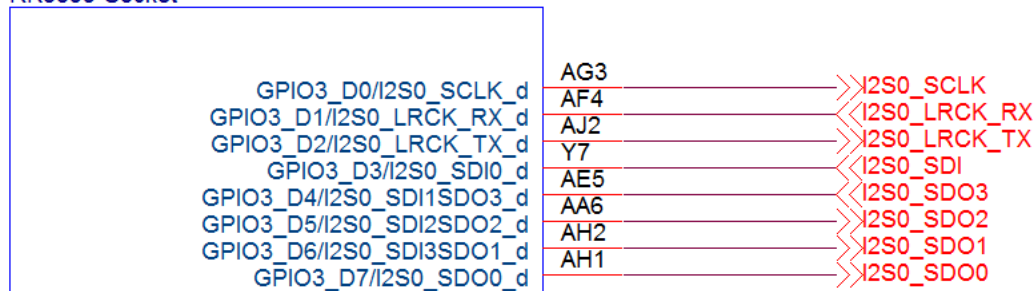
U1000J  
RK3399-Socket

图 3 - 61 RK3399 I2S0的2声道输入与8声道输出

I2S0接口上下拉和匹配设计推荐如表3-18所示。

表 3 - 18 RK3399 I2S0接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S_SCLK	下拉	串联22ohm电阻	I2S系统时钟输出，供I2S0&I2S1设备工作
I2S0_SCLK	下拉	串联22ohm电阻	I2S0位时钟输出
I2S0_LRCK_TX/RX	下拉	串联22ohm电阻	I2S0声道选择输入/输出
I2S0_SDI0	下拉	串联22ohm电阻	I2S0数据输入通道0



I2S0_SDI1SD03	下拉	串联22ohm电阻	I2S0数据输入通道1/输出通道3
I2S0_SDI2SD02	下拉	串联22ohm电阻	I2S0数据输入通道2/输出通道2
I2S0_SDI3SD01	下拉	串联22ohm电阻	I2S0数据输入通道3/输出通道1
I2S0_SD00	下拉	串联22ohm电阻	I2S0数据输出通道0

### 3.3.5.2 I2S1

I2S1支持2通道输入与2通道输出，可做为PCM接口使用。

I2S1接口上下拉和匹配设计推荐如表3-19所示。

表 3 - 19 RK3399 I2S1接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S1_SCLK PCM_CLK	下拉	串联22ohm电阻	I2S1位时钟输出 PCM时钟
I2S1_LRCK_TX/RX PCM_SYNC	下拉	串联22ohm电阻	I2S1声道选择输入/输出 PCM数据帧同步
I2S1_SDI0 PCM_IN	下拉	串联22ohm电阻	I2S1数据输入通道0 PCM数据输入
I2S1_SD00 PCM_OUT	下拉	串联22ohm电阻	I2S1数据输出通道0 PCM数据输出

### 3.3.5.3 Codec

Codec I2S接口电源域为API05供电，实际产品设计中，需要根据Codec的实际I/O供电要求，选择对应的供电电路（1.8V或3.0V），同时 I2C上拉电平必须与其保持一致，否则会造成Codec工作异常或无法工作。

CODEC

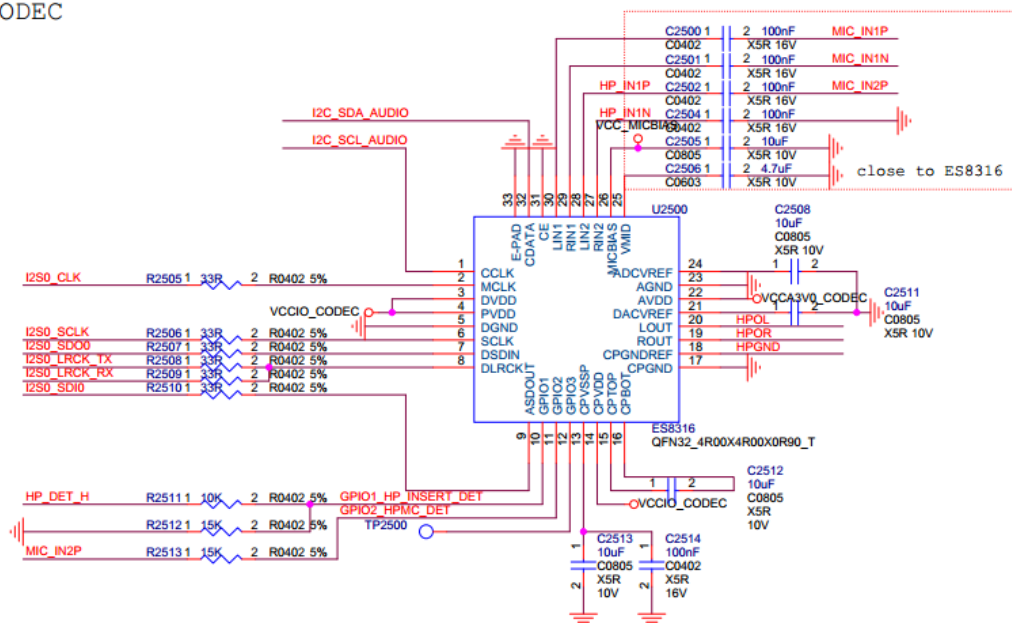


图 3 - 62 RK3399 Codec电路

Codec输出的HPGND作为内部Offset参考，需要与GND连接，走线上在耳机座子处与GND相连，减小与耳机GND间的电平差。如果Codec的GND与耳机GND在同一完整GND平面上，器件布局靠近，则可以直接连到GND平面。

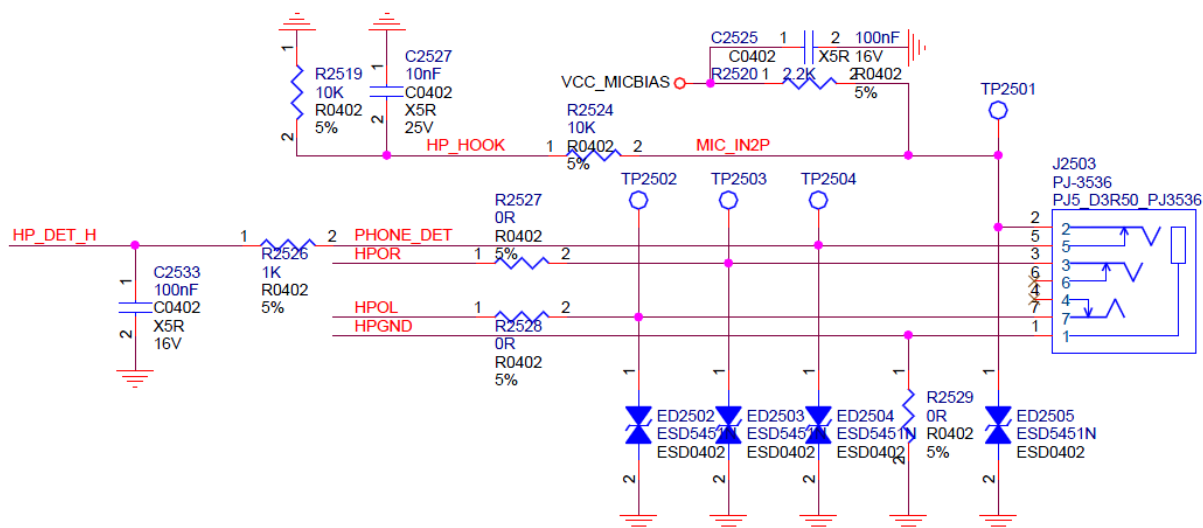


图 3 - 63 RK3399 Headphone电路

#### ● 3.3.5.4 MIC

MIC电路如图3-64，请根据驻极体麦克风规格，选择合适的分压电阻R2500、R2504；如果使用的是模拟接口的MEMS MIC，请参考具体的推荐设计电路；如果使用的是数字接口的MEMS MIC，如图3-65，可直接连接到RK3399的I2S0上。

# MIC

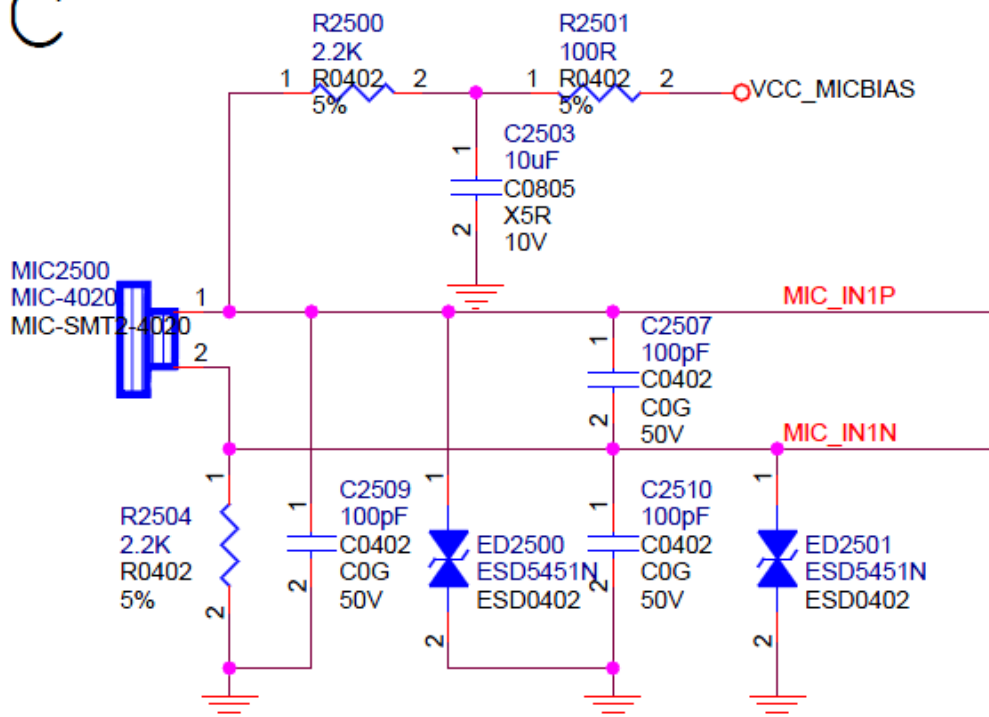


图 3 - 64 RK3399 MIC电路

I2S0\_WS\_MIC R700 1 2 22R 5% <<I2S0\_LRCK\_TX  
I2S0\_SCK\_MIC R701 1 2 22R 5% <<I2S0\_SCLK

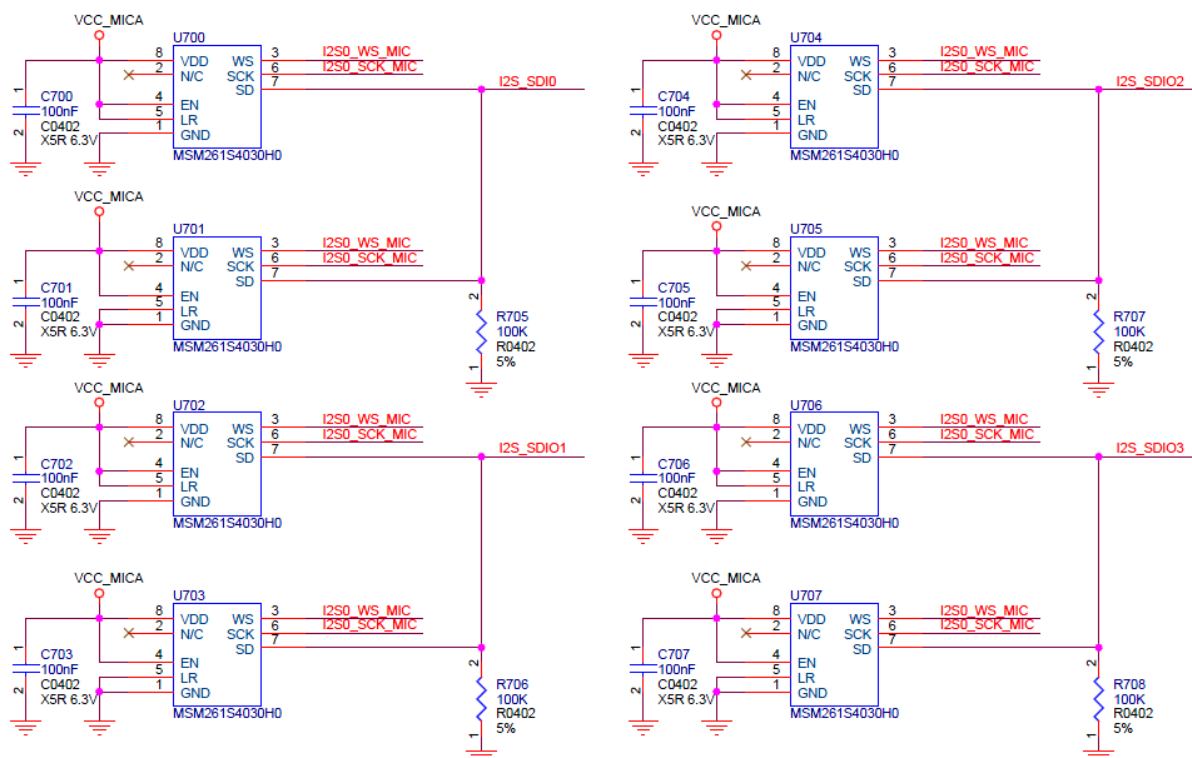


图 3-65 RK3399 数字麦克风阵列电路

### 3.3.6 视频电路

### 3.3.6.1 eDP

- eDP控制器参考电阻R1704请选用1%精度的电阻，该电阻会影响眼图信号质量；
- EDP TX<sub>n</sub>信号耦合电容请靠近发送端放置，即connect端；

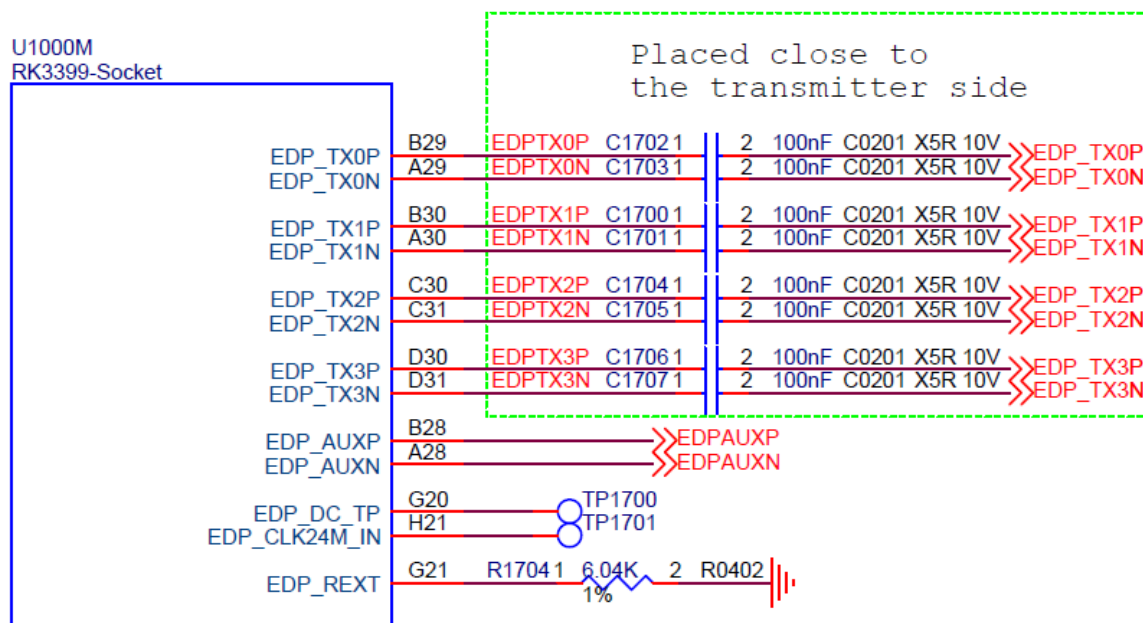


图 3-66 RK3399 eDP模块

### 3.3.6.2 MIPI DSI

- MIPI-DSI控制器参考电阻R1707请选用1%精度的电阻，该电阻会影响眼图信号质量；

- MIPI\_TX\_AVDD\_1V8与MIPI\_TX/RX\_AVDD\_1V8在芯片上是同一组电源，所以必须使用相同电源供电；
- 单MIPI工作模式下，必须使用MIPI-DSI0，即MIPI\_TX0这组；MIPI-DSI1不能被单独使用；
- 双MIPI工作模式下，MIPI\_TX0和MIPI\_TX1/RX1通道可以根据布局以及走线需要，整组调换使用；

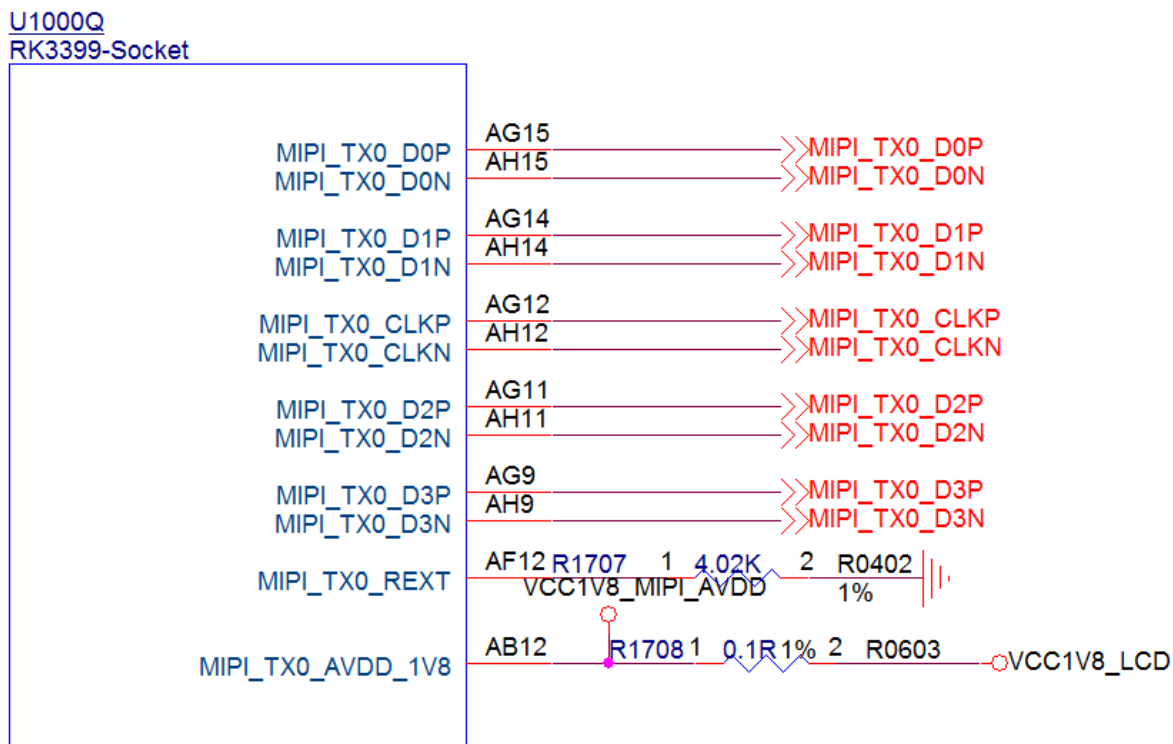


图 3 - 67 RK3399 MIPI DSI0模块

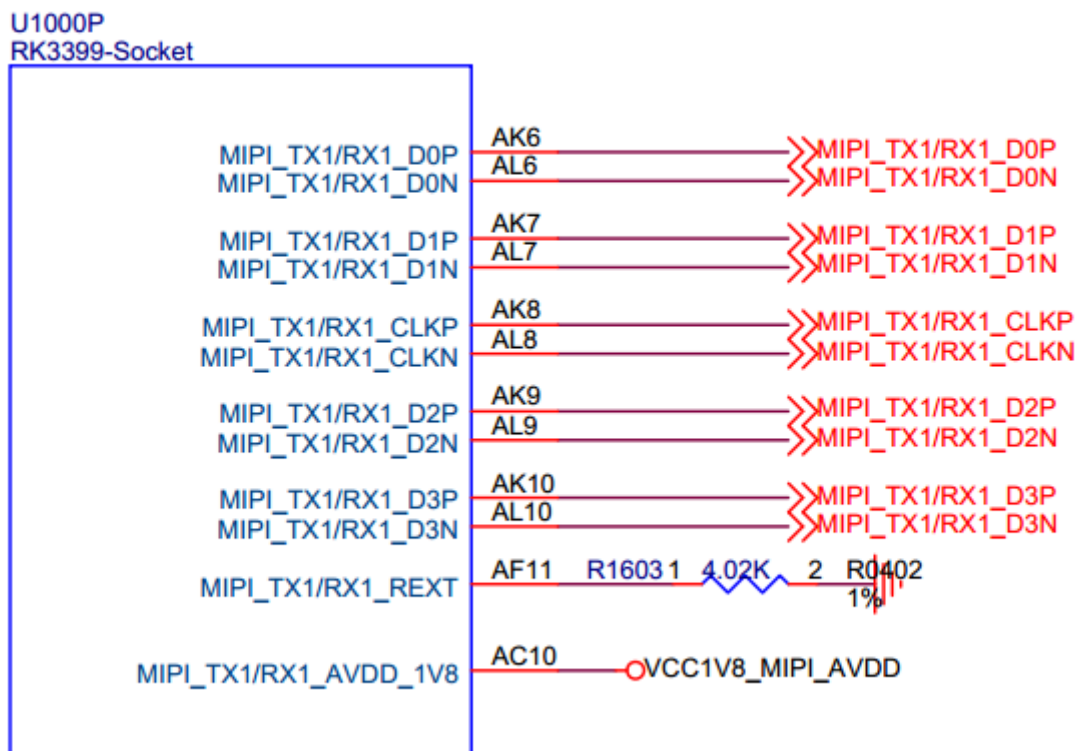


图 3 - 68 RK3399 MIPI DSI1模块

### 3.3.6.3 HDMI OUT

RK3399提供了一个HDMI接口，支持HDMI 2.0协议：

- HDMI控制器参考电阻R1701请选用1%精度的电阻，该电阻会影响眼图信号质量；

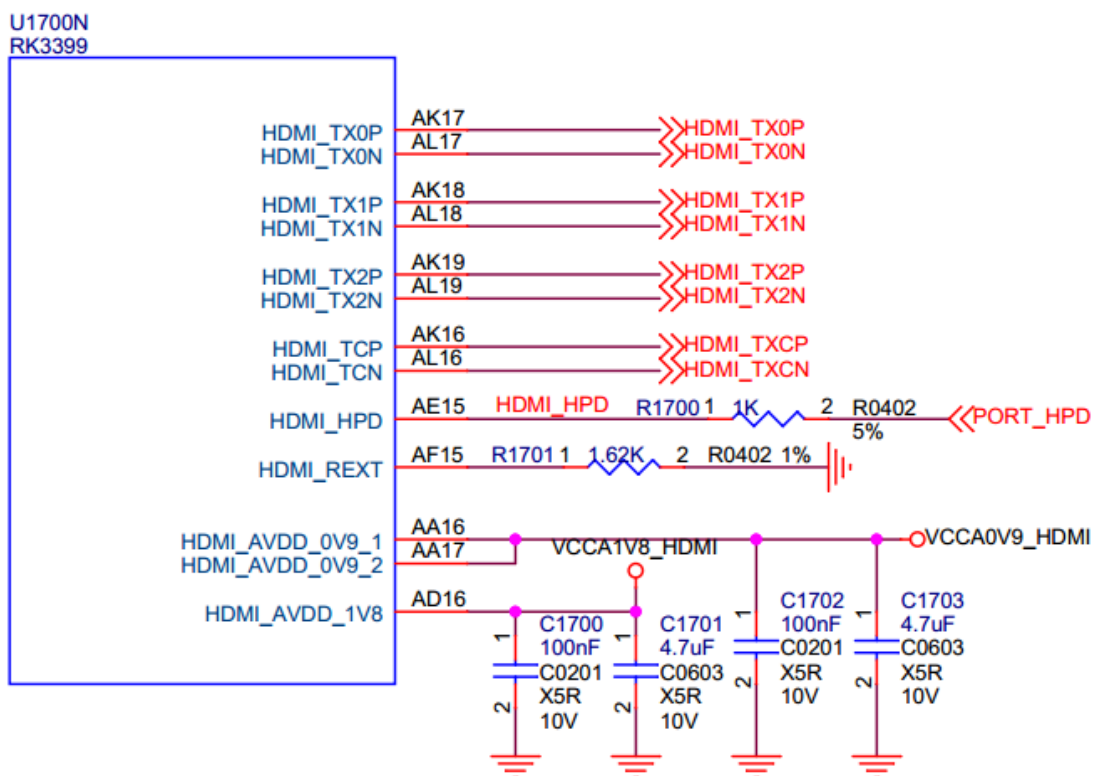


图 3 - 69 RK3399 HDMI模块

- HDMI 接口CEC电路注意防电平倒灌设计，详细见RK3399参考设计原理图；

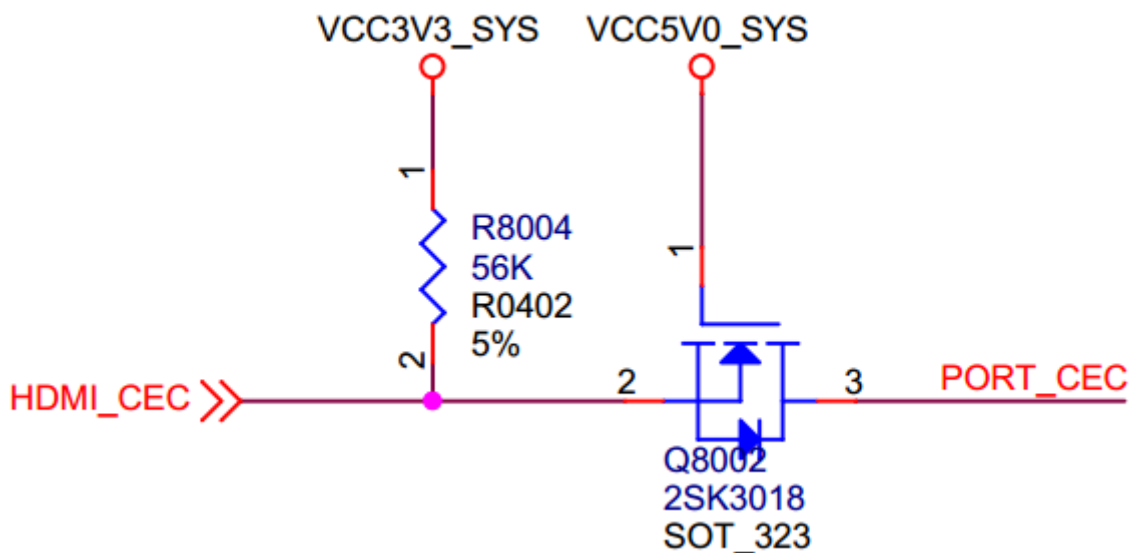


图 3 - 70 HDMI CEC防倒灌电路

- RK3399芯片的I2C不支持5V电平，DDC/I2C总线需要增加电平转换电路；

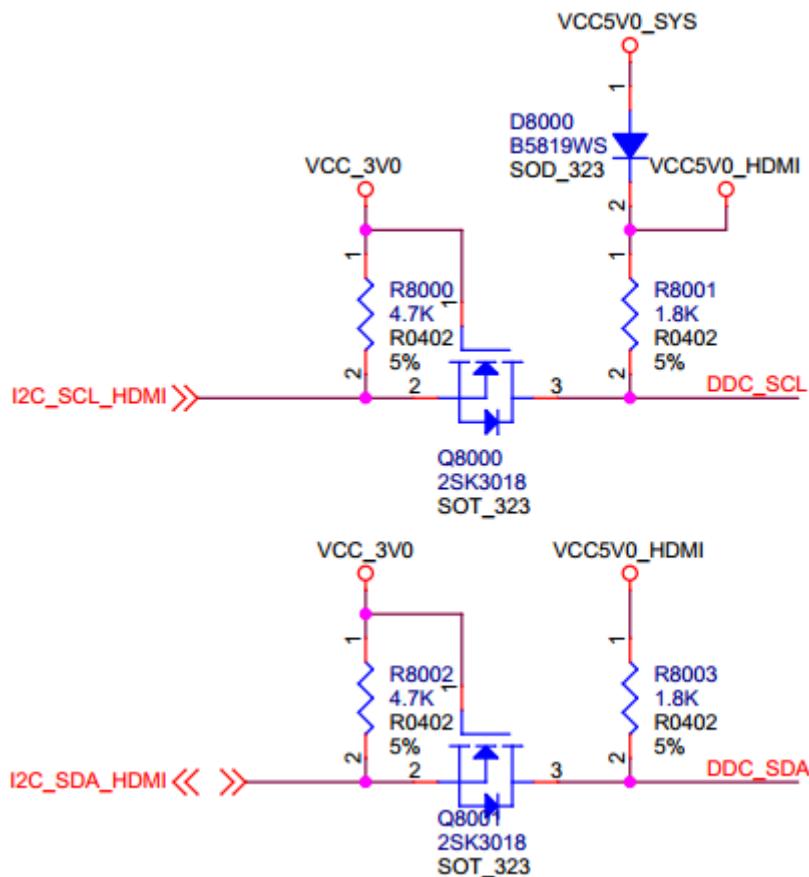


图 3 - 71 HDMI DDC电平转换电路

- HDMI的四组差分信号上需要有ESD保护，ESD器件请靠近HDMI接口放置，推荐电容最大不超过0.4pF。

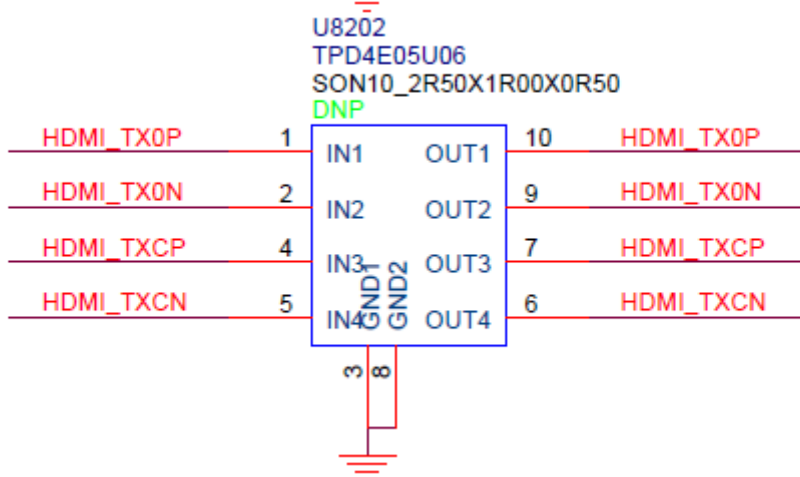


图 3 - 72 HDMI ESD电路

### 3.3.7 摄像头电路

#### 3.3.7.1 USB CAMERA

USB CAMERA请参考小节3.3.2 中USB的设计方法。

#### 3.3.7.2 MIPI CSI

RK3399有两组MIPI-CSI输入，均内置ISP处理器，在双MIPI输入的时候可以同时使用。控制器参考电阻R1602&R1603请选用1%精度的电阻，该电阻会影响眼图信号质量；

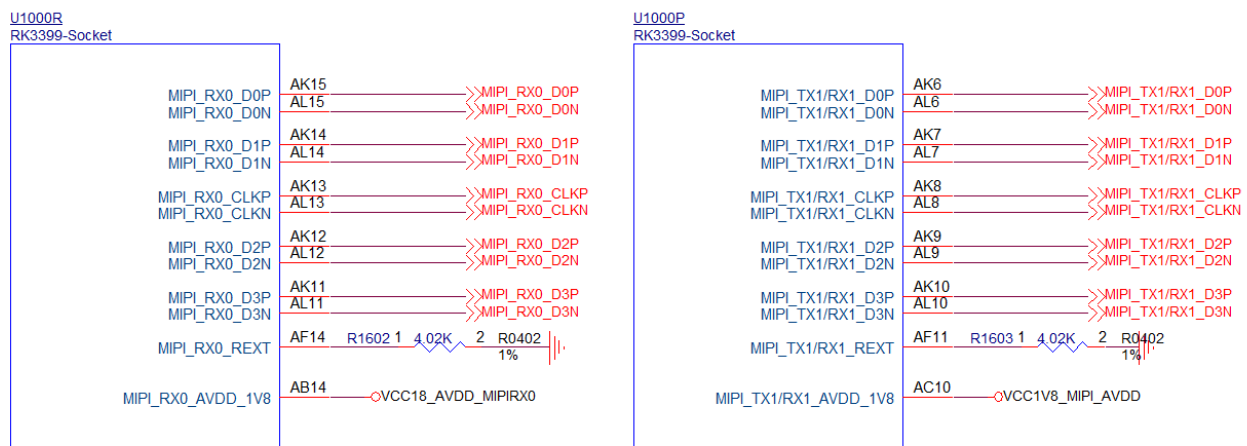


图 3-73 MIPI-CSI模块

### 3.3.7.3 CIF CAMERA

CIF接口电源域为API02\_VDD供电，实际产品设计中，需要根据产品Camera的实际IO供电要求（1.8V or 2.8V），选择对应的供电，同时I2C上拉电平必须与其保持一致，否则会造成Camera工作异常或无法工作。

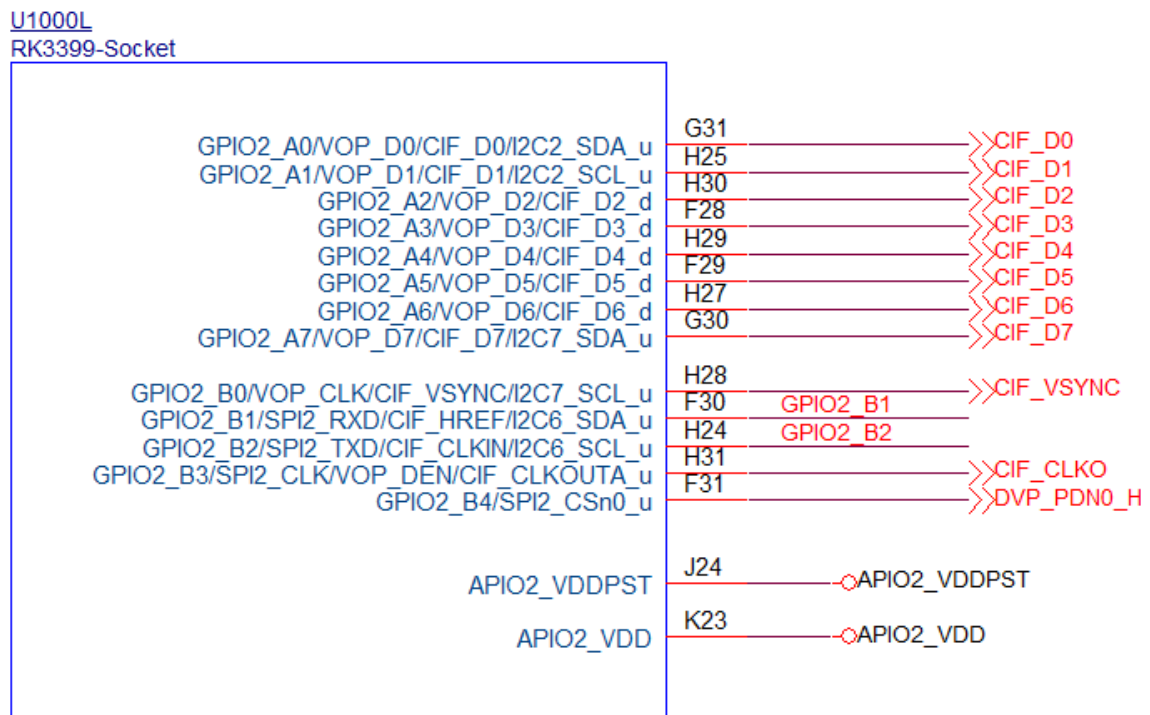


图 3-74 RK3399 CIF模块

### 3.3.8 ADC电路

RK3399芯片采用SARADC的ADC\_IN1做为键值输入采样口，并复用为RECOVER模式（不需要更新LOADER），如图。在系统已经烧录固件的前提下，系统启动时拉低ADKEY\_IN，将ADC\_IN1保持为0V电平（最高不超过100mV），则RK3399进入Rockusb烧写模式。当PC识别到USB设备时，松开按键使ADC\_IN1恢复为高电平（1.8V），即可进行固件烧写。



### 注意

平板、BOX和VR产品均使用此升级方法；而Netbook使用的是EC烧录，需要使用servo board烧写工具。



RK3399上，SARADC采样范围为0~1.8V，采样精度为10bits。按键阵列采用并联型，可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求。设计中建议任意两个按键键值必须大于 $\pm 35$ ，即中心电压差必须大于123mV。

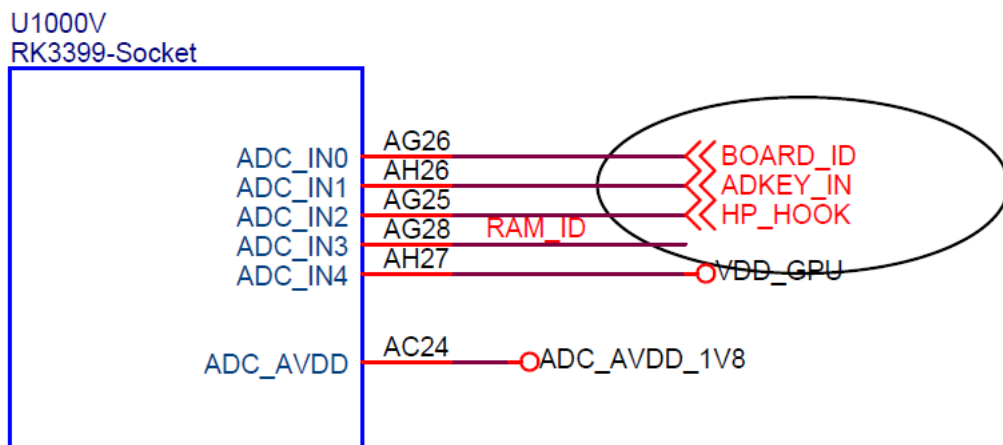


图 3 - 75 RK3399 SAR-ADC模块

### 3.3.9 SDIO/UART电路

RK3399支持SDIO 3.0接口的WIFI/BT模组。采用SDIO、UART接口的WIFI/BT模组时，需要注意RK3399 SDIO、UART控制器的供电为1.8V，所以模组的IO电平也必须支持1.8V，如图3-76所示。

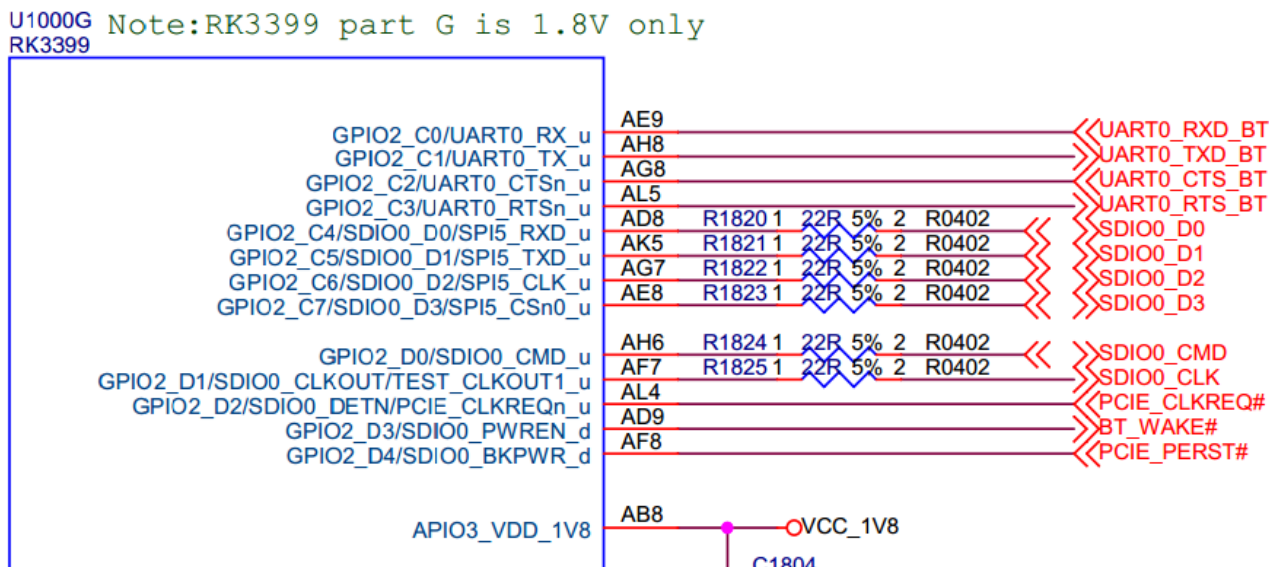


图 3 - 76 RK3399 SDIO/UART模块

#### 3.3.9.1 SDIO

SDIO接口上下拉和匹配设计推荐如表3-20所示。

表 3 - 20 RK3399 SDIO接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SDIO_DQn[0:3]	上拉	串联22ohm电阻	SDIO数据发送/接收
SDIO_CLKOUT	下拉	串联22ohm电阻	SDIO时钟发送
SDIO_CMD	下拉	串联22ohm电阻	SDIO命令发送/接收

#### 3.3.9.2 UART

UART接口上下拉和匹配设计推荐如表3-21所示。



表 3-21 RK3399 UART接口设计

信号	内部上下拉	连接方式	描述（芯片端）
UART0_RX	上拉	直连	UART0数据输入
UART0_TX	上拉	直连	UART0数据输出
UART0_CTSn	上拉	直连	UART0允许发送信号
UART0_RTSn	上拉	直连	UART0请求发送信号

### 3.3.10 数字音频电路

SPDIF全称为Sony/Philips Digital Interface Format是SONY、PHILIPS数字音频接口的简称。就传输载体而言，SPDIF又分为同轴和光纤两种，其实他们可传输的信号是相同的，只不过是载体不同，接口和连线外观也有差异。但光信号传输无需考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。

RK3399提供一个SPDIF输出接口，最大支持24bits解析度。光纤SPDIF座子最高传输速率决定了SPDIF的最高采样率，如果光纤SPDIF座子最高传输16Mbps，那么采样率最高只能到96KHz，光纤SPDIF座子需支持25Mbps，采样率才能支持192KHz。

数字音频输出光纤接口电路如图3-77，信号到接口走线需要有伴随地：

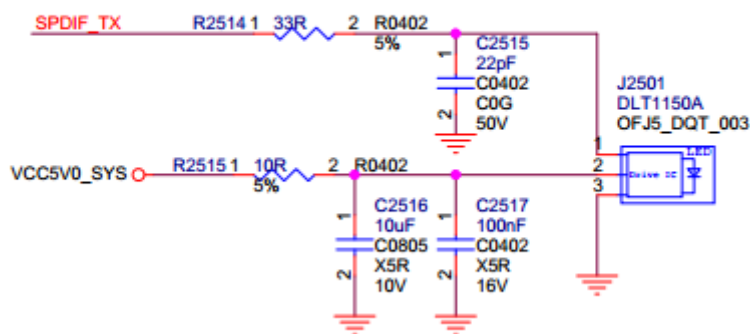


图 3-77 SPDIF使用光纤接口

数字音频输出同轴接口电路如图3-78，信号到接口走线需要有耦合电容进行隔直处理，否则当设备端电平不匹配的时候，会有烧坏芯片的风险：

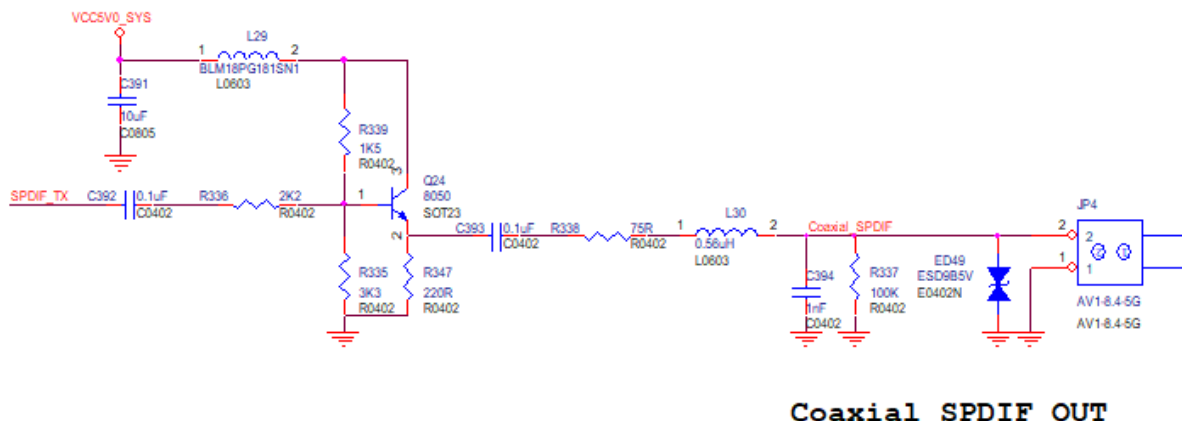


图 3-78 SPDIF使用同轴接口

### 3.3.11 PCIe电路

PCIe是PCI-Express的简称，它是最新的总线和接口标准。RK3399支持PCIe V2.1协议，具有如下特点：

- 支持Root Complex (RC) 与End Point (EP) 两种工作模式；
- 支持4x/2x/1x模式，分别有4对TX和RX差分线；
- 单个数据通道能支持最大2.5GT/s的信号传输速率，编解码采用8b/10b形式，所以最大信号速率为250MB/s；
- 工作为全双工模式，最大支持10GT/s的数据传输，即1GB/s；
- 支持展频功能 (Spread Spectrum Clock, SSC)；

RK3399 PCIe控制器有两组电源，分别为模拟电源PCIE\_AVDD\_0V9和PCIE\_AVDD\_1V8；建议的上电时序为PCIE\_AVDD\_0V9先上电。

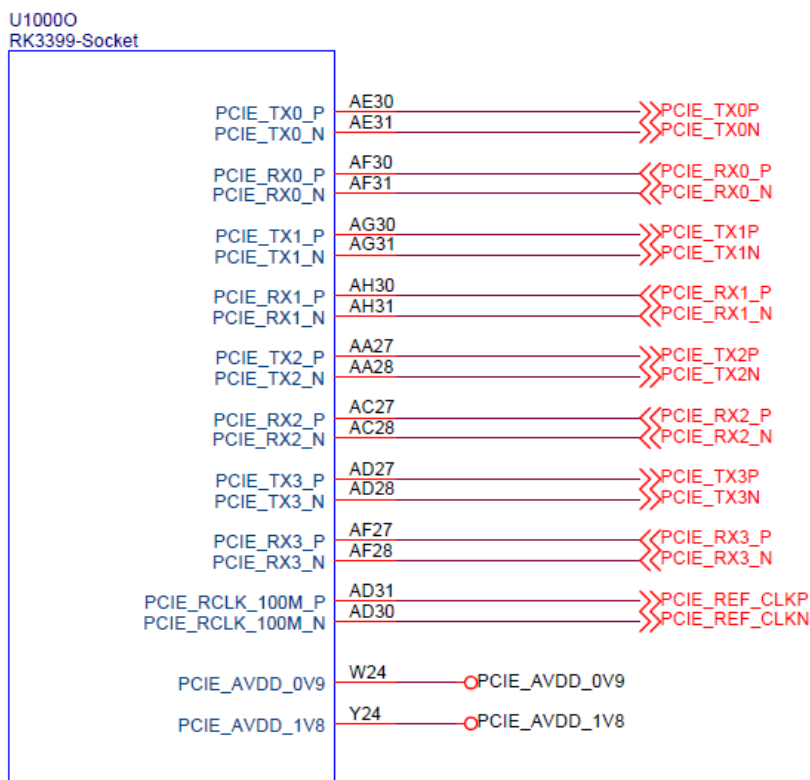


图 3-79 RK3399 PCIe模块

- TX信号线的耦合电容应靠近PCIe连接座放置，RX电容由设备端提供；
- A bulk decoupling capacitor (greater than 10  $\mu$ F) is recommended on each power supply used within a device on the add-in card. This bulk decoupling capacitor should be in close proximity to the add-in card device.

图 3-80 PCIe JEDEC中的耦合电容放置需求

- 应用中请注意PCIe设备的供电情况，如果是SSD存储类设备的功耗要求比较大，而网卡类设备的功耗需求比较低；

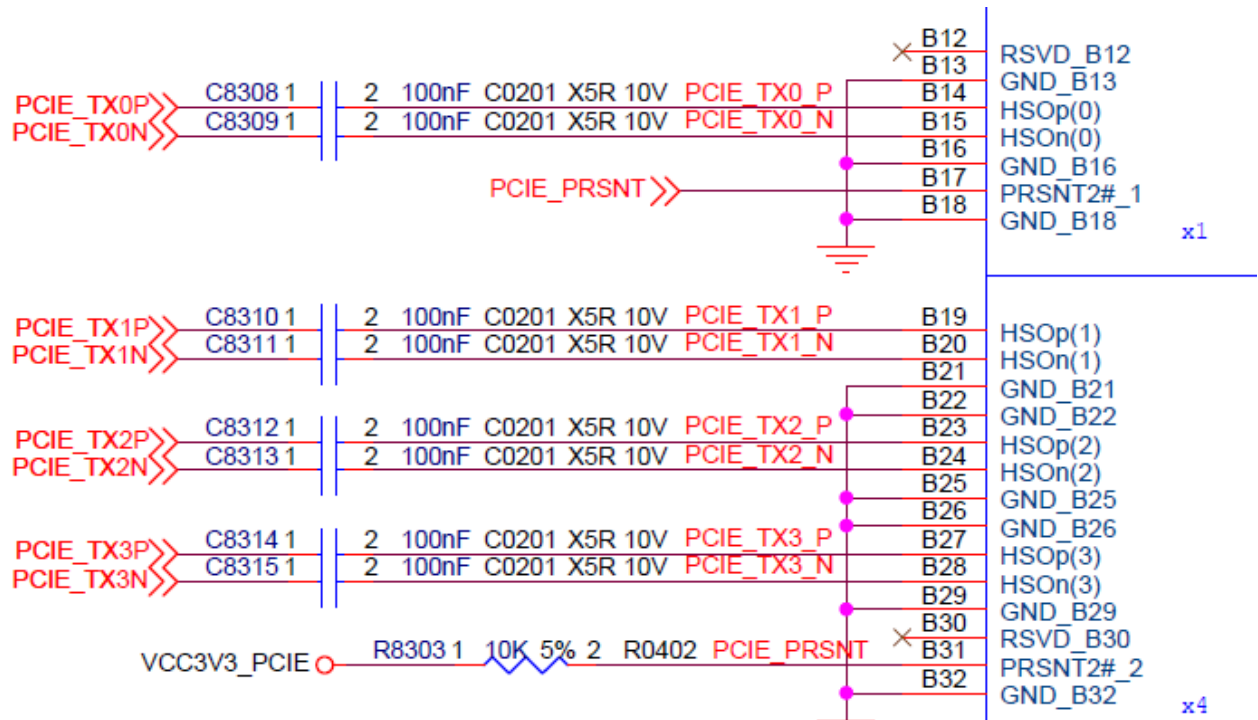


图 3 - 81 PCIe TX耦合电容

## 4 PCB 设计建议

### 4.1 PCB 叠层

为了减少在高速信号传输过程中的反射现象，必须在信号源、接收端以及传输线上保持阻抗的匹配。单端信号线的具体阻抗取决于它的线宽尺寸以及它与参考平面之间的相对位置。特定阻抗要求的差分对间的线宽/线距则取决于选择的PCB叠层结构。由于最小线宽和最小线距是取决于PCB类型以及成本要求，受此限制，选择的PCB叠层结构必须能实现板上的所有阻抗需求，包括内层和外层、单端和差分线等。

RK3399**推荐使用6层及以上的PCB叠层**，以下叠层结构做为范例，可以给客户在叠层结构的选择和评估上提供帮助。如果选择其他类型的叠层结构，请根据PCB厂商给出的规格，重新计算阻抗。

#### 4.1.1 8层板叠层

在8层板叠层设计中，顶层信号L1的参考平面为L2，底层信号L8的参考平面为L7。L5和L7也被做为L6高速信号走线的参考平面，具体视叠层情况而定。

Layer No.	sig/pln	Copper thk. before process (oz)	Construction	Finished thickness (um)	Finished thickness (mil)	Tolerance	Dk (1GHz)
S/M				20	0.79	+/-10	3
1	TOP	1		30	1.18	+/-10	
			PP 1080X1(RC68%)	75	2.95	+/-10	3.8
2	GND	H		17	0.67	+/-10	
			Core	108	4.25	+/-10	4.2
3	POWER	H		17	0.67	+/-10	
			PP 1080X2(RC68%)	150	5.91	+/-10	3.8
4	SIGNAL	H		17	0.67	+/-10	
			Core	108	4.25	+/-10	4.2
5	GND	H		17	0.67	+/-10	
			PP 1080X2(RC68%)	150	5.91	+/-10	3.8
6	SIGNAL	H		17	0.67	+/-10	
			Core	108	4.25	+/-10	4.2
7	GND	H		17	0.67	+/-10	
			PP 1080X1(RC68%)	75	2.95	+/-10	3.8
8	BOTTOM	1		30	1.18	+/-10	
S/M				20	0.79	+/-10	3

图 4-1 RK3399 8层板设计建议叠层结构

#### 4.1.2 6层板叠层

在6层板叠层设计中，顶层信号L1的参考平面为L2，底层信号L6的参考平面为L5。L3和L5也被做为L4层高速信号走线的参考平面，具体视叠层情况而定。

Layer No.	sig/pln	Copper thk. before process (oz)	Construction	Finished thickness (um)	Finished thickness (mil)	Tolerance	Dk (1GHz)
S/M				20	0.79	+/-10	3
1	TOP	1		30	1.18	+/-10	
			PP 1080X1(RC68%)	75	2.95	+/-10	3.8
2	GND	H		17	0.67	+/-10	
			Core	260	10.24	+/-10	4.2
3	POWER	H		17	0.67	+/-10	
			PP 2116	115	4.53	+/-10	3.8
4	SIGNAL	H		17	0.67	+/-10	
			Core	260	10.24	+/-10	4.2
5	GND	H		17	0.67	+/-10	
			PP 1080X1(RC68%)	75	2.95	+/-10	3.8
6	BOTTOM	1		30	1.18	+/-10	
S/M				20	0.79	+/-10	3

图 4-2 RK3399 6层板设计建议叠层结构

## 4.2 高速信号 PCB 设计建议

### 4.2.1 Crystal设计

在时钟电路的PCB设计中，请注意：

- 在布局时，晶体电路尽可能地靠近RK3399的时钟管脚放置；
- 信号走线使用4mil走线，并且尽可能的短，以减少走线的负载电容和防止不必要的噪声；
- 时钟走线Xin和Xout以及晶体下方投影区域禁止任何走线，避免噪声耦合进入时钟电路；
- 晶体下方的顶层，可以围绕放置地环。地环通过过孔与相邻的接地层连接，以隔离噪声；
- 晶体下方的第二层保持完整的地参考平面，避免任何走线分割，有助于隔离噪声保持晶体输出的

稳定性;

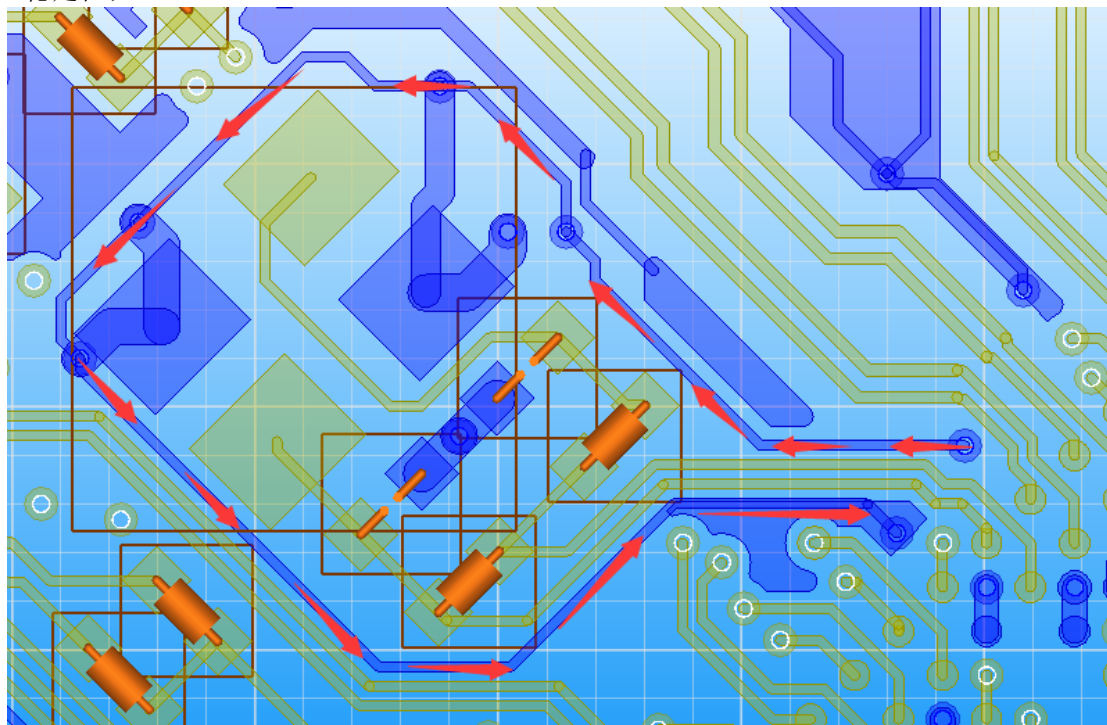


图 4-3 RK3399 晶体地环设计

- Y29做为晶体的模拟地，在layout时请注意与其他的数字地隔离，并单独通过过孔连接到第二层的地参考平面；

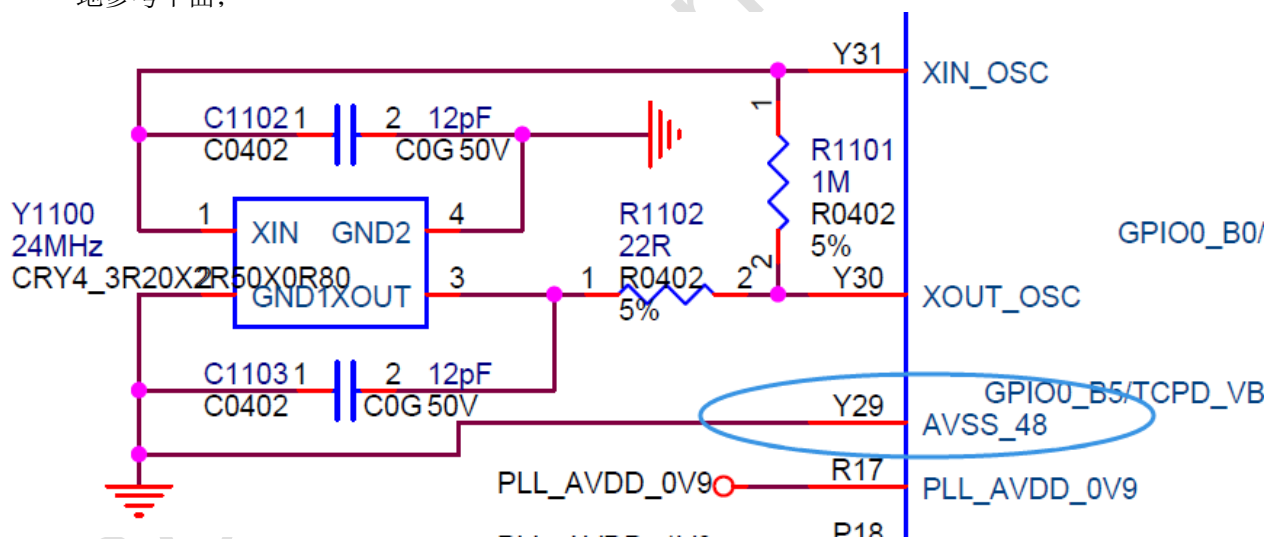


图 4-4 RK3399 晶体模拟地管脚

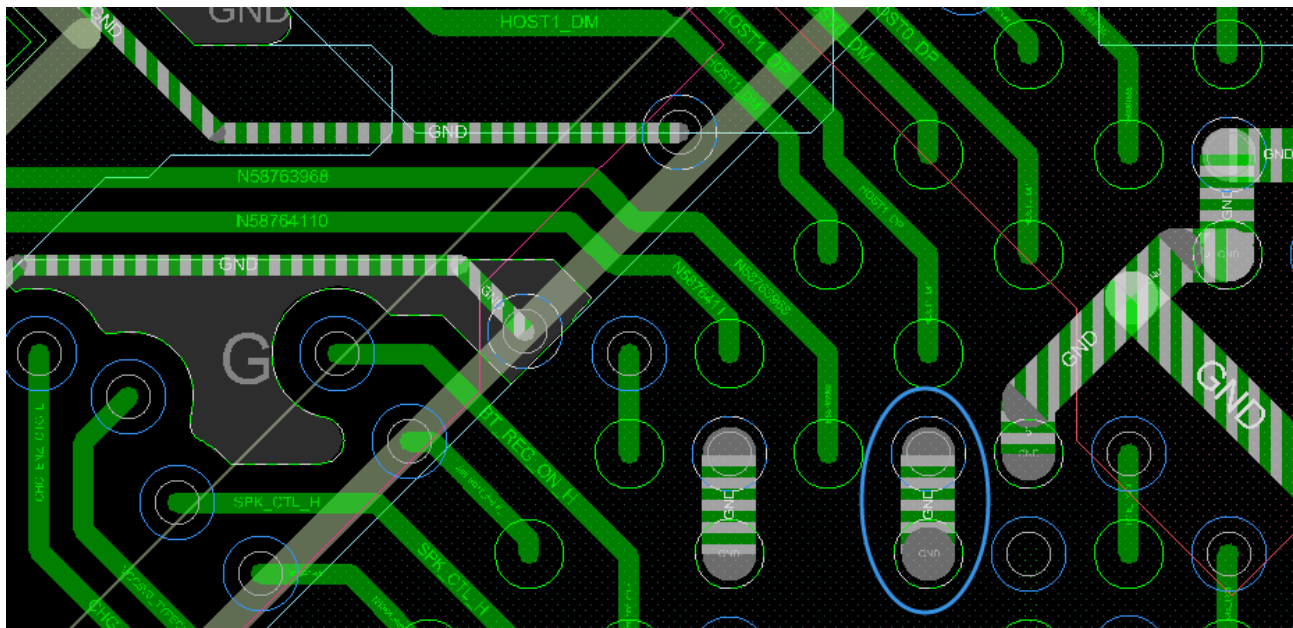


图 4-5 RK3399 晶体模拟地单独扇出

#### 4.2.2 DDR设计

- RK3399不支持2个cs的column数量不同的DRAM；也不支持2个cs的bank、column数量不同的DRAM；
- 如果DRAM的2个cs容量不同，则容量小的应该放在cs1；
- RK3399只支持一个通道上的2个cs都是6Gb或者12Gb的DRAM：例如一个cs为6Gb，另一个cs为8Gb的DRAM是不支持的；
- 如果DRAM上只有一个ODT（例如LPDDR3），只能连接到ODT0上，而不能连接到ODT1上；
- 如果DRAM上只有一个cs，只能连接在CS0上；
- RK3399如果只使用一个通道，只支持通道DDR0通道；
- DDR\_CLK走线不能短于该通道任意一组DQ/DM/DQS，即delay控制时，DDR\_CLK走线应为本组最长；
- CS2是CS0的复制信号，CS3是CS1的复制信号，其行为与被复制信号完全一样。因此对于DDR3，LPDDR3，实际只能使用2个CS。而CS2，CS3主要是给LPDDR4使用的，因为LPDDR4颗粒一个channel是16bit，当要让主控达到32bit、2CS时，就需要用到4根CS信号。

##### ● 4.2.2.1 LPDDR3

LPDDR3在设计中，RK3399 data的D0-D15、D16、D24必须和DRAM端的D0-D15、D16、D24完全一一对应连接，否则LPDDR3的CA training以及DQ Calibration功能无法使用。

LPDDR3的所有信号包括data、CLK、control以及command，具有如图4-6的等效电路：

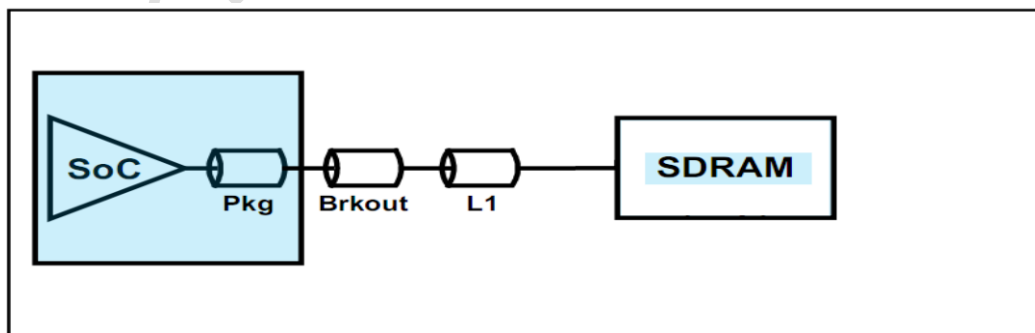


图 4-6 LPDDR3信号拓扑等效电路

LPDDR3 Data走线要求如表4-1：

表 4-1 RK3399 LPDDR3 Data (DQ/DM/DQS) 走线要求

参数	定义
Signal Group	DQ, DM, DQS
Target Impedance (Z0:DQ; Zdiff: DQS)	DQ: 50 Ohm $\pm$ 10%, DQS: 100 Ohm $\pm$ 10% , DM: 50



	Ohm $\pm$ 10%
DQS Routing Trace Width and Spacing within pair	PCB stack-up dependent
DQ Routing Trace Width and Spacing within same Byte Group	Width : PCB stack-up dependent Spacing : $\geq 2$ times the width of the trace
DQS to DQ Spacing within same Byte Group	$\geq 2$ times the width of the trace
Byte Group to Byte Group Spacing, Data to Other Signals Spacing	$\geq 2$ times the width of the trace
Max intra-pair skew of DQS	1ps
Max skew between DQ and DQS	5ps
Note: DQ group A include: (DATA0—DATA7, DQM0, DQS0P/ DQS0M) DQ group B include: (DATA8—DATA15, DQM1, DQS1P/ DQS1M) DQ group C include: (DATA16—DATA23, DQM2, DQS2P/ DQS2M) DQ group D include: (DATA24—DATA31, DQM3, DQS3P/ DQS3M) The 5ps is the max skew inside DQ groups. It is no the requirement between DQ groups. Because max skew between CLK and DQS is 150ps, so the max skew between DQ groups is 150ps too.	

LPDDR3 CLK走线要求如表4-2:

表 4-2 RK3399 LPDDR3 CLK走线要求

参数	定义
Signal Group	CLK
Target Impedance (Diff Z0)	100 Ohm $\pm$ 10%
CLK Routing Trace Width and Spacing within pair	PCB stack-up dependent
CLK Routing Spacing to other Signals	$\geq 3$ times the width of the trace
Max intra-pair skew of CLK	1ps
Max skew between CLK and DQS	150ps

LPDDR3 Control走线要求如表4-3:

表 4-3 RK3399 LPDDR3 Control (CTL) 走线要求

参数	定义
Signal Group	CSn, CKE
Target Impedance (Z0)	50 Ohm $\pm$ 10%
CTL Routing Trace Width and Spacing within same Byte Group	Width : PCB stack-up dependent Spacing : $\geq 3$ times the width of the trace
Max skew between CTL and CLK	5ps

LPDDR3 Command走线要求如表4-4:

表 4-4 RK3399 LPDDR3 Command (CMD) 走线要求

参数	定义
Signal Group	LPDDR3_A[0:9]
Target Impedance (Z0)	50 Ohm $\pm$ 10%
CA Routing Trace Width and Spacing	Width : PCB stack-up dependent Spacing : $\geq 3$ times the width of the trace
Max skew between CMD and CLK	5ps

#### ● 4.2.2.2 DDR3

DDR3在设计中, RK3399 data Group A、B、C、D (见表4-5) 中的DQ数据可以做组内调换, 如D8~D15可以随意调换顺序; 或者是整组间 (如Group A与C整组) 根据实际需要调换。

DDR3 Data具有如图4-7的等效电路:

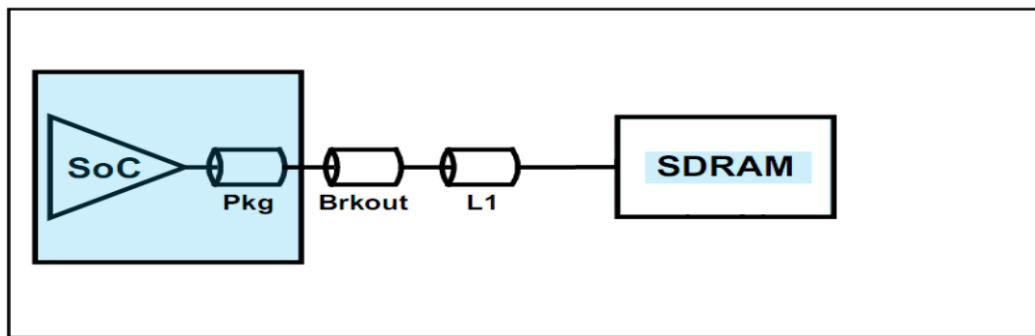


图 4-7 DDR3 DATA信号拓扑等效电路

DDR3 Data走线要求如表4-5:

表 4-5 RK3399 DDR3 Data (DQ/DM/DQS) 走线要求

参数	定义
Signal Group	DQ, DM, DQS
Target Impedance (Z0:DQ; Zdiff: DQS)	DQ: 50 Ohm $\pm$ 10%, DQS: 100 Ohm $\pm$ 10%, DM: 50 Ohm $\pm$ 10%
DQS Routing Trace Width and Spacing within pair	PCB stack-up dependent
DQ Routing Trace Width and Spacing within same Byte Group	Width : PCB stack-up dependent Spacing : $\geq 2$ times the width of the trace
DQS to DQ Spacing within same Byte Group	$\geq 2$ times the width of the trace
Byte Group to Byte Group Spacing, Data to Other Signals Spacing	$\geq 2$ times the width of the trace
Max intra-pair skew of DQS	1ps
Max skew between DQ and DQS	5ps
Note: DQ group A include: (DATA0—DATA7, DQM0, DQS0P/ DQS0M) DQ group B include: (DATA8—DATA15, DQM1, DQS1P/ DQS1M) DQ group C include: (DATA16—DATA23, DQM2, DQS2P/ DQS2M) DQ group D include: (DATA24—DATA31, DQM3, DQS3P/ DQS3M) The 5ps is the max skew inside DQ groups. It is no the requirement between DQ groups. Because max skew between CLK and DQS is 150ps, so the max skew between DQ groups is 150ps too.	

DDR3 CLK具有如图4-8的等效电路:

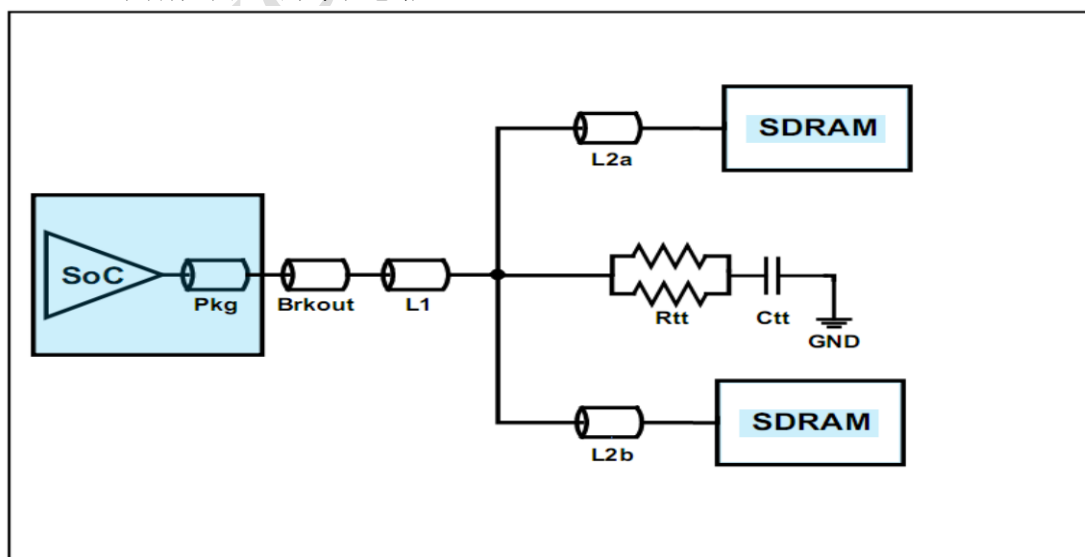


图 4-8 DDR3 CLK信号拓扑等效电路

DDR3 CLK走线要求如表4-6:



表 4-6 RK3399 DDR3 CLK走线要求

参数	定义
Signal Group	CLK
Target Impedance (Diff Z0)	100 Ohm $\pm$ 10%
CLK Routing Trace Width and Spacing within pair	PCB stack-up dependent
CLK Routing Spacing to other Signals	$\geq 2$ times the width of the trace
Max intra-pair skew of CLK	1ps
Max skew between CLK and DQS	150ps
L2a, L2b	length match L2a and L2b within 1 ps

DDR3 Control具有如图4-9的等效电路：

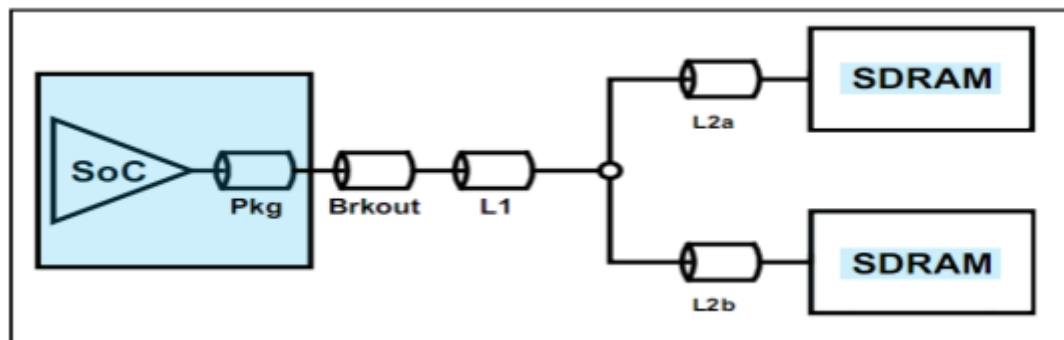


图 4-9 DDR3 Control (CTL) 信号拓扑等效电路

DDR3 Control走线要求如表4-7：

表 4-7 RK3399 DDR3 Control (CTL) 走线要求

参数	定义
Signal Group	CSn, CKE, ODT
Target Impedance (Z0)	50 Ohm $\pm$ 10%
CTL Routing Trace Width and Spacing within same Byte Group	Width : PCB stack-up dependent Spacing : $\geq 2$ times the width of the trace
Max skew between CTL and CLK	10ps
L2a, L2b	length match L2a and L2b within 1 ps

DDR3 Command具有如图4-10的等效电路：

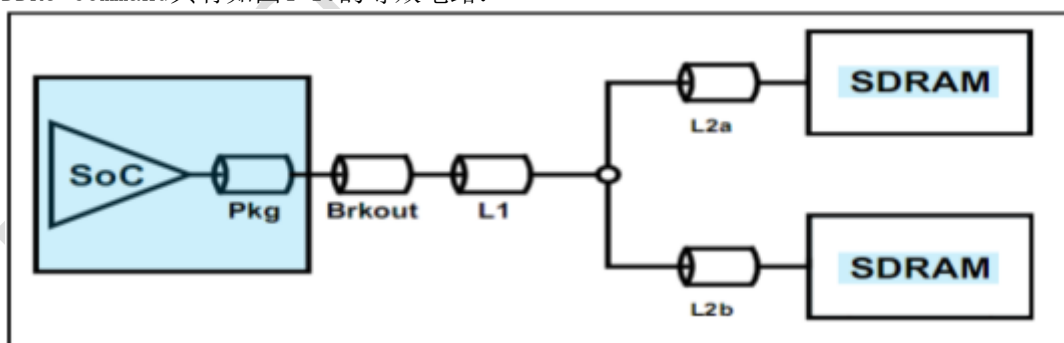


图 4-10 DDR3 Command (CMD) 信号拓扑等效电路

DDR3 Command走线要求如表4-8：

表 4-8 RK3399 DDR3 Command (CMD) 走线要求

参数	定义
Signal Group	DDR3_A[0:15], DDR3_CASn, DDR3_RASn, DDR3_WEn
Target Impedance (Z0)	50 Ohm $\pm$ 10%
CA Routing Trace Width and Spacing	Width : PCB stack-up dependent Spacing : $\geq 2$ times the width of the trace
Max skew between CMD and CLK	10ps

L2a, L2b

length match L2a and L2b within 1 ps

### ● 4.2.2.3 LPDDR4

- 由于LPDDR4 DRAM是16bit一个channel，而RK3399是32bit一个channel，所以需要DRAM的2个channel来组成RK3399的一个channel。其中尤其要注意的是，DRAM的4个channel有2个channel的ZQ是共用的。我们要求必须把没有共用一个ZQ的DRAM channel拿来组成32bit连到RK3399芯片的一个通道，也就是不能把共用一个ZQ的两个DRAM channel拿来组成为32bit连到RK3399芯片同一通道上。

如下图4-11，不能把Channel A和Channel D拿来组成一个32bit连到RK3399芯片，也不能把Channel B和Channel C拿来组成一个32bit，因为这2组channel都是共用一个ZQ的。

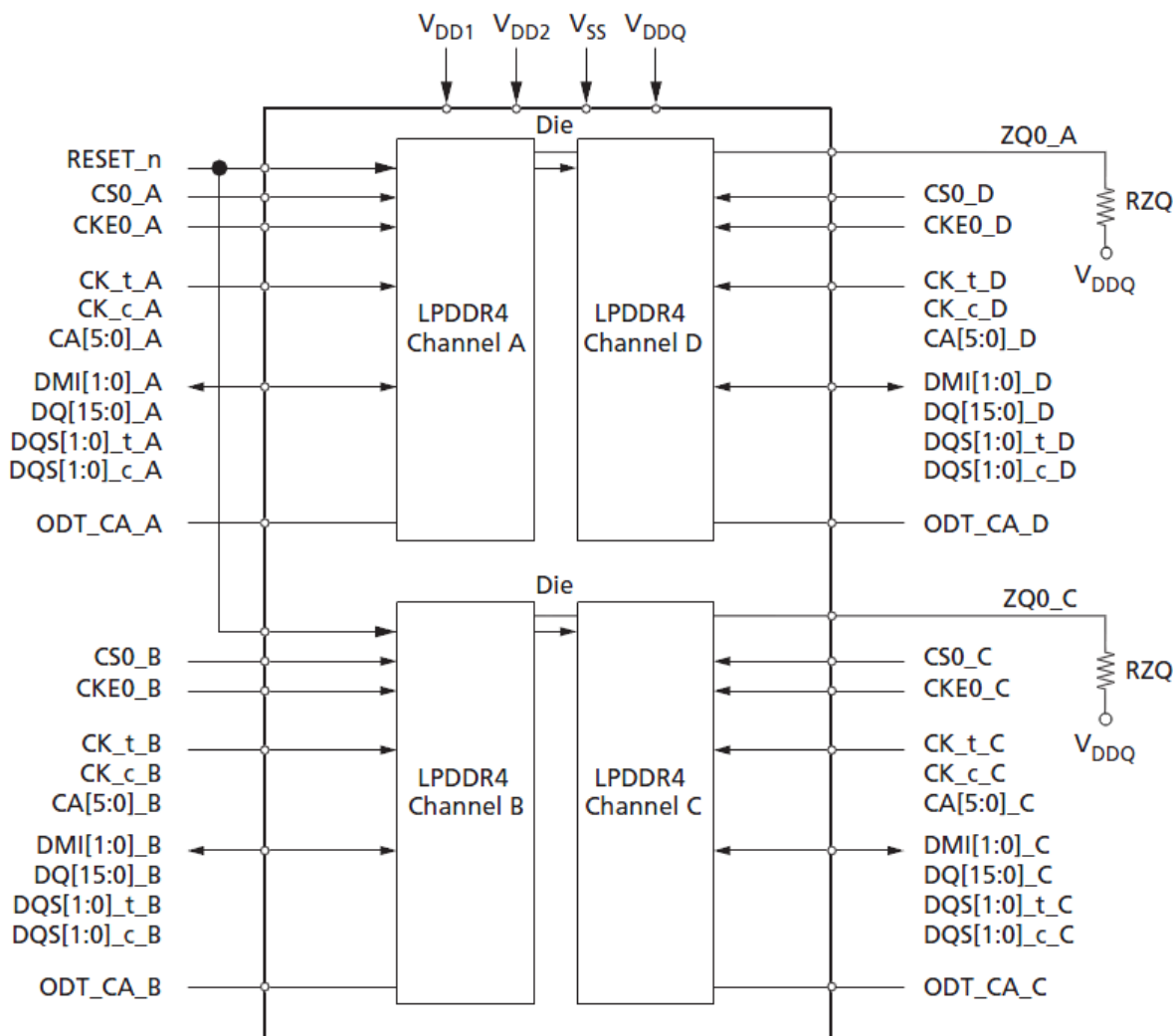


图 4 - 11 LPDDR4 channel框图

- LPDDR4的RZQ是通过240ohm电阻上拉至VDDQ，而不是下拉到GND；RK3399的RZQ还是通过240ohm电阻下拉到GND。
- RK3399不支持3个rank的DRAM。如果使用，只能用到其中的2个rank。
- LPDDR4在设计中，RK3399的所有数据线（DQ）都必须和DRAM端的数据完全一一对应连接，也就是DDR<sub>x</sub>\_D0-D16必须一一对应的连接到一个LPDDR4颗粒通道的D0-D16；而DDR<sub>x</sub>\_D17-D31必须一一对应的连接到另一个LPDDR4颗粒通道的D0-D16。原因是：对单个LPDDR4 channel来说（16bit），MRR功能需要用到DQ[0: 7]；CA training功能需要用到DQS0、DQ[0:6]、DQ[8:13]；RD DQ Calibration用到DQ[0:15]和DMI[1:0]。所以，所有数据线都不能对调。
- RK3399端的DDR0\_ODT0/1、DDR1\_ODT0/1引脚悬空，不用连接到LPDDR4 DRAM。而DRAM端的ODT\_CA必须常拉高到VDDQ，如下图4-12、4-13所示：



图 4-12 LPDDR4 控制器ODT

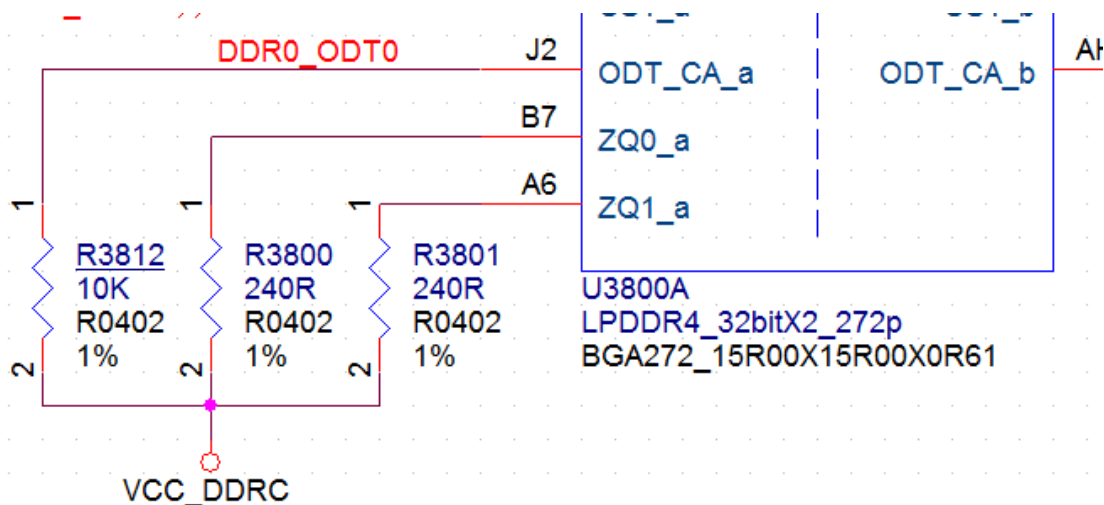


图 4-13 LPDDR4 DRAM的ODT\_CA

LPDDR4 Data具有如图4-14的等效电路:

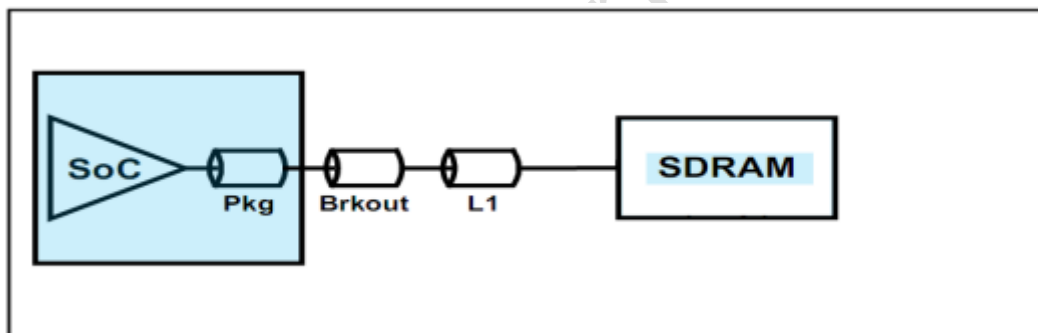


图 4-14 LPDDR4 DATA信号拓扑等效电路

LPDDR4 Data走线要求如表4-5:

表 4-9 RK3399 LPDDR4 Data (DQ/DM/DQS) 走线要求

参数	定义
Signal Group	DQ, DM, DQS
Target Impedance (Z0:DQ; Zdiff: DQS)	DQ: 50 Ohm $\pm$ 10%, DQS: 100 Ohm $\pm$ 10% , DM: 50 Ohm $\pm$ 10%
DQS Routing Trace Width and Spacing within pair	PCB stack-up dependent
DQ Routing Trace Width and Spacing within same Byte Group	Width : PCB stack-up dependent Spacing : $\geq 2$ times the width of the trace
DQS to DQ Spacing within same Byte Group	$\geq 2$ times the width of the trace
Byte Group to Byte Group Spacing, Data to Other Signals Spacing	$\geq 2$ times the width of the trace
Max intra-pair skew of DQS	1ps
Max skew between DQ and DQS	5ps
Note:	
DQ group A include: (DATA0—DATA7, DQM0, DQS0P/ DQS0M)	
DQ group B include: (DATA8—DATA15, DQM1, DQS1P/ DQS1M)	
DQ group C include: (DATA16—DATA23, DQM2, DQS2P/ DQS2M)	

DQ group D include: (DATA24—DATA31, DQM3, DQS3P/ DQS3M)

The 5ps is the max skew inside DQ groups. It is no the requirement between DQ groups.

Because max skew between CLK and DQS is 150ps, so the max skew between DQ groups is 150ps too.

LPDDR4 CLK具有如图4-15的等效电路:

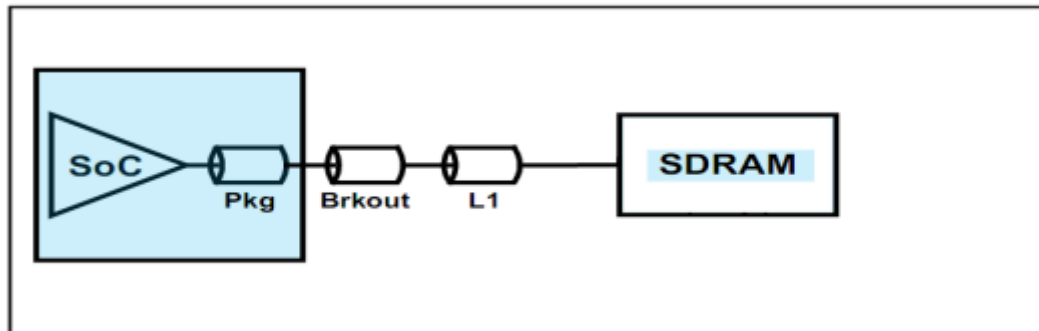


图 4-15 LPDDR4 CLK信号拓扑等效电路

LPDDR4 CLK走线要求如表4-5:

表 4-10 RK3399 LPDDR4 CLK走线要求

参数	定义
Signal Group	CLK
Target Impedance (Diff Z0)	100 Ohm $\pm$ 10%
CLK Routing Trace Width and Spacing within pair	PCB stack-up dependent
CLK Routing Spacing to other Signals	$\geq 2$ times the width of the trace
Max intra-pair skew of CLK	1ps
Max skew between CLK and DQS	150ps

LPDDR4 Control (CSn)具有如图4-16的等效电路:

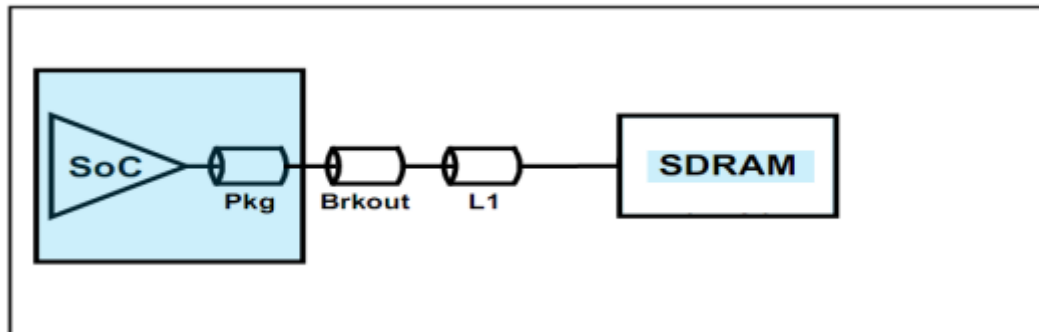


图 4-16 LPDDR4 Control (CSn) 信号拓扑等效电路

LPDDR4 Control (CSn)走线要求如表4-11:

表 4-11 RK3399 LPDDR4 Control (CSn) 走线要求

参数	定义
Signal Group	CS0n, CS1n, CS2n, CS3n
Target Impedance (Z0)	50 Ohm $\pm$ 10%
CSn Routing Trace Width and Spacing within same Byte Group	Width : PCB stack-up dependent Spacing : $\geq 2$ times the width of the trace
Max skew between CSn and CLK	5ps

LPDDR4 Control (CKE)具有如图4-17的等效电路:

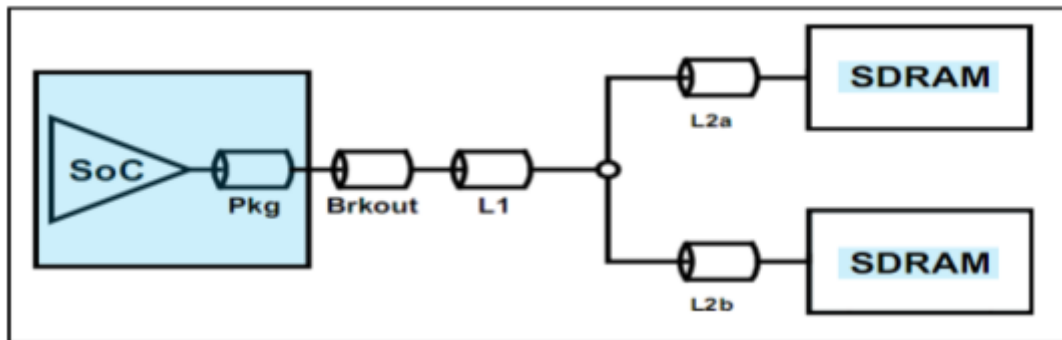


图 4-17 LPDDR4 Control (CKE) 信号拓扑等效电路

LPDDR4 Control (CKE) 走线要求如表4-12:

表 4-12 RK3399 LPDDR4 Control (CKE) 走线要求

参数	定义
Signal Group	CKE0, CKE1
Target Impedance (Z0)	50 Ohm $\pm$ 10%
CKE Routing Trace Width and Spacing within same Byte Group	Width : PCB stack-up dependent Spacing : $\geq 2$ times the width of the trace
Max skew between CKE and CLK	5ps
L2a, L2b	Length match L2a and L2b within 1 ps

LPDDR4 Command具有如图4-18的等效电路:

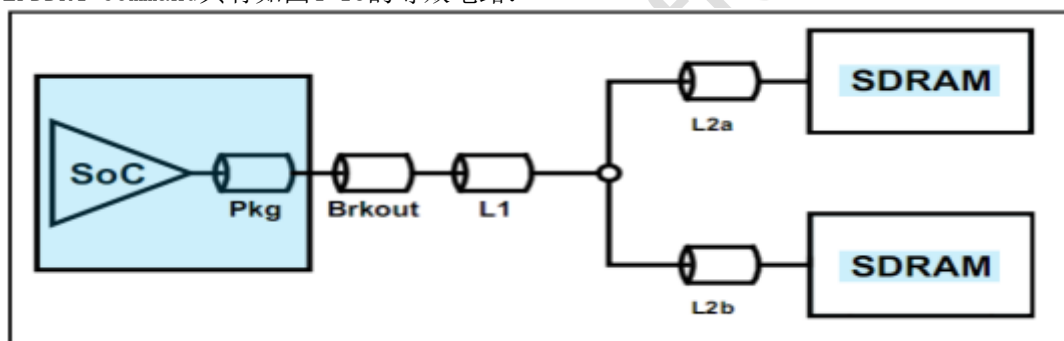


图 4-18 LPDDR4 Command (CMD) 信号拓扑等效电路

LPDDR4 Command走线要求如表4-13:

表 4-13 RK3399 LPDDR4 Command (CMD) 走线要求

参数	定义
Signal Group	LPDDR4_A[0:5]
Target Impedance (Z0)	50 Ohm $\pm$ 10%
CA Routing Trace Width and Spacing	Width : PCB stack-up dependent Spacing : $\geq 2$ times the width of the trace
Max skew between CMD and CLK	5ps
L2a, L2b	length match L2a and L2b within 1 ps

### 4.2.3 EMMC设计

EMMC V5.1相比V4.5增加了支持HS400总线模式（高速双边沿采样接口），该模式下时钟频率200MHz，数据传输率为400MB/s。相比EMMC V4.5的，eMMC颗粒上增加了emmc-strobe信号，信号频率200MHz。

在RK3399对eMMC颗粒写数据，即颗粒进行写操作时，数据emmc-data参考时钟emmc-clk。时钟可以不与数据做等长，因为控制器可以通过Timing Tuning调节。

在RK3399对eMMC颗粒读数据，即颗粒进行读操作时，数据emmc-data参考时钟emmc-strobe。时钟必须与数据做等长，因为颗粒不支持tuning调节。

eMMC走线要求如下，如图4-19、图4-20所示：

- Data[0:7]、cmd、strobe走线做为一组，并行走线并整组包地，组内等长要求为 $\pm 100\text{mil}$ ；

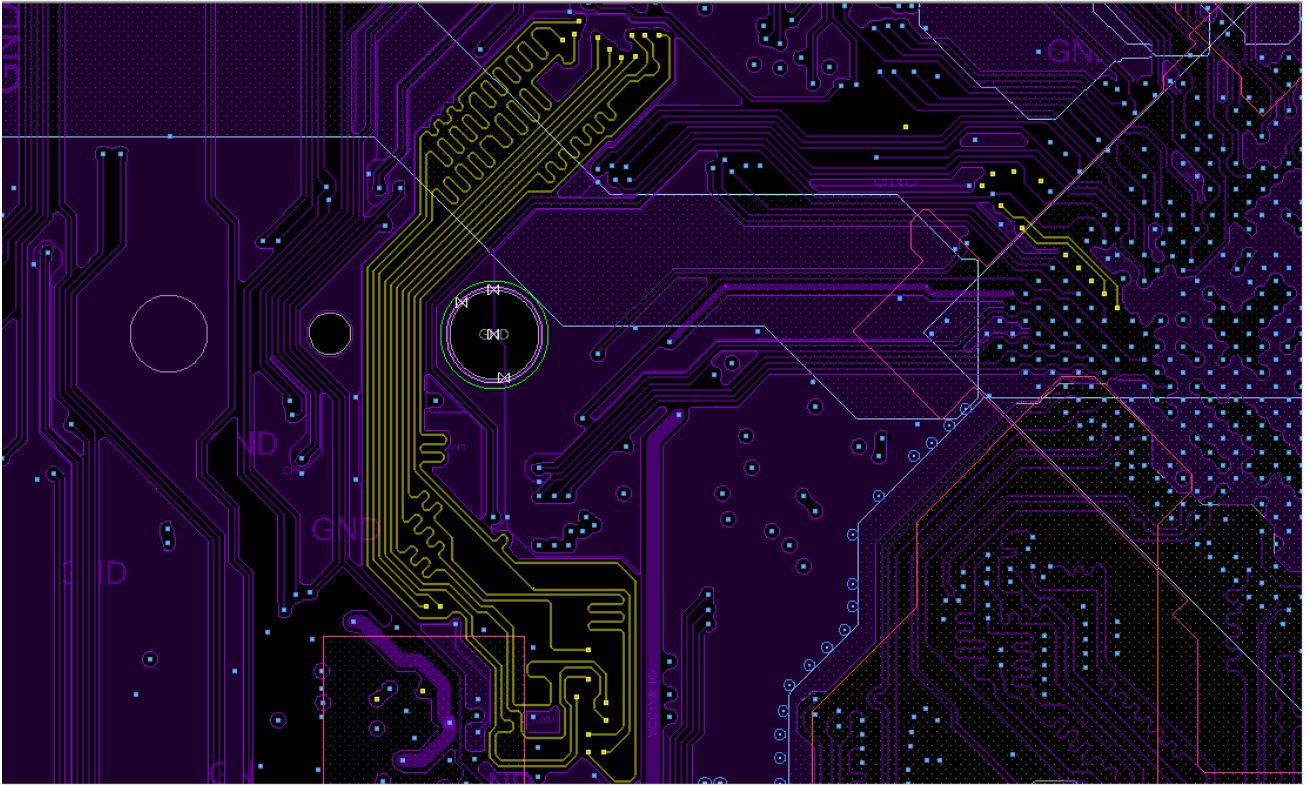
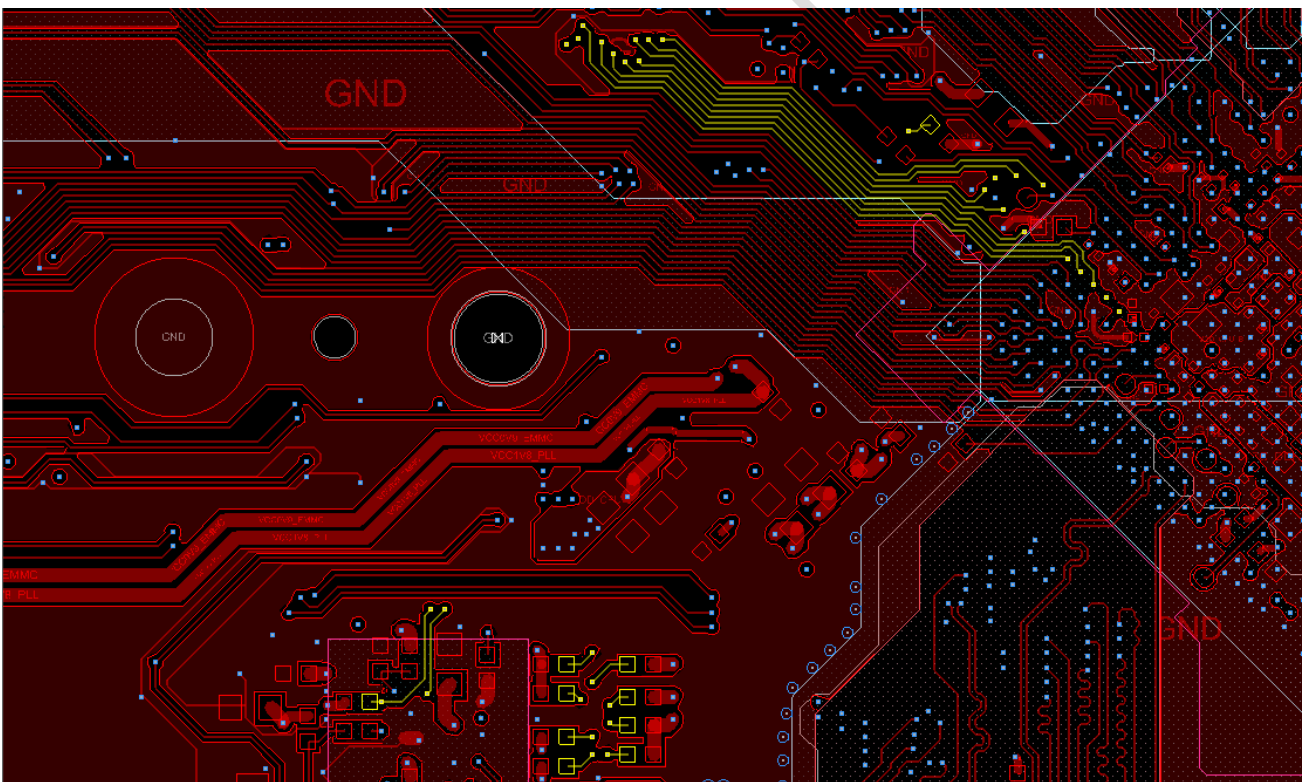


图 4-19 eMMC 走线 (L4 view)





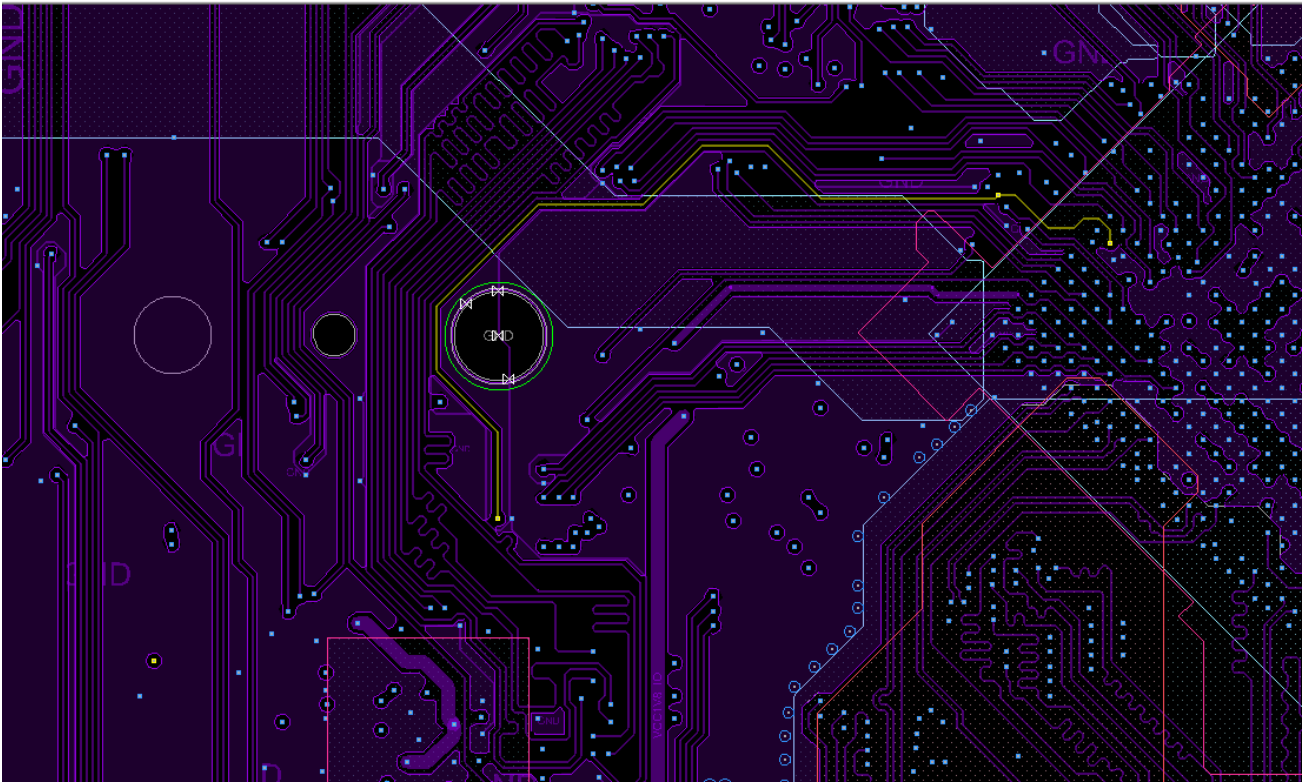


图 4-21 eMMC CLK走线 (L4 view)

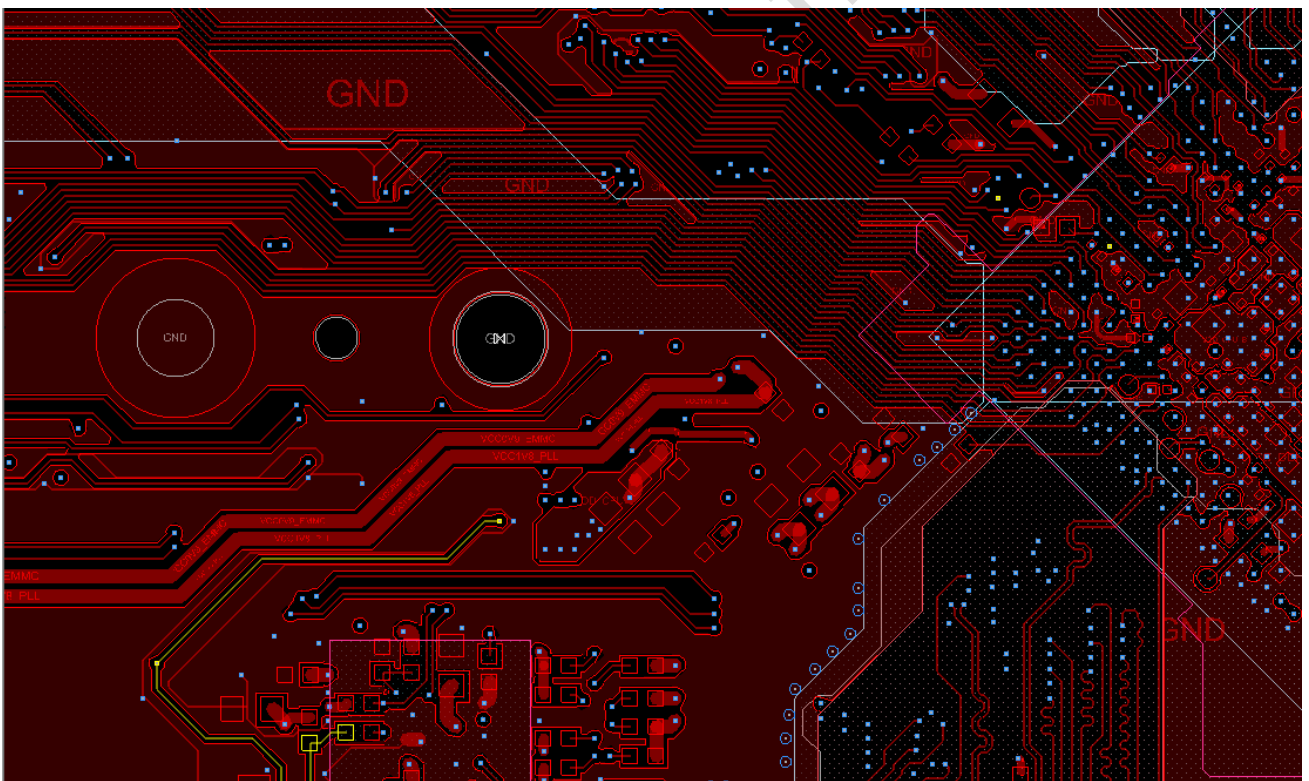


图 4-22 eMMC CLK走线 (Bottom view)

- EMMC-strobe预留的下拉电阻, 靠近RK3399放置;

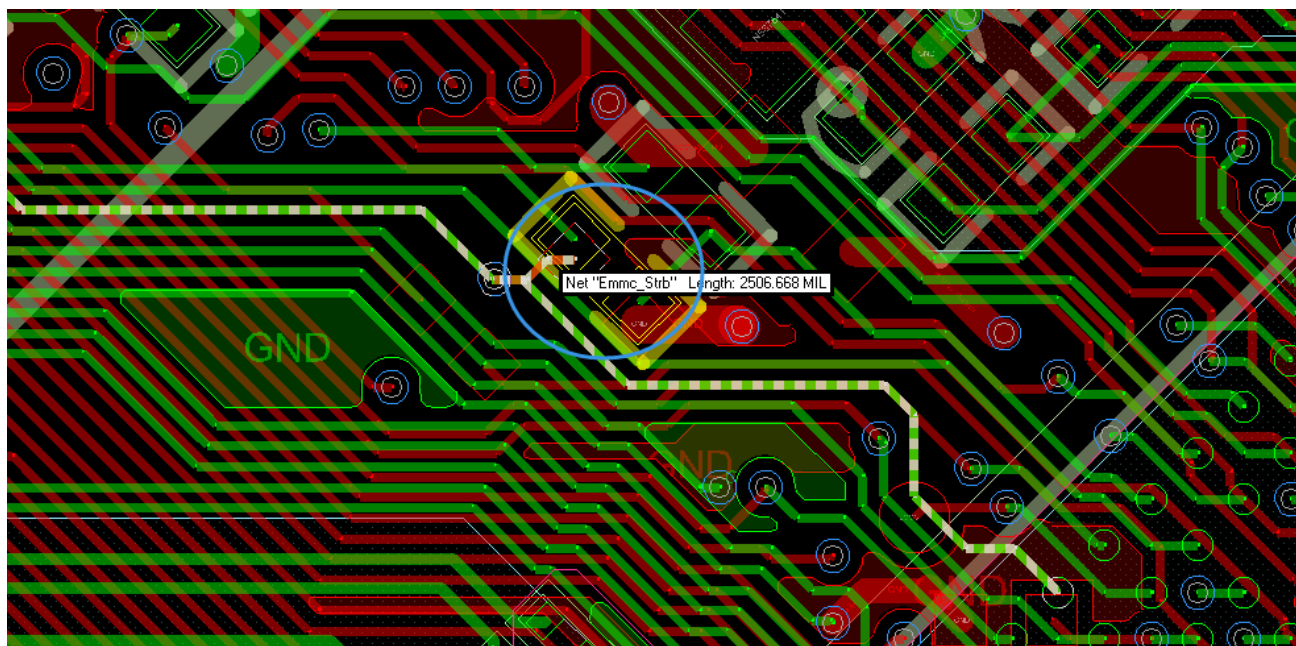


图 4-23 eMMC Strobe电阻

EMMC 线路要求如表4-14:

表 4-14 RK3399 eMMC走线要求

参数	要求
Trace Impedance	50 $\Omega$ $\pm 10\%$ single ended
Max skew between data signal and clock	<20ps
Max trace length	<3.93inchs
The minimum spacing of EMMC Signals	At least 2 times the width of EMMC trace.
The minimum spacing between EMMC and other Signals	At least 3 times the width of EMMC trace.

#### 4.2.4 PCIe设计

RK3399的PCIe走线要求如下:

- PCIe的TXn[0:3]、RXn[0:3]可以根据产品的实际出线, 调整差分对间线序, 如RK3399的TX0连接到卡座的TX2; 但差分对内的P/N不可对调;
- AC耦合电容请靠近PCIe连接座放置;
- AC耦合电容建议使用0201封装, 可以减少线路上的阻抗变化;
- PCIe信号建议并行走线, 信号间不要有其他信号走线以及过孔;
- 在PCB表层走线请注意用地线做整组包地处理; 差分对之间不需要伴随地走线;



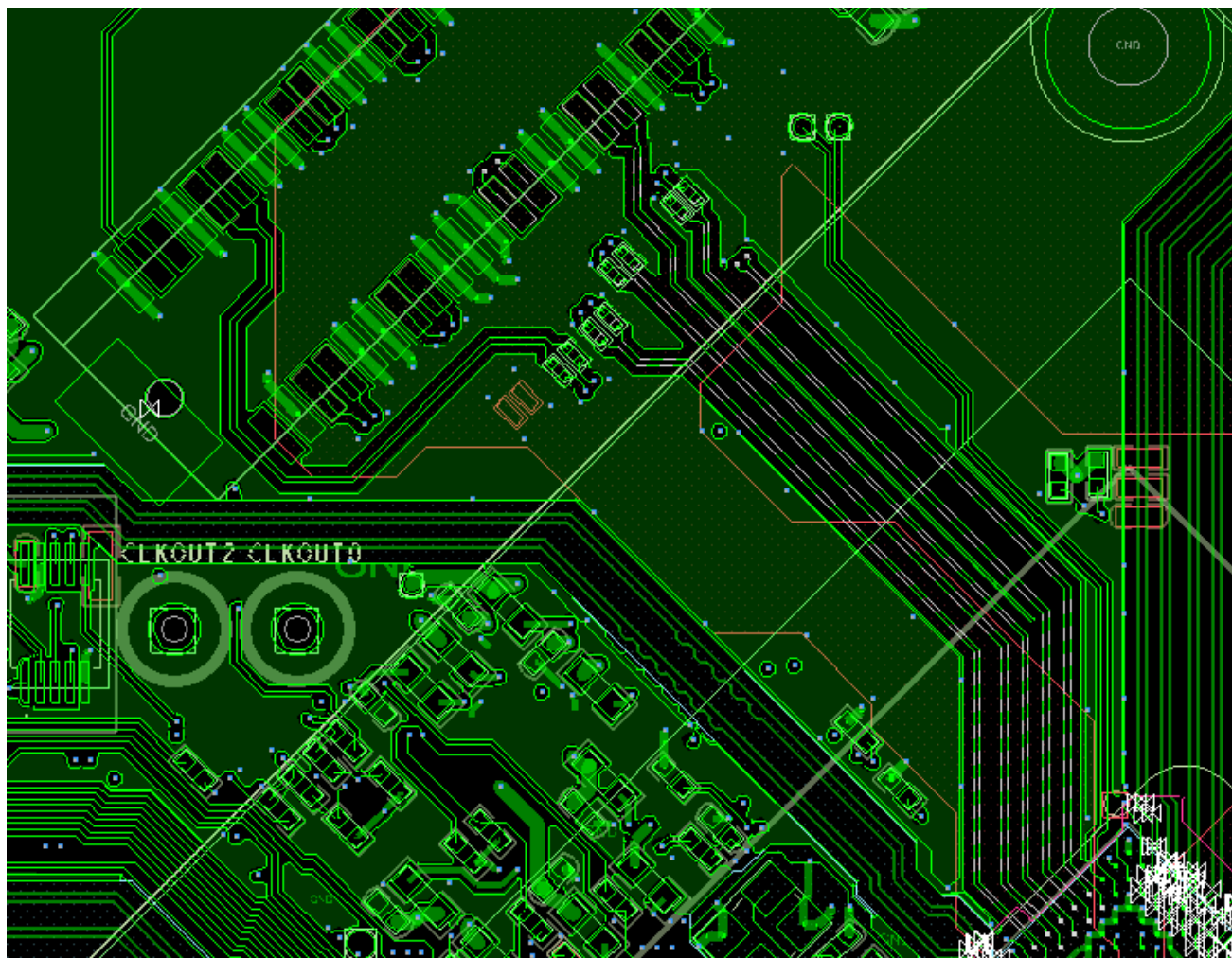


图 4-24 PCIe 走线要求

- TX和RX的差分对间是有lane-to-lane de-skew, 所以不严格要求等长, 可以通过tuning来实现;  
PCIe 线路要求如表4-15:

表 4-15 RK3399 PCIe线路要求

参数	要求
Trace Impedance	100 $\Omega$ $\pm$ 10% differential
Max intra-pair skew	<4ps
Max inter-pair skew	<1.6ns
Maximum signal line length (coupled traces) TX and RX	<14 inches
AC coupling capacitors	100nF $\pm$ 20%, discrete 0201 package preferable
Minimum pair to pair spacing	>3 times the width of the trace. Try to increase Spacing between pairs whenever it is possible.
Length matching between reference clock differential pairs REFCLK+ and REFCLK- (intra-pair)	<4ps
The minimum spacing between PCIE and other Signals	At least 3 times the width of PCIE trace
Maximum allowed via	4

#### 4.2.5 USB 2.0设计

USB 2.0走线要求如下:

- ESD器件靠近USB连接座放置;

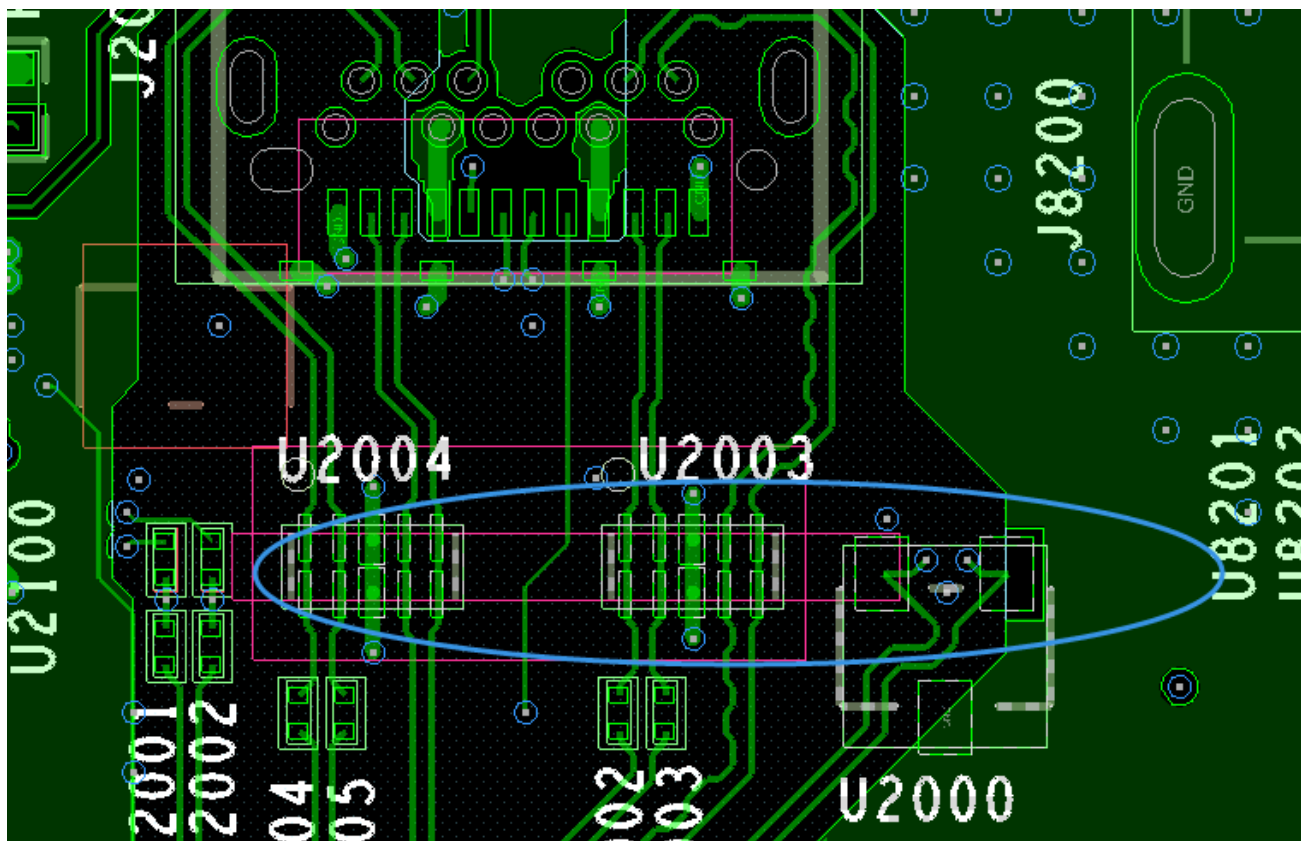


图 4 - 25 USB ESD放置

- USB接口应尽量靠近芯片放置，以缩短走线距离；
- USB的信号走线必须严格遵循差分规则要求走线。走线拐角尽量用弧线或者钝角，不能为直角或锐角，如图4-26；

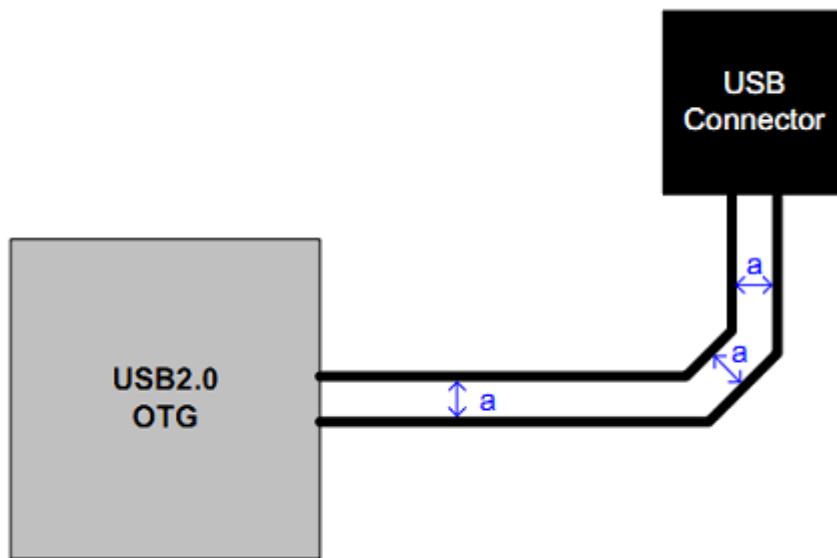


图 4 - 26 USB 走线差分要求

- 为抑制电磁辐射，USB建议在内层走线，并保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并增加外部噪声对差分线的影响，如图4-27；

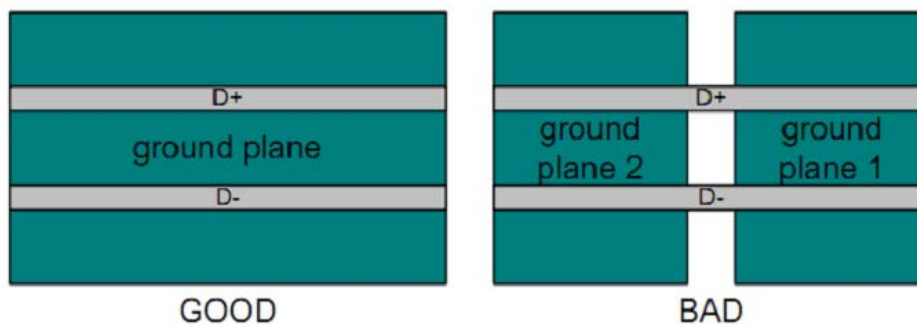


图 4-27 USB 走线参考平面要求

- USB走线与其他信号需保持至少3W以上的间距，如图4-28所示；

#### Minimizing Crosstalk Between Signal Traces

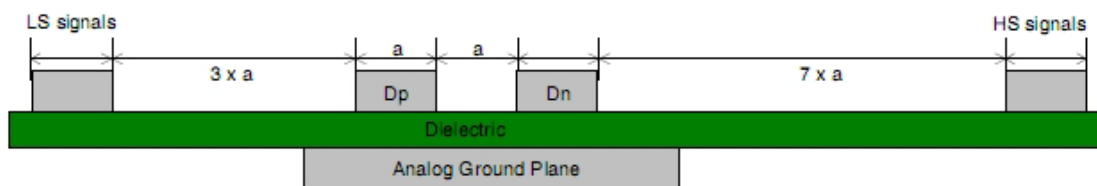


图 4-28 USB 走线间距要求

- 走线中应该尽可能的减少换层过孔，因为过孔会造成线路阻抗的不连续；
- USB 2.0规范定义的电流为500mA，但是VBUS走线最好能承受1A的电流，防止过流。如果是在使用USB充电的情况下，VBUS走线需能承受2.5A的电流；

USB2.0 线路要求如表4-16：

表 4-16 RK3399 USB2.0走线要求

参数	要求
Trace Impedance	90 $\Omega$ $\pm 10\%$ differential
Max intra-pair skew	<4ps
Max trace length on carrier board	<6 inches
Maximum allowed via	6

#### 4.2.6 USB 3.0设计

USB 3.0走线基本参考《4.2.5 USB2.0设计》，另外请注意：

- USB 3.0工作模式为全双工，所以差分对SS\_TX和SS\_RX之间不需要做等长处理；
- USB 3.0协议要求在SS\_TX线上增加100nF交流耦合电容（AC coupling capacitors），请对称放置电容并靠近USB连接座；

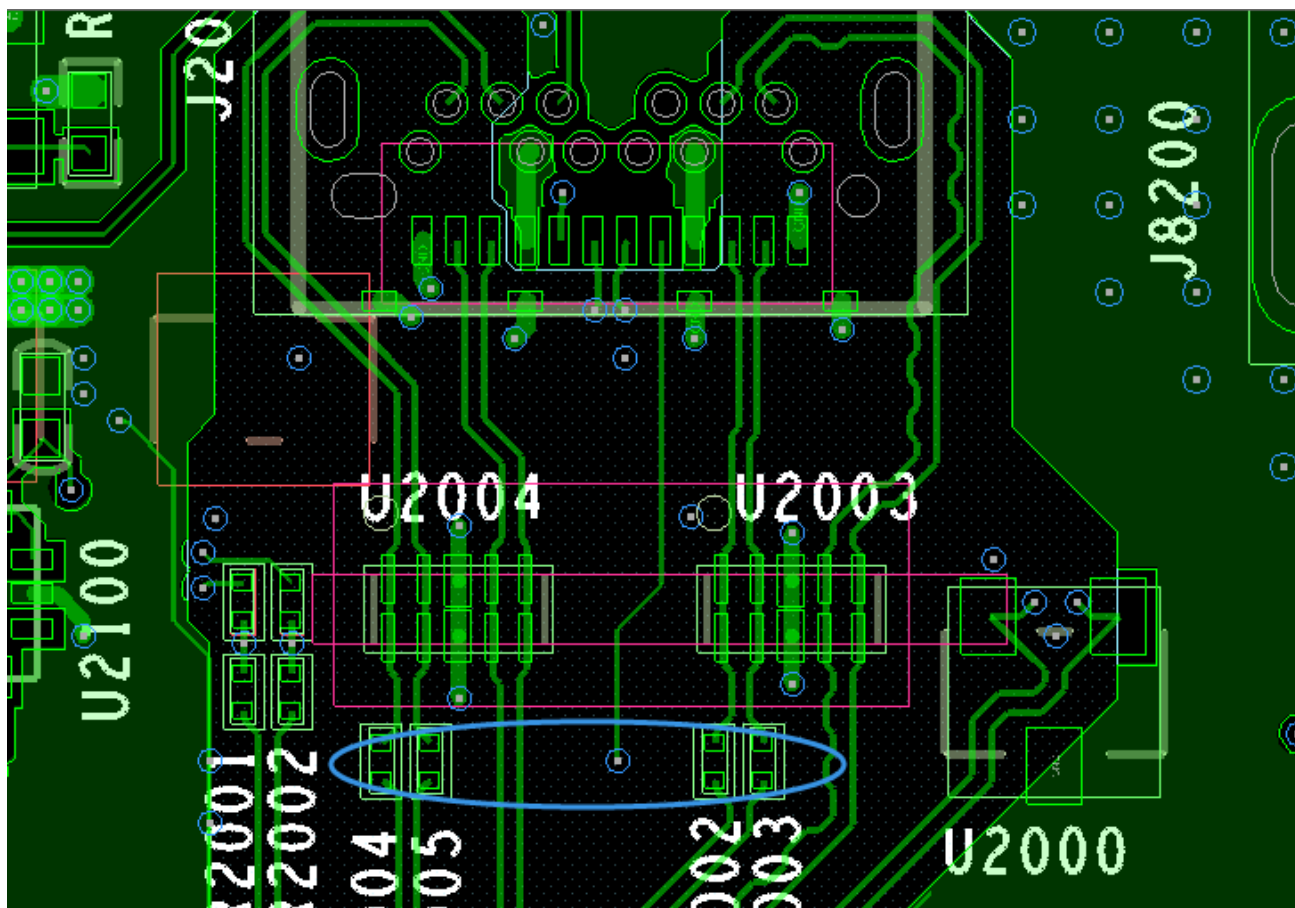


图 4 - 29 USB 走线TX耦合电容放置要求1

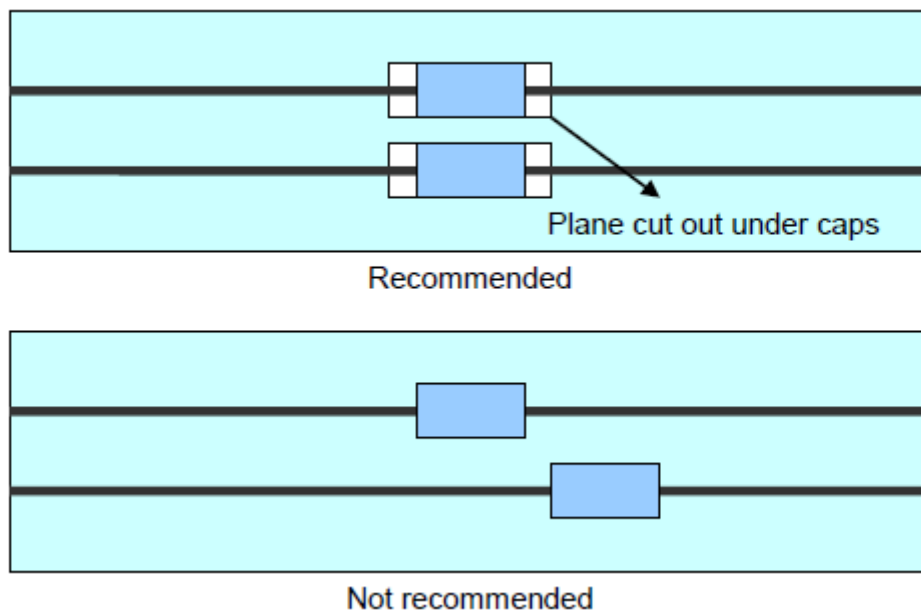


图 4 - 30 USB 走线TX耦合电容放置要求2

- SS\_TX和SS\_RX信号请严格按照差分对要求走线，保持走线间距一致，以保证走线阻抗的连续性；

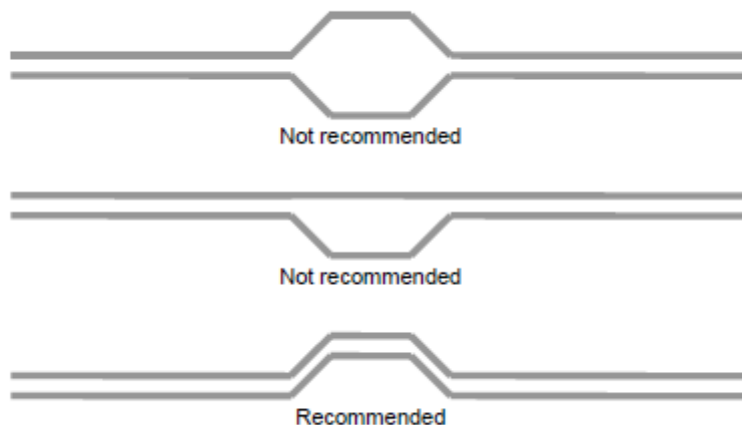


图 4-31 USB 走线差分要求

- SS\_TX和SS\_RX信号在设置走线的延时时，请尽量靠近源端：即SS\_RX信号靠近USB连接座，而SS\_TX信号靠近RK3399。

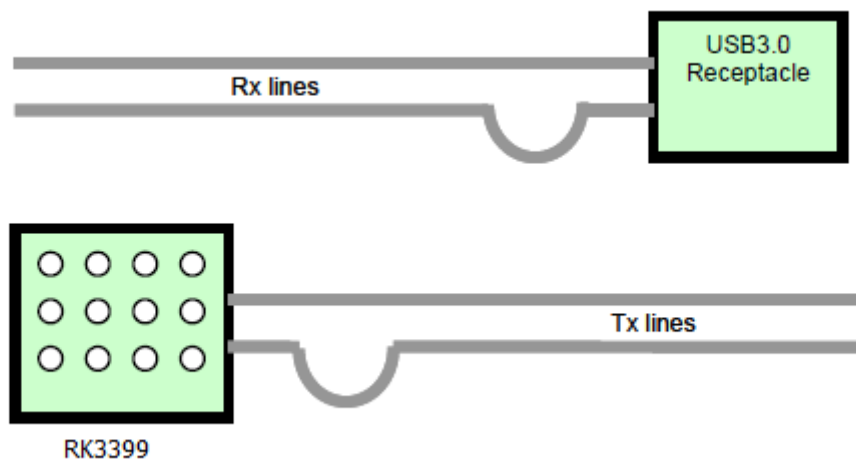


图 4-32 USB 走线delay要求1

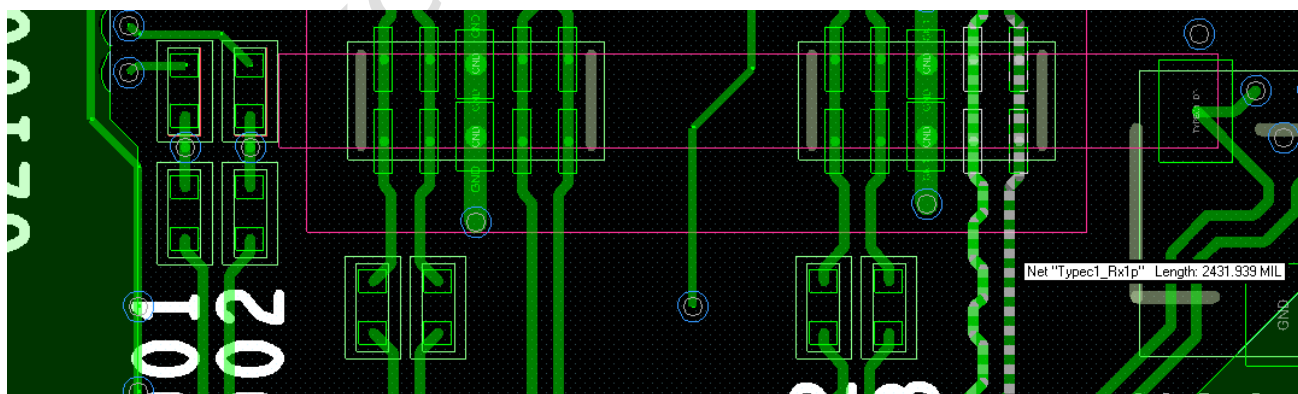


图 4-33 USB 走线delay要求2

- 为抑制电磁辐射，USB信号建议PCB内层走线，并保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并引入外部噪声对的影响。如在PCB表层走线，请注意用地线做整组包地处理；差分对之间不需要伴随地走线；

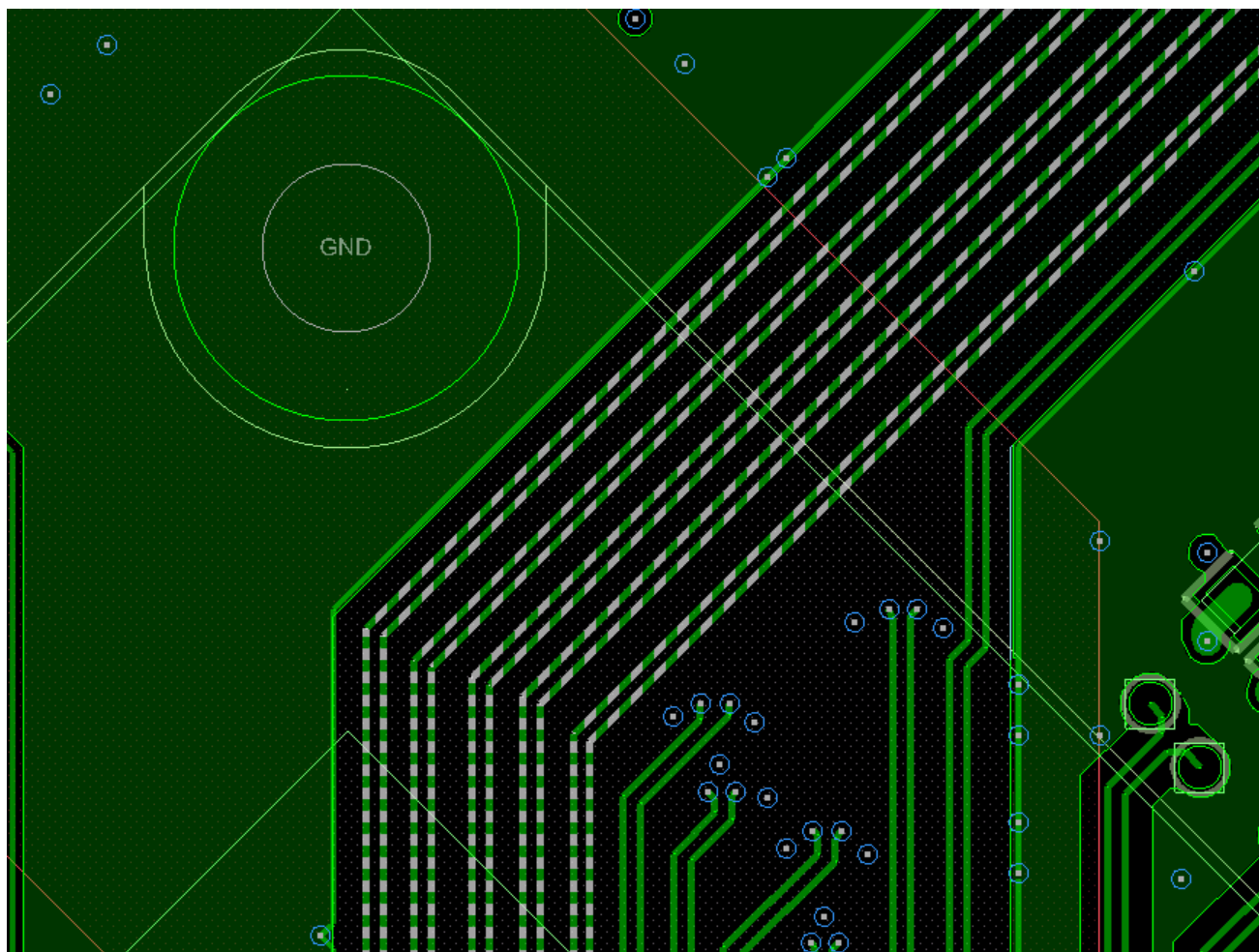


图 4-34 USB 走线走线包地要求

USB3.0 线路要求如表4-17:

表 4-17 RK3399 USB3.0走线要求

参数	要求
Trace Impedance	90Ω ±10% differential
Max intra-pair skew	<4ps
Max trace length skew between RX and TX data pairs	<1.6ns
Max trace length on carrier board	<6inchs
AC coupling capacitors	100nF ±20%, discrete 0201 package preferable
Minimum pair to pair spacing	>3 times the width of the trace. Try to increase Spacing between pairs whenever it is possible.
The minimum spacing between USB and other Signals	At least 3 times the width of USB trace.
Maximum allowed via	4

#### 4.2.7 HDMI设计

HDMI走线请注意:

- HDMI TX信号的参考时钟为HDMI TXC, 所以包括时钟在内的四组差分对都需要做等长处理;
- ESD器件靠近HDMI连接座放置;



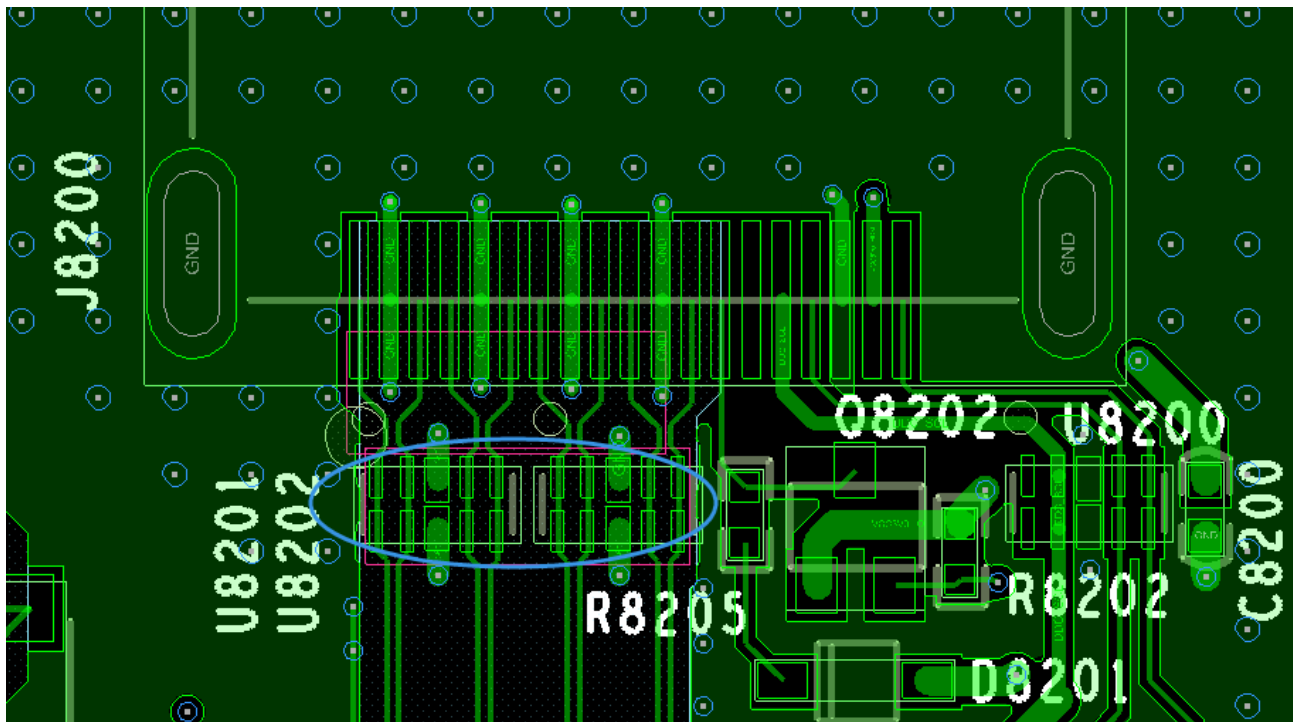


图 4-35 HDMI ESD放置要求

- HDMI信号需要保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并引入外部噪声对的影响。在PCB表层走线请注意用地线做整组包地处理；差分对之间不需要伴随地走线；

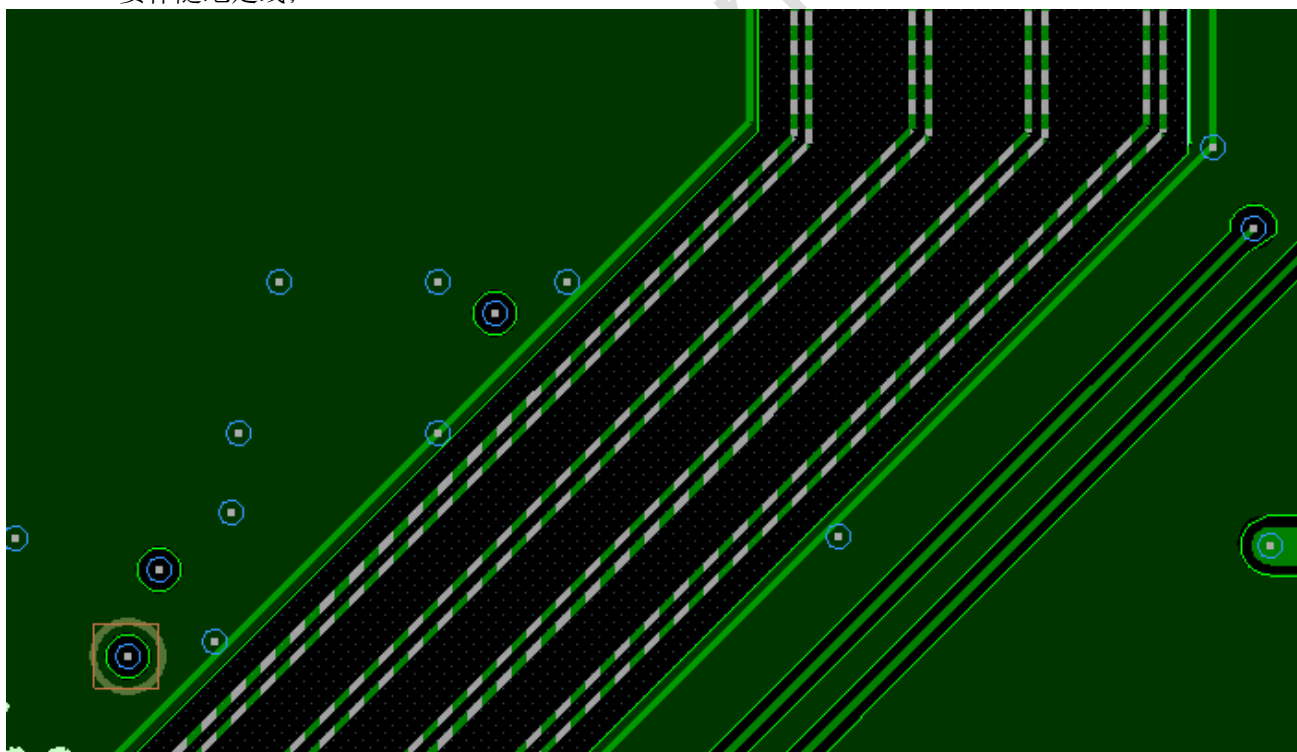


图 4-36 HDMI 走线包地要求

- 使用带屏蔽层的HDMI线缆，能有效改善EMI问题；
- RK3399的HDMI信号可以直接顺序扇出到HDMI连接座，走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续；如果因为模具结构无法避免换层，建议将换层的阻抗变化控制在10%以内，并在每对换层的差分对旁边就近安排一个GND过孔用于信号回流路径的换层；

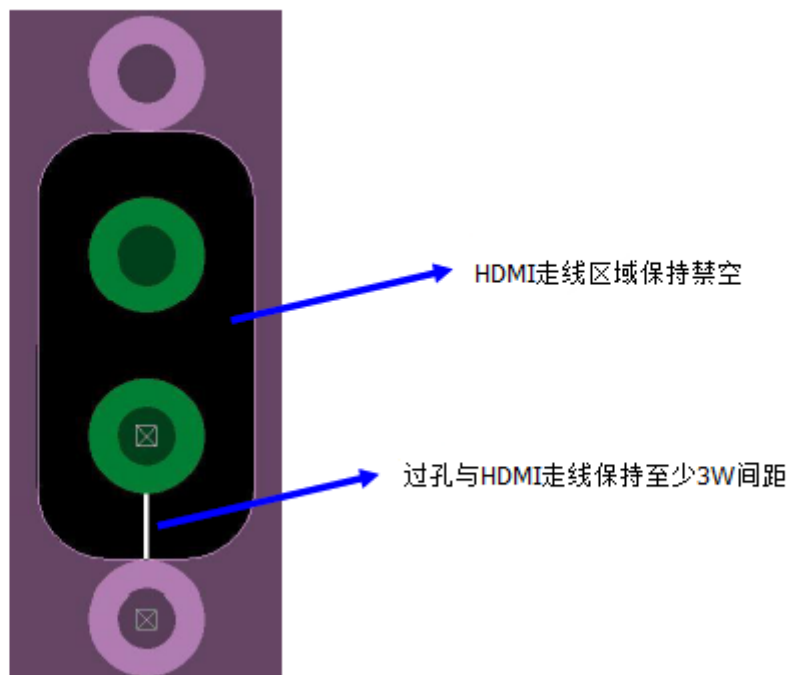


图 4 - 37 HDMI 走线间距要求

HDMI 线路要求如表4-18:

表 4 - 18 RK3399 HDMI走线要求

参数	要求
Trace Impedance	100Ω ±10%
Max intra-pair skew	<4ps
Max trace length skew between clock and data pairs	<80ps
Max trace length on carrier board	<9.8 inches
Minimum pair to pair spacing	>3 times the width of the trace. Try to increase Spacing between pairs whenever it is possible
The minimum spacing between HDMI and other Signals	At least 3 times the width of HDMI trace
Maximum allowed via	4

#### 4.2.8 eDP设计

eDP走线请注意:

- eDP信号的参考时钟内建在数据中，在接收端还原出时钟信号，所以四组数据差分对组间不做等长，只需要做组内等长处理；
- eDP数据通道输出耦合电容需靠近RK3399输出端；



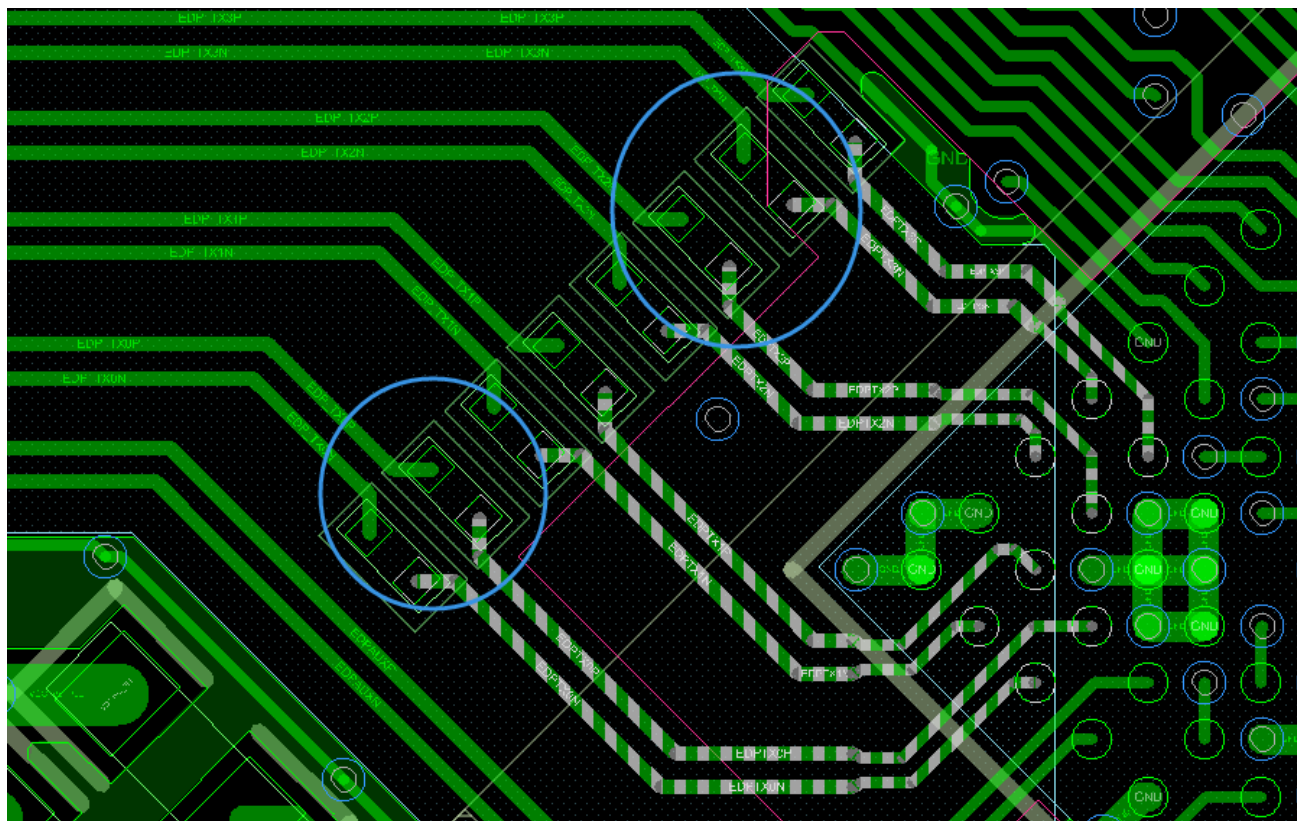


图 4-38 eDP 耦合电容放置要求

- 为抑制电磁辐射，eDP信号建议PCB内层走线，并保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并引入外部噪声对的影响。如在PCB表层走线，请注意用地线做包地处理；差分对之间不需要伴随地走线；

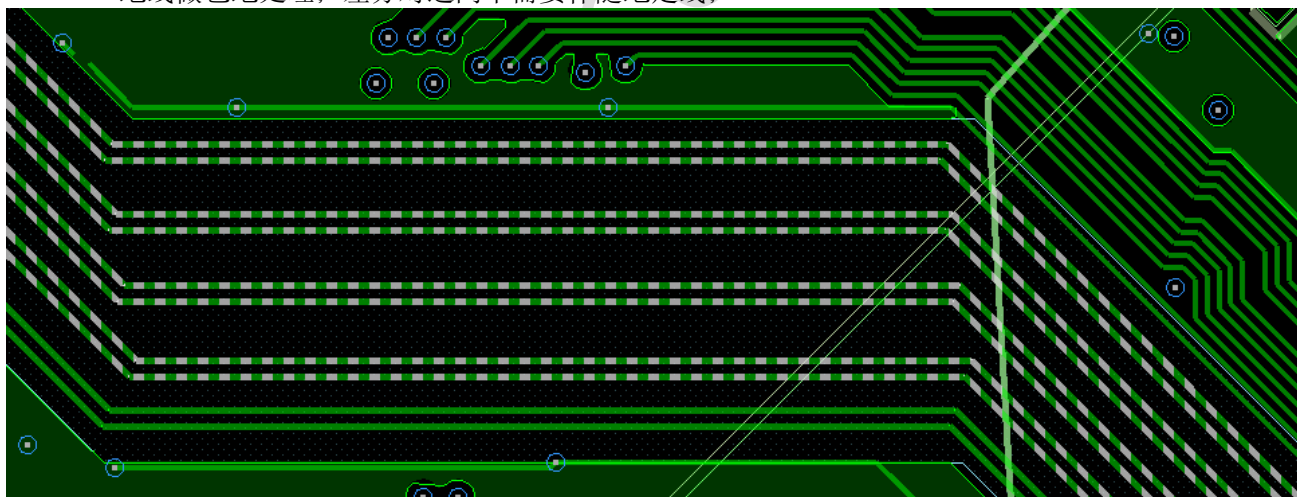


图 4-39 eDP 走线要求

eDP线路要求如表4-19:

表 4-19 RK3399 eDP走线要求

参数	要求
Trace Impedance	100Ω ±10% differential
Max intra-pair skew	<4ps
Max trace length on carrier board	<6inch
Minimum pair to pair spacing	>3 times the width of the trace. Try to increase Spacing between pairs whenever it is possible.
AC coupling capacitors	100nF ±20%, discrete 0201 package preferable
The minimum spacing between EDP and other Signals	At least 3 times the width of EDP trace.

Maximum allowed via	4
---------------------	---

#### 4.2.9 DP设计

DP设计基本参考《4.2.6 USB3.0设计》，另外请注意：

- DP信号的参考时钟内建在数据中，在接收端还原出时钟信号，所以四组数据差分对组间不做等长，只需要做组内等长处理；
- DP数据通道输出耦合电容需靠近RK3399输出端；
- 为抑制电磁辐射，DP信号建议PCB内层走线，并保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并引入外部噪声对的影响。如在PCB表层走线，请注意用地线做包地处理；差分对之间不需要伴随地走线；
- 当USB3.0做为DP模式直接输出时，DP差分信号阻抗为100ohm；当USB3.0做为Type-C模式输出时，为了与USB3.0协议保持兼容，DP差分信号阻抗设置为90ohm；

DP 线路要求如表4-20：

表 4 - 20 RK3399 DP走线要求

参数	要求
Trace Impedance	100 $\Omega$ $\pm$ 10% differential (DP default output) 90 $\Omega$ $\pm$ 10% differential (Type-C Alternate Mode)
Max intra-pair skew	<4ps
Max trace length on carrier board	<6inch
Minimum pair to pair spacing	>3 times the width of the trace. Try to increase Spacing between pairs whenever it is possible.
AC coupling capacitors	100nF $\pm$ 20%, discrete 0201 package preferable
The minimum spacing between EDP and other Signals	At least 3 times the width of EDP trace.
Maximum allowed via	4

#### 4.2.10 MIPI设计

MIPI走线请注意：

- 为抑制电磁辐射，MIPI信号建议PCB内层走线，并保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并引入外部噪声对的影响。如在PCB表层走线，请注意用地线做包地处理；差分对之间不需要伴随地走线；
- MIPI信号在设置走线的延时，请尽量靠近RK3399端；

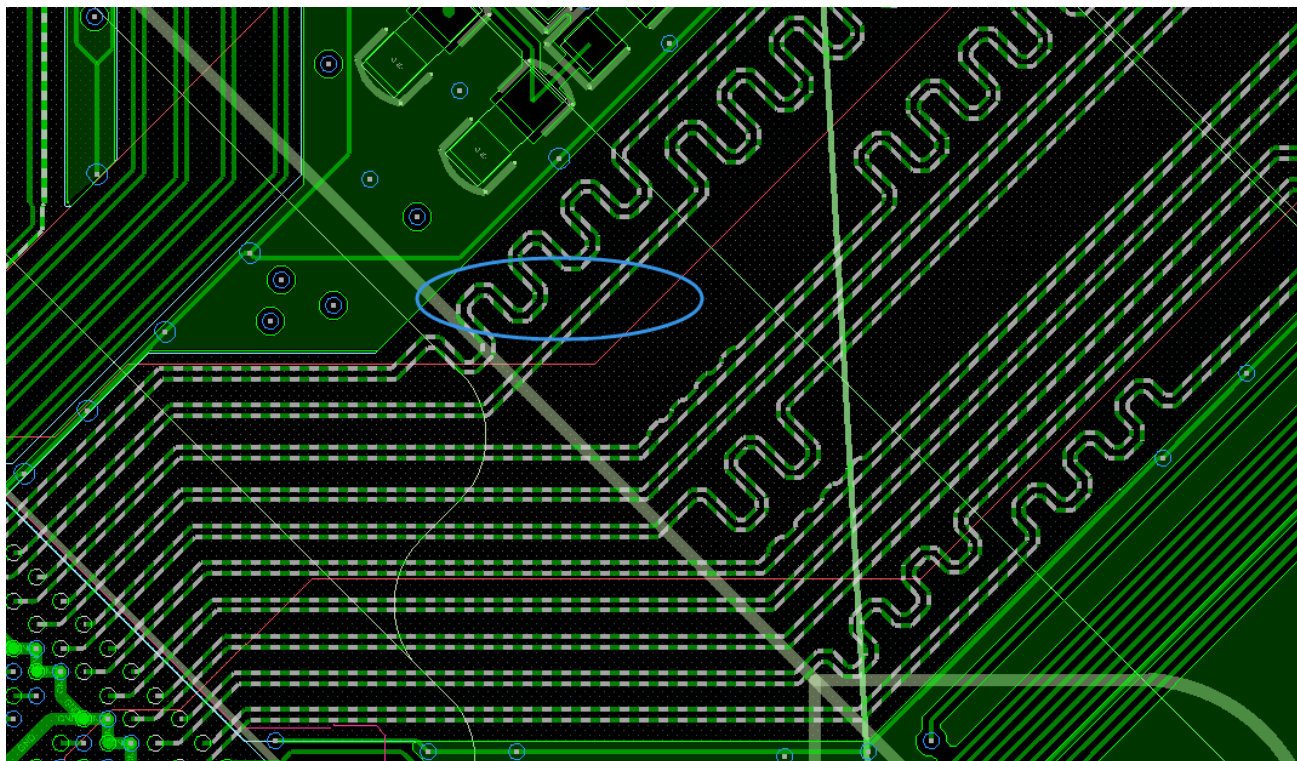


图 4 - 40 MIPI 走线要求

MIPI 线路要求如表4-21:

表 4 - 21 RK3399 MIPI走线要求

参数	要求
Trace Impedance	100 $\Omega$ $\pm$ 10% differential
Max intra-pair skew	<4ps
Max trace length skew between clock and data pairs	<7ps
Max trace length	<7.2inch
Maximum allowed via	Minimize the number of via in each lane
Minimum pair to pair spacing	>3 times the width of the trace. Try to increase Spacing between pairs whenever it is possible.
The minimum spacing between Mipi and other Signals	At least 3 times the width of Mipi trace.

#### 4.2.11 SDIO/SDMMC设计

SDIO/SDMMC走线请注意:

- CLK单独走线，并做包地处理；DATA走线间距遵守3W规则；并保证走线的参考面是一个连续完整的参考面，不被分割；

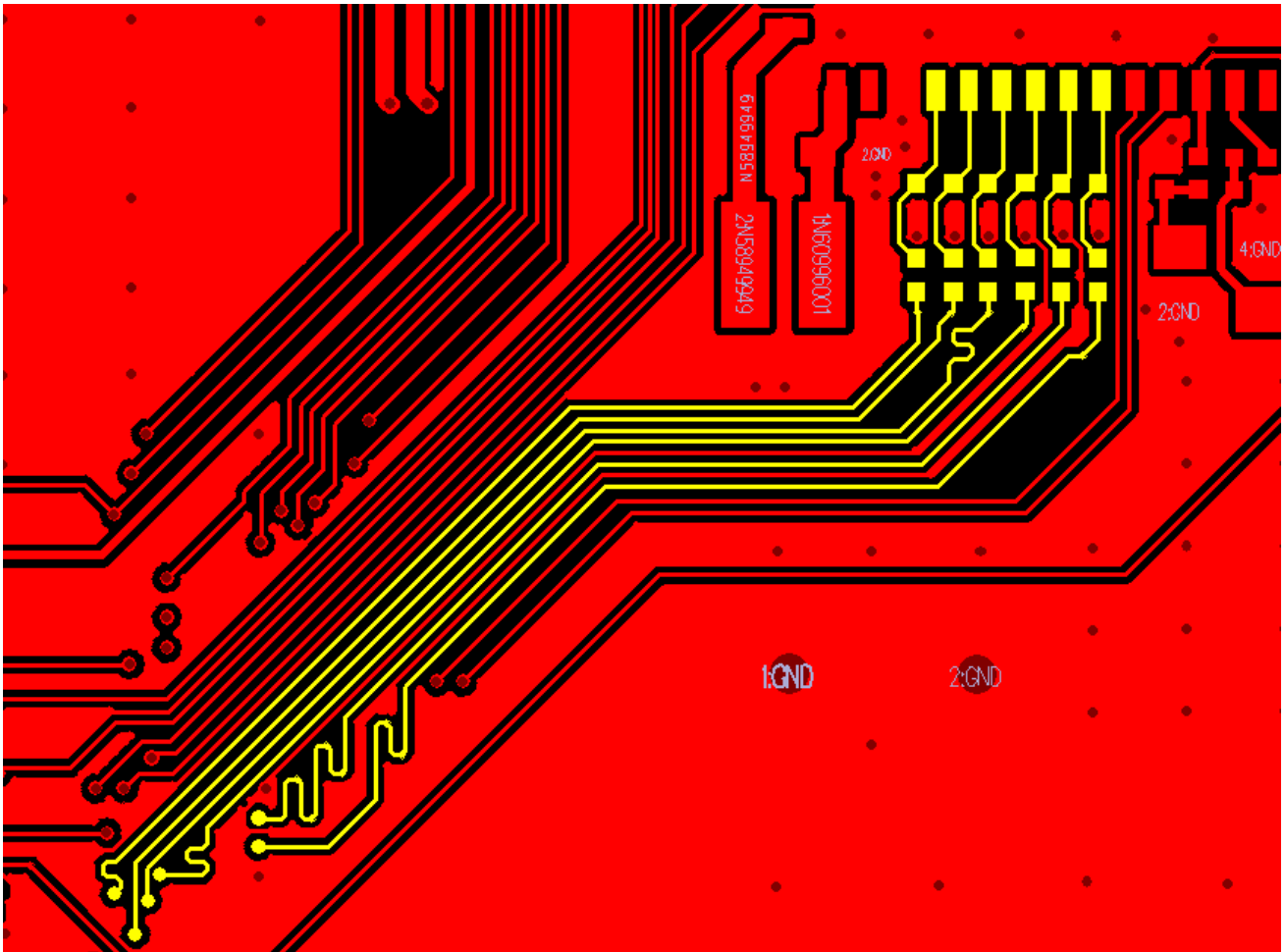


图 4 - 41 SDIO/SDMMC 走线要求



图 4 - 42 SDIO/SDMMC 走线隔离

- 负载电容包括SD卡负载电容以及PCB负载电容两部分，其中SD卡的负载电容协议规定应该是小于10pF；

- 3.0V operation: 50 MHz with 40pF
- 1.8V operation: 208 MHz with 21pF

图 4 - 43 SDMMC负载电容要求

3. Card capacitance range is defined as follows:

Capacitance	Min	Max	Units	Notes
$C_{CARD} (C_{DIE} + C_{PKG})$	5	10	pF	---

Table 6-10 : Card Capacitance Range

图 4 - 44 SD卡负载电容

SDIO/SDMMC 线路要求如表4-22:

表 4 - 22 RK3399 SDIO/SDMMC走线要求

参数	要求
Trace Impedance	50 $\Omega$ $\pm 10\%$ single ended
Max skew between data signal and clock	<20ps
Max trace length	<3.93 inches
The minimum spacing of SDIO Signals	At least 2 times the width of SDIO trace.

#### 4.2.12 MAC设计

- PHY越靠近RK3399, EMI效果会越好, 即RGII走线越短EMI效果越好, 必须小于15cm。
- 下图串接电阻要靠近PHY放置, 改善EMI。
  - MAC\_RXCLK必须包地处理。
  - 下图中的其它信号间距要满足3W布线原则。
  - RXD[0:3], RXCLK, RXDV走线要等长处理, 整条相差小于100mil, 走线要尽量短, 整条长度要小于15CM。
  - 要有完整的参考面, 不能和其它信号线直接平行布线。

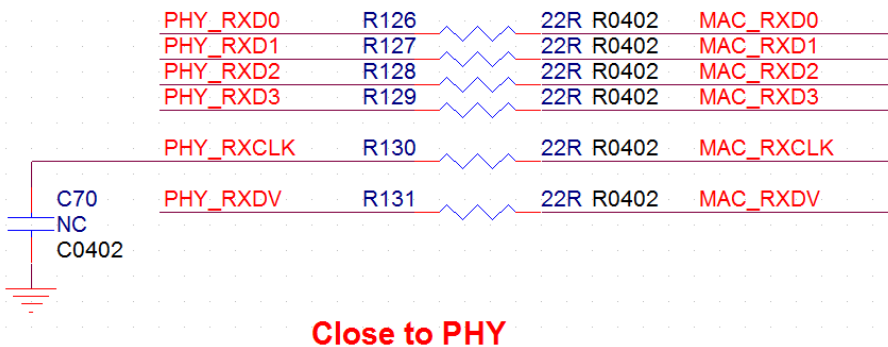


图 4 - 45 MAC RX串联匹配电阻

- 下图串联匹配电阻要靠近RK3399放置:
  - 为改善EMI, PHY\_TXCLK必须包地处理;
  - 其它信号间距要满足3W布线原则;
  - TXD[0:3], TXCLK, TXEN走线要等长处理, 整条相差小于100mil, 走线要尽量短, 整条长度要小于15CM;
  - 要有完整的参考面, 不能和其它信号线直接平行布线;





- 
- Timing diagram showing MAC\_CLK, R101, R102, PHY\_XTAL1, and PHY\_CLKOUT125. A green oval highlights the period between R101 and R102, which is labeled 22R R0402.

图 4-47 MAC CLK分支电阻

- 
- VCC3V3\_LAN
- VCC\_1V8
- C1801  
100nF
- C0201  
X5R  
10V
- C1802  
100nF
- C0201  
X5R  
10V
- R1811  
10K
- R0402  
5%
- DNP

Note: All the Power filter capacitors should be placed close to the power pins of RK3399

图 4-48 MAC 模块电源去耦电容

## 4.3 RF 信号 PCB 设计建议

### 4.3.1 WIFI/BT设计

WIFI模组通过SDIO与RK3399芯片通讯，BT模组通过UART、PCM接口与RK3399芯片通讯。

在产品布局时，请注意WIFI/BT模组远离DDR、HDMI、USB等其他高速信号走线及连接座；模块的晶体时钟要靠近模块放置，避免长的时钟布线，引入干扰；晶体下方投影区域禁止其他信号走线。

RK3399支持SDIO3.0，最高支持208MHz时钟频率，因此SDIO信号在PCB layout上要注意避免干扰，保持一致性。如下图4-49所示高亮黄色部分是SDIO布线，PCB布线要保持参考层的完整性（相邻层要保持是同一个平面），避免一些电源等其他信号的干扰，且与同一层的其他线有GND隔离。CLK单独走线，并做包地处理；DATA走线间距遵守3W规则；

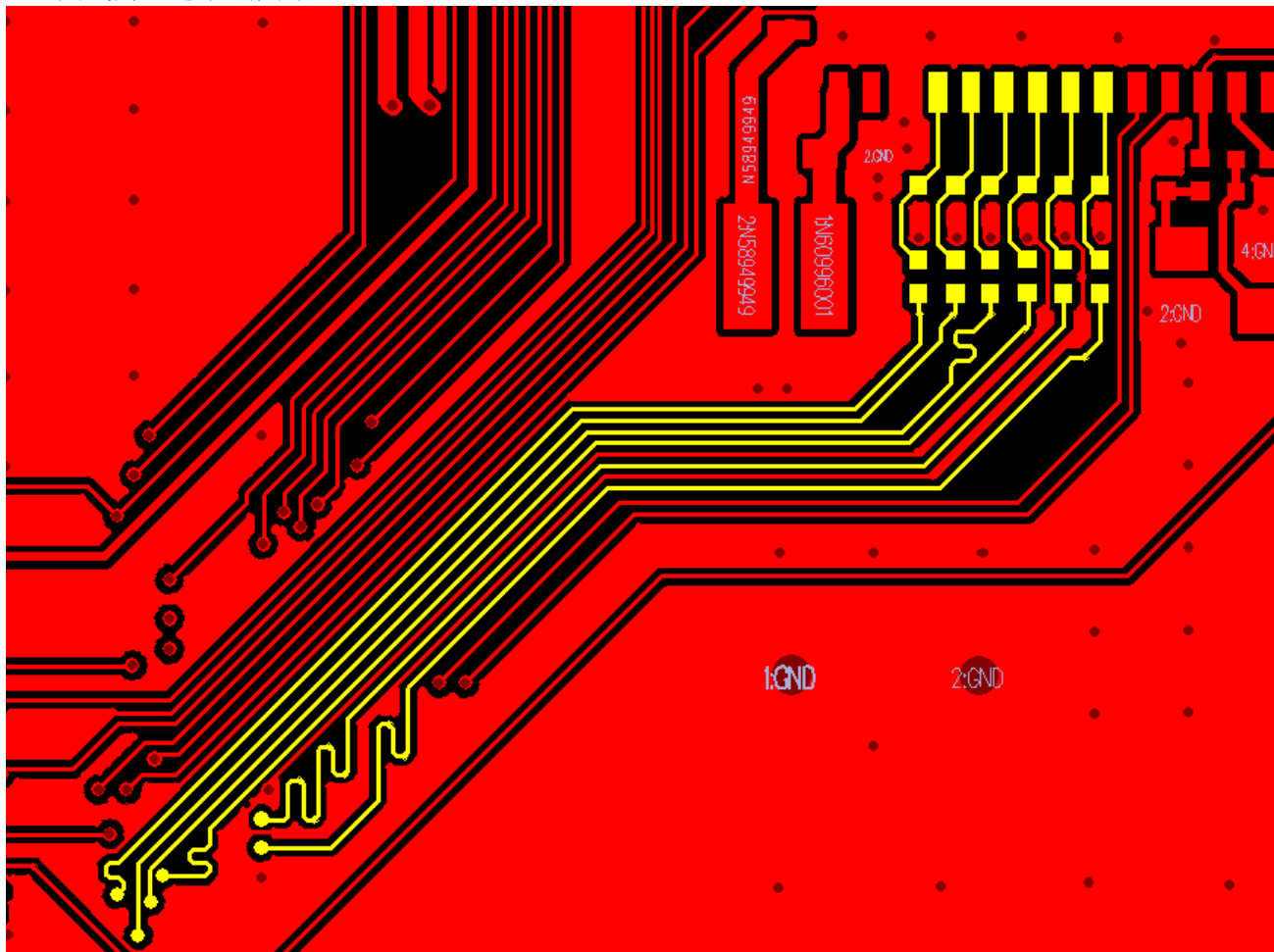


图 4 - 49 WIFI SDIO走线

BT与RK3399芯片是通过UART interface (up to 4Mbps) 通讯，UART的PCBlayout也尽量保持参考层的完整性。





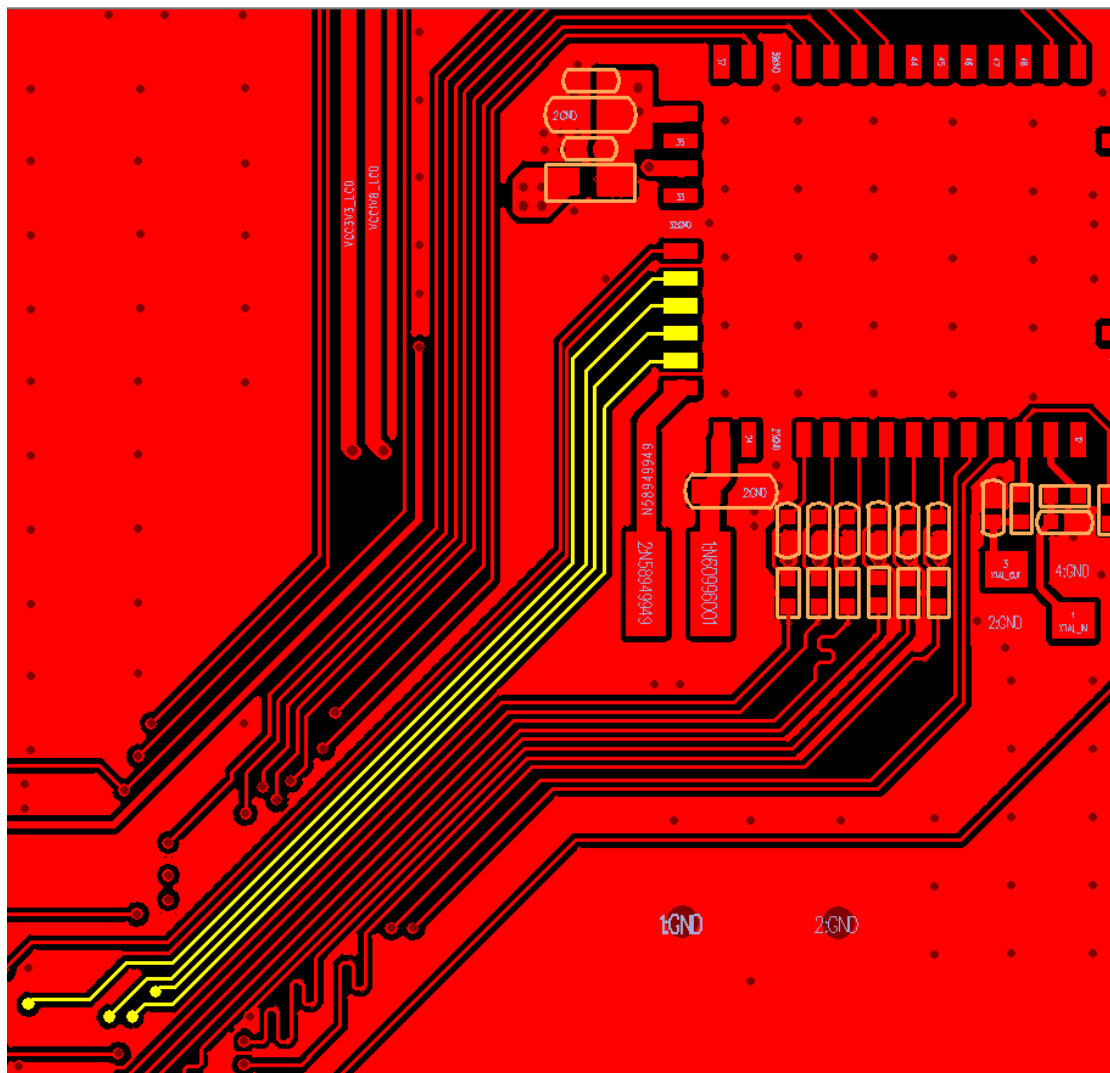


图 4 - 51 BT PCM走线

如果是2X2 MIMO天线接口，两个天线口之间的出线方向需要考虑两个天线的位置，两个天线的位置需要尽量远离避免干扰，并考虑垂直放置以避免互相干扰。

模块的ANT RF线要保持50ohm阻抗线，为了降低干扰和降低线损，ANT RF线相邻的层挖空，如RF线布在第6层，RF线正下方第5层GND挖空，参考第四层做阻抗设计，且要保持参考层的完整性（保持同一个参考平面），不能跨越电源及其他信号线，避免干扰，RF线要预留调试匹配的位号。如图4-52所示高亮黄色信号线是ANT RF线。



量至关重要。根据不同的使用平台和不同的应用终端，其对性能和成本控制等要求也越来越苛刻。从而，天线小型化、多频段和多天线等技术成为PCB设计的热点和难点。

#### ● 4.3.2.2 选用天线类型

随着市场竞争的加剧，硬件设备正以集成化的方向发展。天线也由外置进化内置再进化到嵌入式，根据实际应用的不同，可选用以下四种类型的天线：

- On Board板载式:采用PCB蚀刻一体成型，性能受限，极低成本，应用于蓝牙、WIFI模组集成；
- SMT贴装式:材质有陶瓷、金属片、PCB, 性能成本适中，适用于大批量的嵌入式射频模组；
- IPX外接式：使用PCB或FPC+Cable的组合，性能优秀，成本适中，广泛应用于OTT、终端设备；
- External外置类：塑胶棒状天线，高性能，独立性, 成本高，应用于终端设备，无须考虑EMC。

#### ● 4.3.2.3 RK通用型天线的使用

当前，RK设计了四款通用型板载天线分别是ANT127SD, ANT127SS, ANT2885S, ANT4411D（如下图所示）适合不同平台和不同终端。其中，三款RK通用型天线设计验证完成后，已经在20多个项目中得到正常使用。RK通用型天线良好的性能和广泛的适用性，能在实际PCB的各种环境中做出灵活快速地优化调整，极大地提供了工作效率。

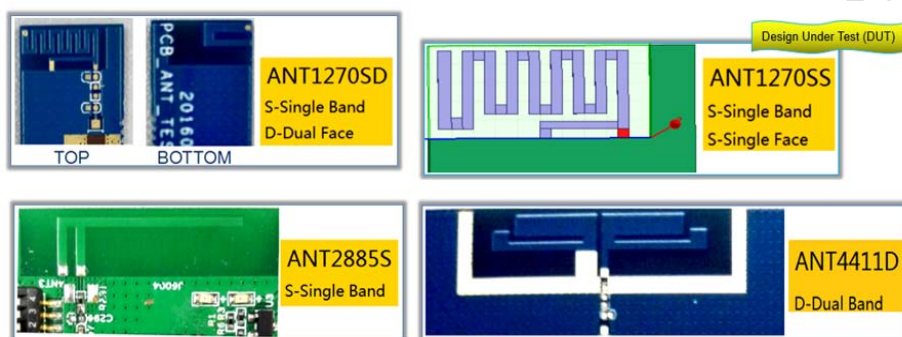


图 4-53 RK通用型板载天线

Layout工程师可将所选天线的封装导入PCB，根据《Design Guidelines》可得知天线如何在PCB中进行合理布局。最后，建议将设计好的PCB发给天线工程师仿真评估天线性能，以优化最好的参数在当前的设计当中。

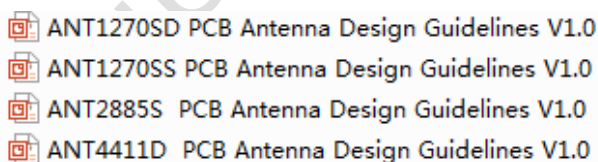


图 4-54 RK通用型板载天线design guidelines

#### ● 4.3.2.4 设计指标

表 4-23 BT/WIFI天线指标

适用标准	BT/IEEE 802.11 b/g/n	IEEE 802.11 a/b/g/n/ac
频率范围	2.4 to 2.49 GHz	2.4 to 2.49 GHz, 5.15 to 5.85 GHz
最大增益	3-4dBi	5-6dBi
天线尺寸	10*5.0*1.0-1.6 (mm)	40*9*1.0-1.6 (mm)
封装尺寸	12*7.0 (mm)	44*11 (mm)
天线效率	50-60%	50-70%
VSWR	2:1	
输入阻抗	50 Ohms	
温度	-40° to +75° C	
湿度	0 to 95%, 不结晶露	

对于MIMO天线的使用，除了需要满足以上性能之外，非常重要的指标是两个或者多个天线之间的

隔离度 ( $S_{21} < -10$  dB)，这是当前小型化MIMO天线设计的难点。

另外，还有一个ECC指标，在WIFI频段中如果 $S_{11}$ 和 $S_{21}$ 满足要求，一般没什么问题。但是，四个以上的天线需要着重考虑天线间的布局。

## 4.4 电源信号 PCB 设计建议

### 4.4.1 RK3399 Power

#### ● 4.4.1.1 GND

PCB上必须留一层完整的地层，用于散热及保证电源完整性。

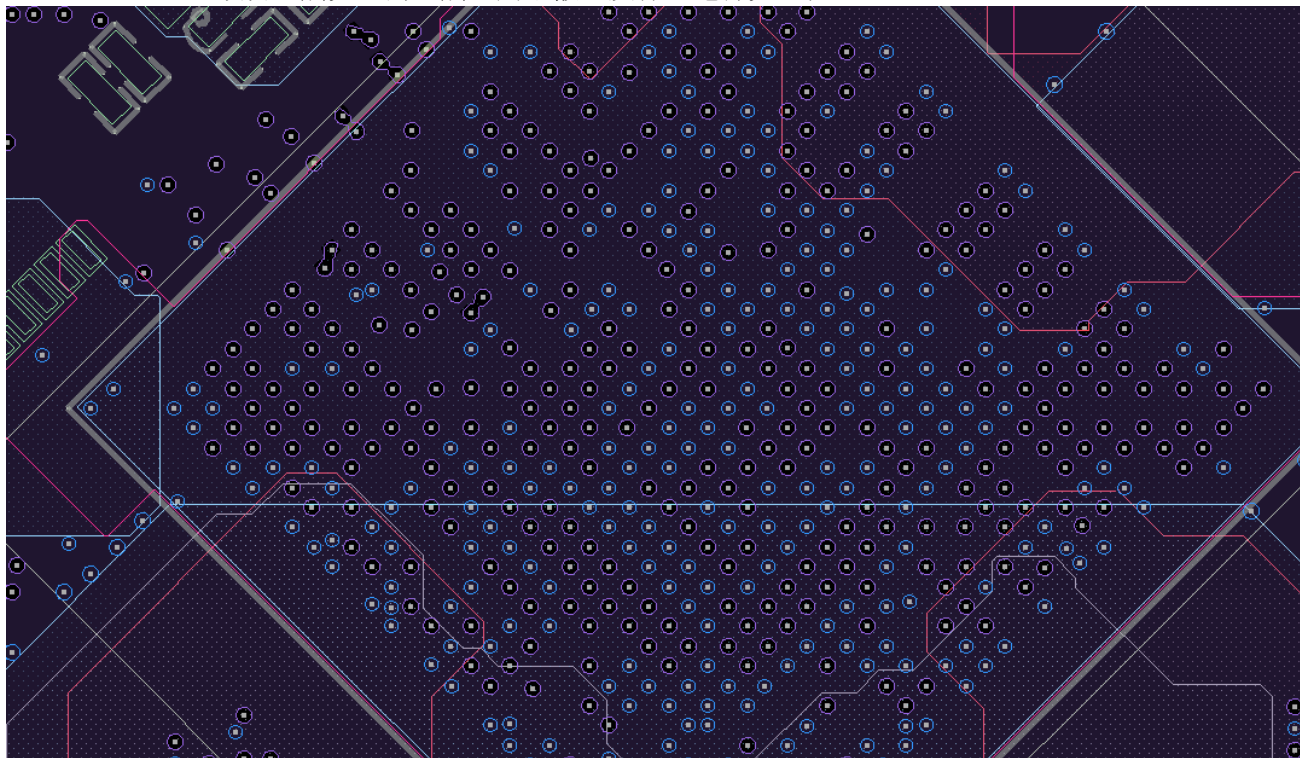


图 4-55 芯片下方的完整参考面

芯片每一个GND PAD要对应打一个GND过孔，如下图。

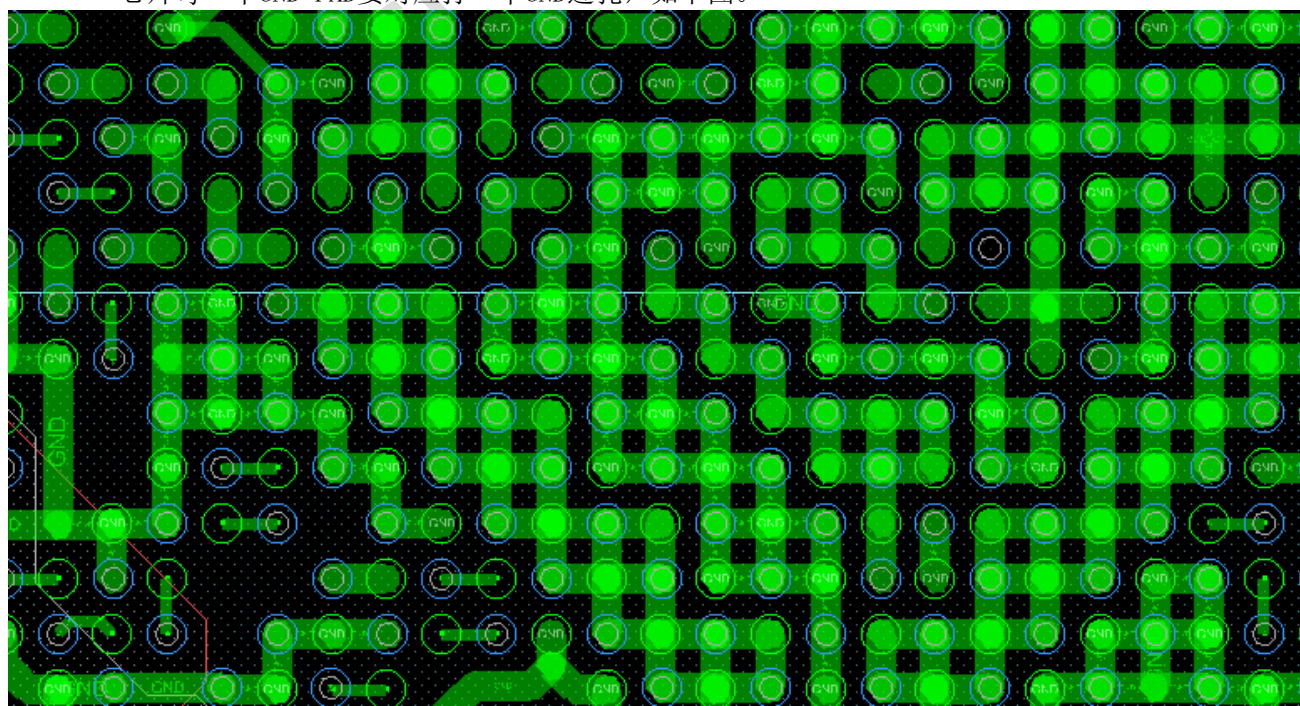


图 4-56 芯片下方的GND VIA



#### ● 4.4.1.2 SOC下方

VDD\_CPUB, VDD\_CPUL, VDD\_GPU, VDD\_LOG, VDD\_CENTER, 这些大电流电源需要在电源层用铺铜方式走到芯片底下, 然后芯片扇出时尽可能做到一个电源管脚就打一个过孔连接到电源层上。

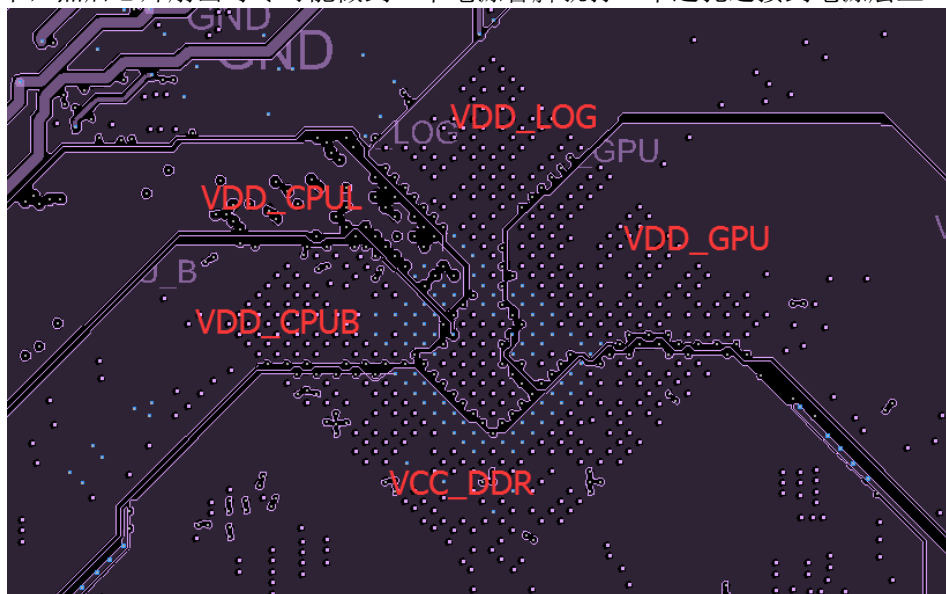


图 4-57 芯片电源平面

SOC下方最好采用双面贴的结构, 那怕只贴几个0201的去耦电容也能提高电源性能。对于只能采用单面贴的板子, 要在尽可能靠近芯片的地方放置去耦电容, 如果有换层要尽可能的多打地过孔(包适电容的GND过孔)。

#### ● 4.4.1.3 DDR DRAM下方

VCC\_DDR最好整层电源铺到DRAM下面, 这样DRAM的去耦电容比较好放置, 不会因为电容位置问题影响到信号走线。



图 4-58 DDR下方的完整参考面

#### ● 4.4.1.4 小电源供电

芯片各路供电需就近放置小体积(0201)的去耦电容(如下图)。



图 4-59 电源去耦电容放置

#### 4.4.2 PMIC

- EPAD上要打足够多的过孔推荐打4\*4个0.8\*0.5mm或5\*5个0.5\*0.3mm或6\*6个0.4\*0.2mm的过孔。

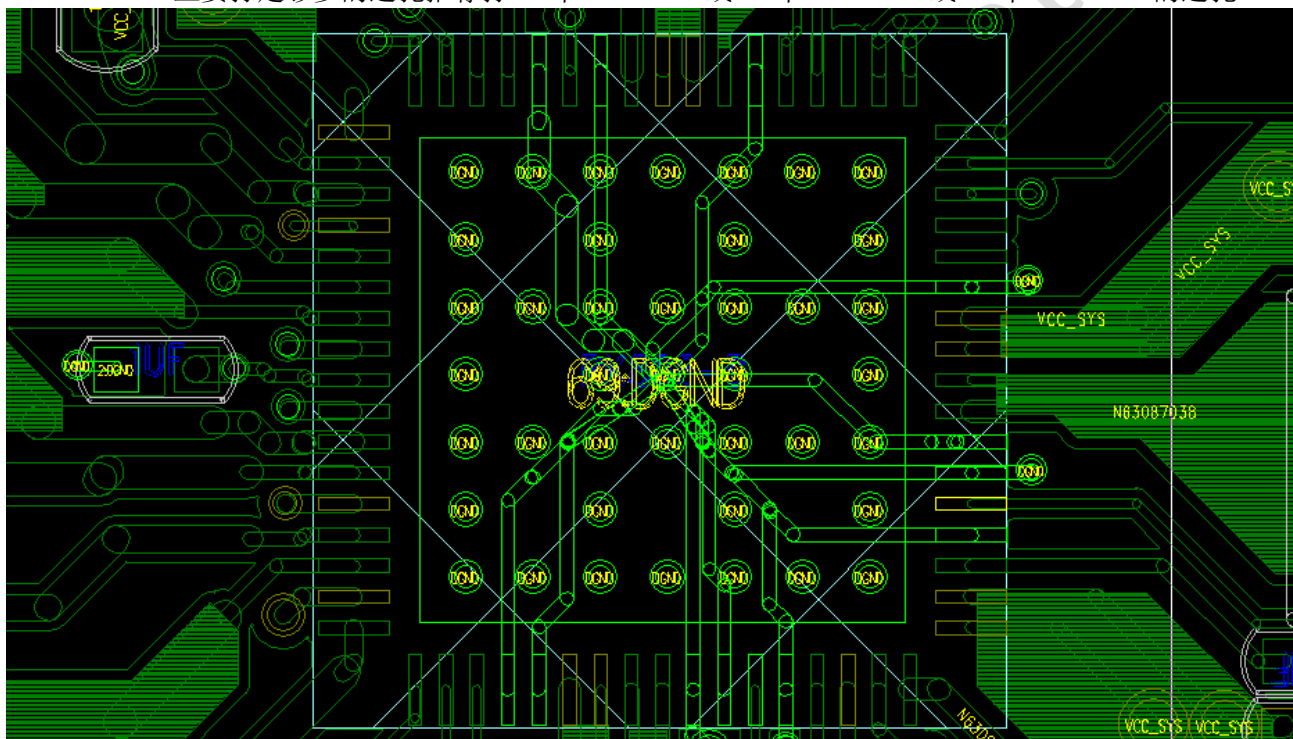


图 4-60 PMIC下方过孔

- DC-DC输入输出：VCC输入电容要靠近RK808-D的输入端，输出电容靠近电感端，无论输入输出电容的正端还是负端都必须有足多的过孔才能保护电容的低ESR，才能保证电容的去耦效果。特别是电容负端的地过孔容易被客户忽略。

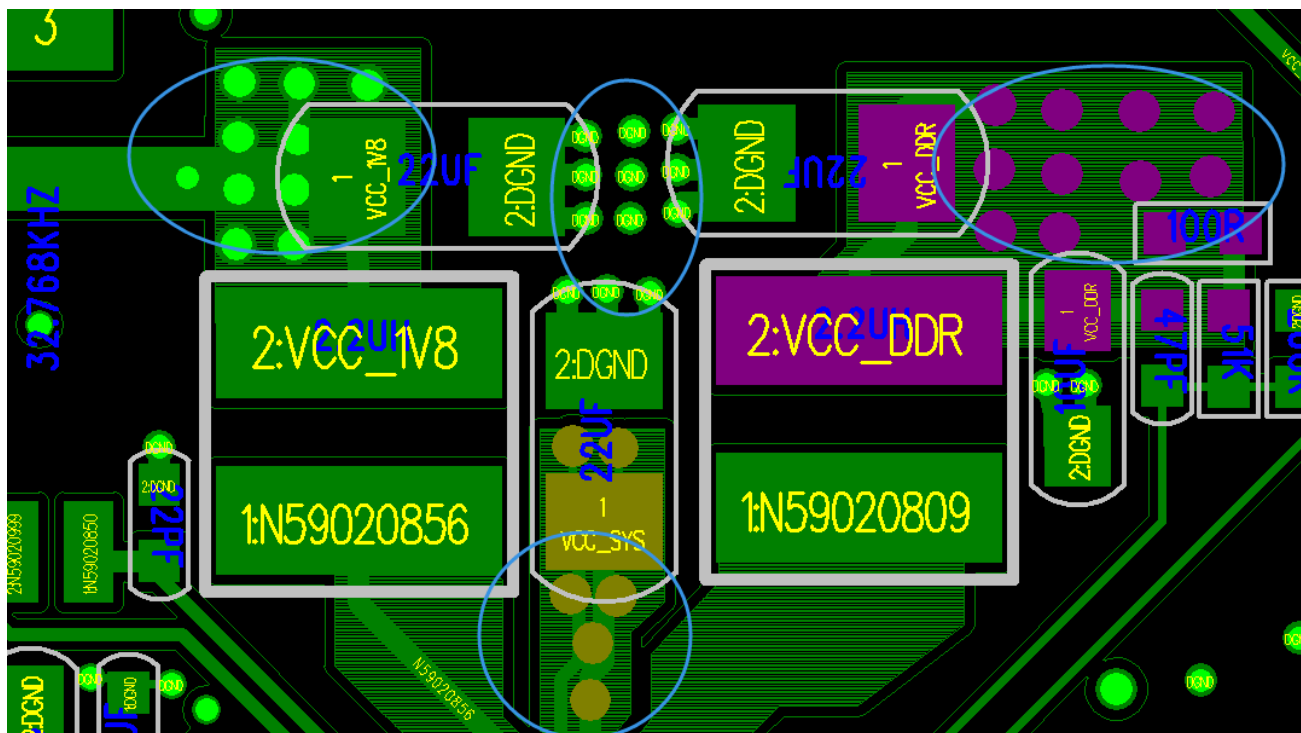


图 4 - 61 DC-DC输入输出过孔

- 32.768晶体走线需要包地处理，避免被其它信号干扰。

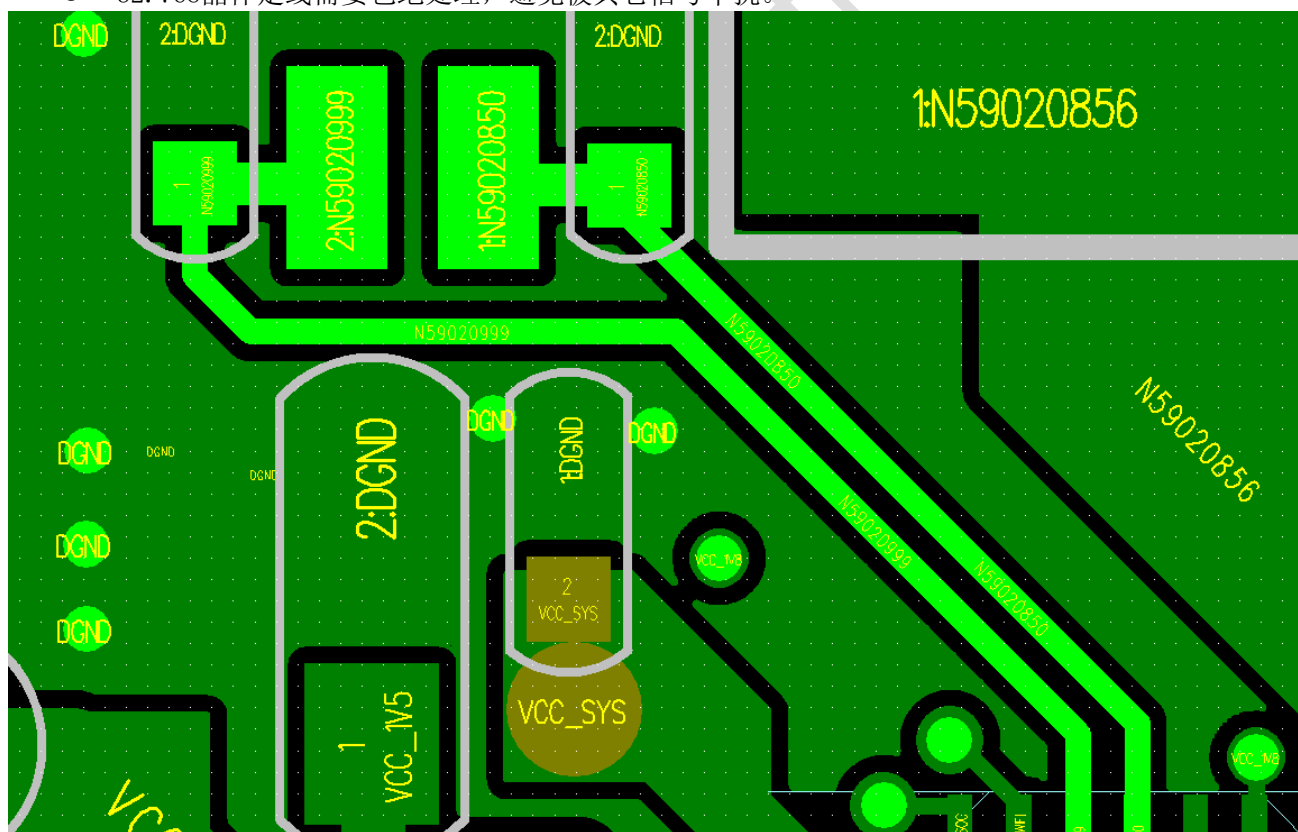


图 4 - 62 RTC时钟走线

- 相邻两个电感之间的距离要大于2mm, 避免产生互感(特别是RK818-3的boost与Chareg的电感)。

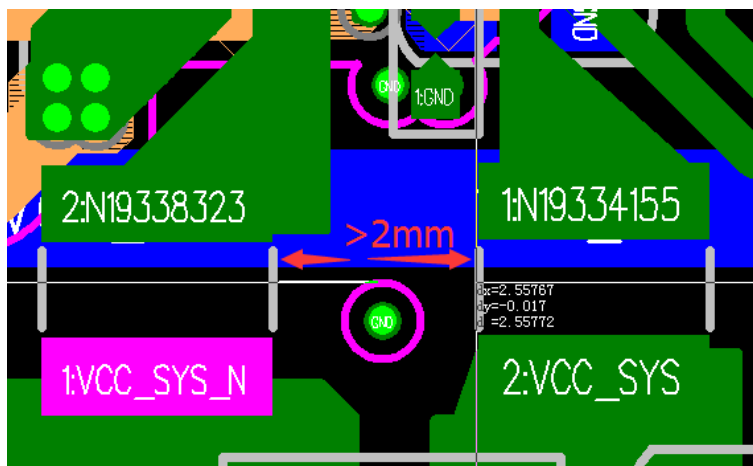


图 4 - 63 DC-DC电感间距

- LDO的输入输出根据后级的负载电流适当加粗就可以了，去耦电容尽量靠近PMIC。

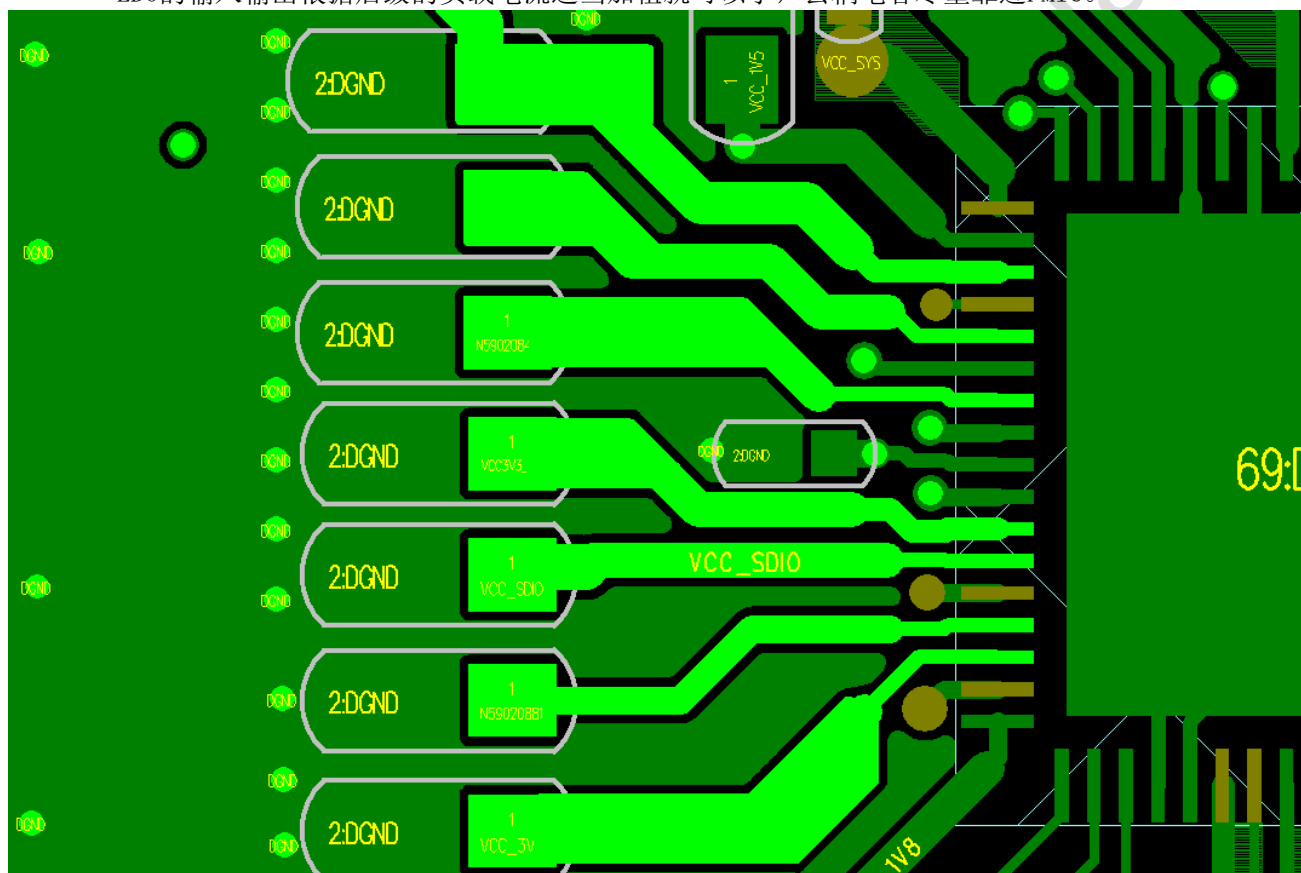


图 4 - 64 LDO走线

- RK818-3的10mR电流采样电阻放在靠近电池座边上。SNSN/SNSP要按照差分规则走线，无阻抗要求。特别需要注意的是，因为SNSN是对10mR电阻的负端采样，所以SNSN连接的OR电阻不能直接接到其它GND上，需经过10mR电阻的地端再接地（如下图的KEEP OUT）。



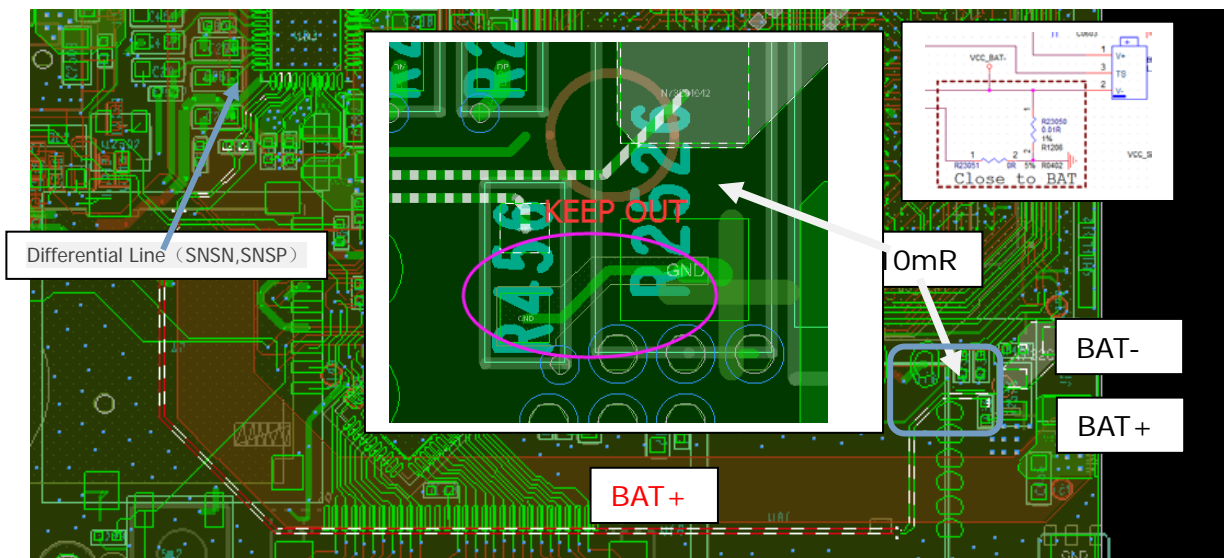


图 4-65 RK818-3 电流采样电阻放置

- VBAT+, VCC\_SYS走线以及换层到RK818-3时需考虑有3-5A的过电流能力，并且不能有太大的压降，都需做大电流处理，所以电源过孔孔径要够大并且数量够多。包括图4-67中的Q23008场管也是用来降低RK818-3内部PowerPath的阻抗，这样可以让主电源回路阻抗更小，充分发挥电池的性能。

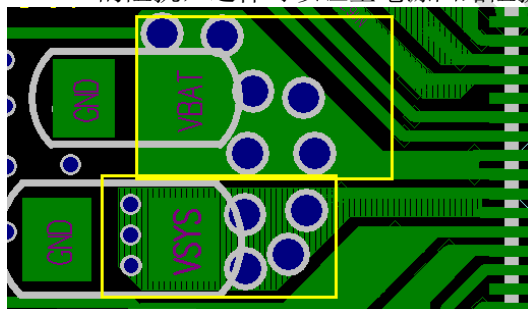


图 4-66 VBAT换层过孔

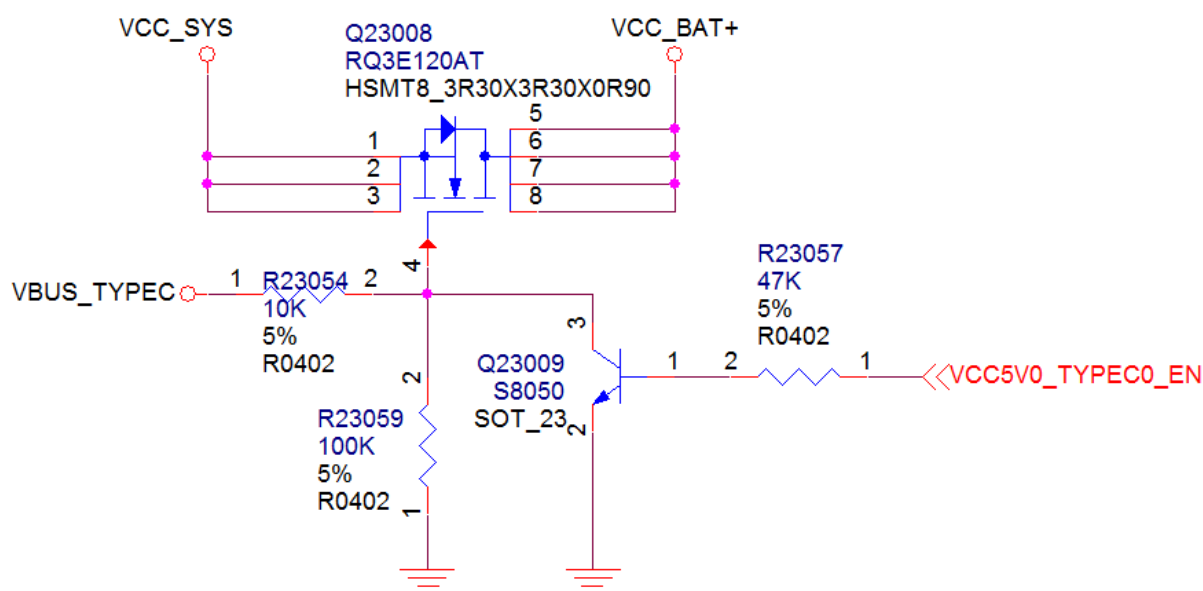


图 4-67 VBAT路径管理

#### 4.4.3 DC-DC

RK3399 Big CPU/GPU最大峰值电流在4.3A左右，为了尽可能降低到RK3399芯片的纹波，请注意输入输出电容要尽可能的多打过孔，推荐输出如果是0.2mm的孔要打15-20个（特别是电容的负端电容也需要相应





BQ25700在Layout中需注意，芯片ACN/ACP、SRP/SRN两对电流采集线，必须遵循差分规则连接到各自的0.01R的采样电阻上，无阻抗要求，但必须最靠近各自的电阻焊盘，这样才能提高电阻的采样精度。两个主功率NMOS管的接地管脚，可以通过多打过孔来提高DC-DC的转换效率。



#### 4.4.5 远端反馈补偿

由于DC-DC在Layout时可能会离RK3399芯片有一定距离，通常会将DC-DC的FB端采样端尽量靠近芯片，以补偿PCB上的线路损耗，一般电流大于1A的电源会采用这种方法，如芯片的几路主要电源：VDD\_GPU, VDD\_CPU\_B, VDD\_CPU\_L, VDD\_CENTER等。

如下图4-72, 图4-73: VFB2管脚的VDD CPU L要从RK3399芯片下方引回来, 采用伴随线的走法。

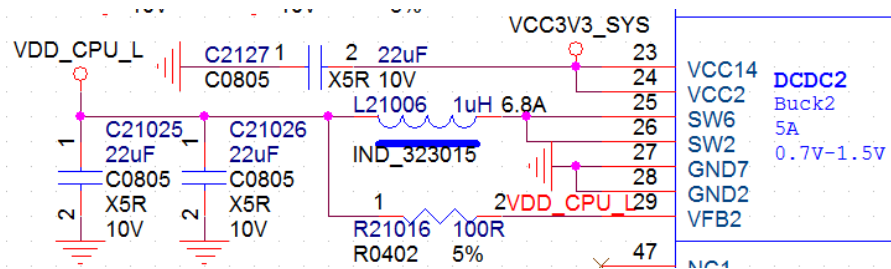


图 4-72 PMIC反馈设计

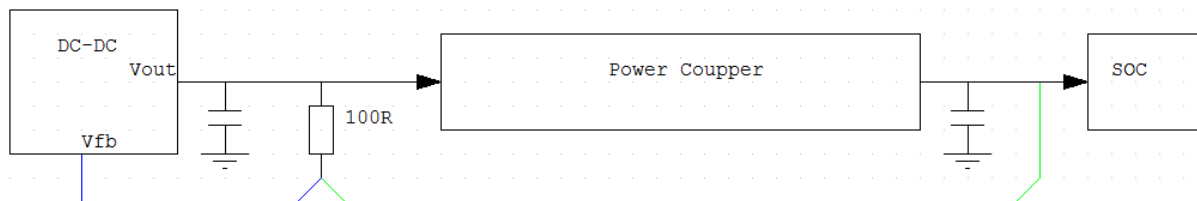


图 4-73 PMIC反馈设计

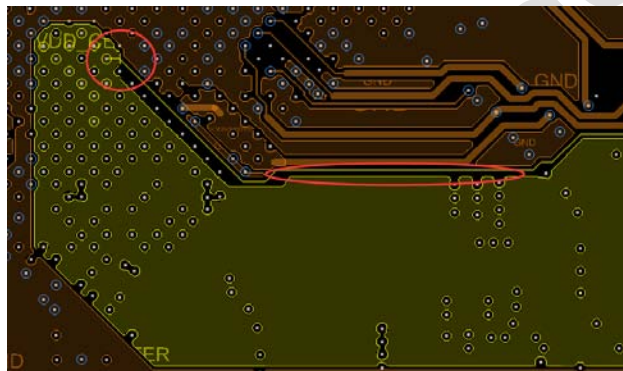


图 4-74 PMIC反馈线走线

## 5 热设计建议

### 5.1 热仿真结果

针对RK3399 EHS-FCBGA-818的封装，基于EVB的8层板PCB和JEDEC标准的PCB采用有限元建模法（Finite Element Modeling，FEM），可以得出热阻的仿真报告。该报告基于JEDEC JESD51-2标准给出，应用时的系统设计及环境可能与JEDEC JESD51-2标准不同，需要根据应用条件做出分析。



#### 注意

热阻是在PCB没有散热片条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。

#### 5.1.1 结果概要

热阻仿真结果如下，可见EVB的PCB设计结构比JEDEC的热阻系数结果更好：

表 5-1 RK3399 热阻仿真报告结果

Package (EHS-FCBGA)	Power (W)	$\theta_{JA} (^{\circ}\text{C}/\text{W})$	$\theta_{JB} (^{\circ}\text{C}/\text{W})$	$\theta_{JC} (^{\circ}\text{C}/\text{W})$
JEDEC PCB	6.25	11.9	7.5	0.38
EVB PCB	6.25	9.8	5.3	0.38

#### 5.1.2 PCB描述

热阻仿真用的PCB结构如下表：

表 5-2 RK3399 热阻仿真的PCB结构

JEDEC PCB	PCB Dimension (L x W)	101.6 x 114.3 mm
	PCB Thickness	1.6mm
	Number of Cu Layer	8-layers L1/L6-0.045mm, L2~L5-0.035mm
EVB PCB	PCB Dimension (L x W)	130 x 115mm
	PCB Thickness	1.6mm
	Number of Cu Layer	8-layers L1/L6-0.030mm, L2~L5-0.017mm

#### 5.1.3 术语解释

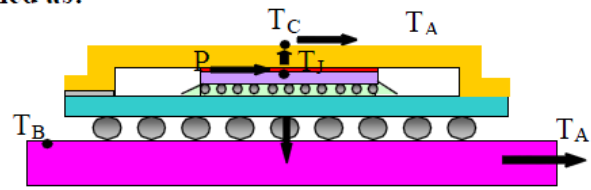
本章中的术语解释如下：

- $T_J$ : The maximum junction temperature;
- $T_A$ : The ambient or environment temperature;
- $T_C$ : The maximum compound surface temperature;
- $T_B$ : The maximum surface temperature of PCB bottom;
- $P$ : Total input power

The thermal parameter can be define as following

1. *Junction to ambient thermal resistance,  $\theta_{JA}$ , defined as:*

$$\theta_{JA} = \frac{T_J - T_A}{P} ; \quad (1)$$

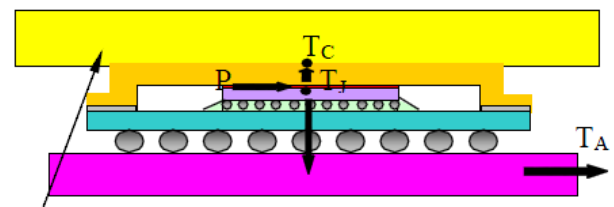


Thermal Dissipation of EHS-FCBGA

图 5-1  $\theta_{JA}$ 的定义

2. *Junction to case thermal resistance,  $\theta_{JC}$ , defined as:*

$$\theta_{JC} = \frac{T_J - T_C}{P} ; \quad (2)$$

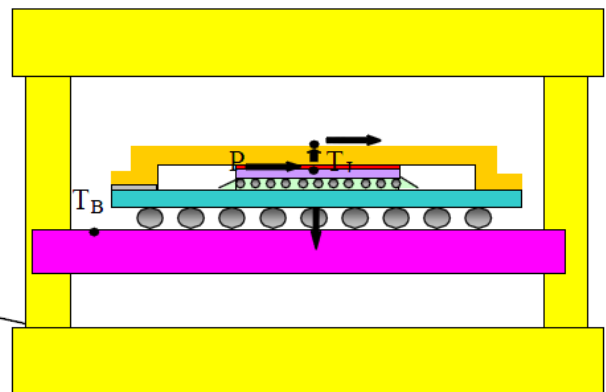


Attach a block with constant temperature onto package.

图 5-2  $\theta_{JC}$ 的定义

3. *Junction to board thermal resistance,  $\theta_{JB}$ , defined as:*

$$\theta_{JB} = \frac{T_J - T_B}{P} ; \quad (3)$$



Attach a block with constant temperature

图 5-3  $\theta_{JB}$ 的定义

## 5.2 常用的散热方法

RK3399采用大小核架构，芯片的功率将达到6.5W，良好的散热对RK3399的产品性能的提高、系统的稳定性、产品的安全性尤其重要。



### 5.2.1 热量传导的三种常见方式

众所周知，任何存在温度差的地方，就会发生热量的传递，热量就会从高温部分传向低温部分，直到各自温度相同为止。热量的传导过程可以分成稳态过程（温度不随时间的变化而改变）和非稳态过程（温度随时间的变化而发生变化）。热量的传导常见有如下三种方式：

#### ● 5.2.1.1 热传导 (Conduction)

物体各部分之间不发生相对位移，依靠分子、原子及自由原子等微观粒子的热运动而产生的热量传导。如：物体内部的热量从高温部分传导到低温部分的运动。

#### ● 5.2.1.2 对流传热 (Convection)

是流体（包括液体和气体）流动过程中从温度较高处向温度较低处放热的现象。对流又分为强迫对流和自由对流。前者是流体在外界动力（如泵、风扇、压强差等）驱动下的运动；后者是流体因温度分布不均匀诱发密度不均匀而产生浮力作用下的运动。

#### ● 5.2.1.3 辐射传热 (Radiation)

物体通过电磁波来传导能量的方式，不需要物质作媒介。

### 5.2.2 系统常见的散热方式

常见的散热方式有主动散热 (Active Cooling) 和被动散热 (Passive Cooling) 两种方式。

主动散热 (Active Cooling)：就是借助外部的设备强制性地 将散热片发出的热量带走，如风扇等；其优点是散热效率高，体积小；缺点是引进了噪声和功耗。此方法一般用在发热量比较大的设备上面，如PC上。

被动散热 (Passive Cooling)：被动散热比较简单，就是通过散热片增加CPU的表面积，加快热传递和对流；从散热效果来看，被动散热没有主动散热的好，但是发热量不是很大的情况下，基本上可以采取这种散热的方式，优点是：成本低、减少噪声，无需供电，节约能源。

### 5.2.3 散热设计参考

RK3399的产品中，RK3399芯片是发热量最大的器件，所有的散热处理都以芯片为主要对象。除RK3399外，其它主要发热器件有：PMIC、充电IC及所用电感、背光IC及所用电感。布局时请注意将各热源适当分散开来，不要堆积在一起。

另外大电流的电源走线（如DC输入到充电IC走线，电池到PMU的电源走线）也对整机发热有影响，电源走线时尽量短、宽。

对于后盖两端是塑胶（放RF天线），中间为金属的Tablet产品，layout时请注意主要热源一定要放置在后盖金属部分的下方，远离RF以及GPS等模块；

#### ● 5.2.3.1 PCB导热

可以考虑如下三种方式增强散热：

- 单板发热器件PAD底部打过孔；
- 在单板表面铺连续的铜皮；
- 增加单板含铜量（使用1oz表面铜厚）；

#### ● 5.2.3.2 结构导热

结构导热可以采用主动散热，即加散热片的方法。根据热量的辐射扩散特性，CPU使用散热片时，最好以热源为中心，使用正方形或者圆形散热片，一定要避免长条形的散热片。

常用散热片的选择有：

- 根据材料一般分为：铝合金、铜合金、铝铜合金、导热硅脂、石墨、纳米炭、陶瓷等；
- 根据工艺一般分为：铝挤压工艺，铸造工艺，机械压合工艺，切销工艺等；

每种材料的导热性能是不同的，目前常用的是散热材料一般是铜和铝合金；铜的散热性好，但价格较贵，纯铝的太软，不能直接使用，因此一般采用铝合金材料，价格低廉，重量轻，但导热性能比铜要差很多；基于低成本考虑推荐选型铝合金材质的散热片。对散热片工艺类型的选择参考以下建议：

- 挤压的散热片要比铸铝散热片好一些。铸铝散热片中金属铝所占的比例为 25 -30 %，其他为



碳及其他金属的合金。挤压的散热片中金属铝所占的比例为70 % -80%，其他为碳及其他金属的合金。因此铝挤型散热片的纯度高，热传导能力强，密度小，价格便宜。

■ 自然散热的条件下，黑色的比银白色的铝散热片的散热效果要好 3~8%左右，这是因为黑色热辐射的效果比白色的要强。

■ 散热器的表面处理有电泳涂漆或黑色氧化处理，其目的是提高散热效率及绝缘性能。在自然冷却下可提高10—15%，在通风冷却下可提高3%，电泳涂漆可耐压500—800V。

■ 散热器厂家会对不同型号的散热器给出热阻值或给出有关曲线，并且给出在不同散热条件下的不同热阻值。

#### 5.2.4 散热片尺寸计算

如使用铝挤型散热片，散热结构如下图5-4所示：

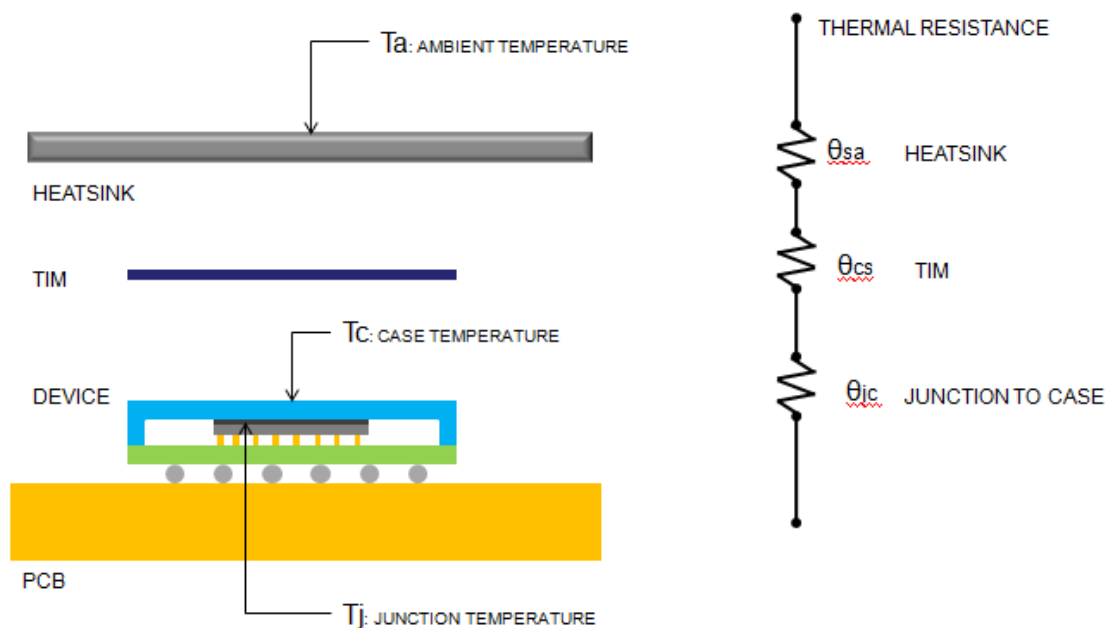


图 5 - 4 散热片散热结构

公式1:

$$R = 1/hA$$

变量说明:

A: 散热片面积

h: 散热系数 (与散热片的材质, 厚度, 密度, 温差, 风速等参数相关)

由以上公式得出散热片面积越大, 热阻越小, 由此得出以下经验数据:

2mm厚度的铝制散热片, 表面积 (平方厘米) 与热阻 ( $^{\circ}\text{C}/\text{W}$ ) 的对应关系如下:

- 500  $\text{cm}^2$  对应2.0 $^{\circ}\text{C}/\text{W}$ ;
- 250  $\text{cm}^2$  对应2.9 $^{\circ}\text{C}/\text{W}$ ;
- 100  $\text{cm}^2$  对应4.0 $^{\circ}\text{C}/\text{W}$ ;
- 50  $\text{cm}^2$  对应5.2 $^{\circ}\text{C}/\text{W}$ ;
- 25  $\text{cm}^2$  对应6.5 $^{\circ}\text{C}/\text{W}$ ;

公式2:

$$Q = T_j - T_a / (\theta_{sa} + \theta_{cs} + \theta_{jc})$$

根据公式2可推导出芯片所需散热片的热阻计算公式3:

$$\theta_{sa} = (T_j - T_a) / Q - (\theta_{cs} + \theta_{jc})$$

变量说明:

$T_j$ : 芯片最高工作结温 (125 $^{\circ}\text{C}$ )

$T_a$ : 产品长期工作最高工作环境温度 (55 $^{\circ}\text{C}$ )

Q: RK3399芯片功耗 (6.5W)

$\theta_{sa}$ : 散热片热阻 (需要考虑环境风速)

$\theta_{cs}$ : 导热介质TIM (导热胶) 的热阻 (0.11 $^{\circ}\text{C}/\text{W}$ ,  $\kappa = 2\text{W}/\text{mC}$  100um 厚度情况下)

$\theta_{jc}$ : 芯片封装热阻 (8层JEDEC PCB板0.38 $^{\circ}\text{C}/\text{W}$ )

以上公式3得到散热片的热阻要求，再对比散热片的热阻数据，可以得出所需要的散热片的散热面积。

例如：在55℃的环境温度中，产品中的温升15℃，RK3399芯片采用热阻为0.11℃/W的导热胶，那么所需要的散热片尺寸，由公式3可得：

$$\theta_{sa} = (125 - 55 - 15) / 6.5 - (0.38 + 0.11) = 7.8 (\text{℃/W})$$

即：需要选择散热面积25 cm<sup>2</sup>以上的散热片才能满足条件。



### 注意

以上是理想状态下的计算，实际情况中根据使用环境，散热胶的覆盖率等情况不同，结果会有所差异。不同散热片类型的面积与热阻对应关系会有很大差异，需要咨询相应的散热片厂商。

## 5.3 芯片内部热控制方式

### 5.3.1 温度控制策略

在Linux内核中，定义一套温控框架linux Generic Thermal System Drivers，它可以通过不同的策略控制系统的温度，目前常用的有以下三种策略：

- Power\_allocator：引入PID（比例-积分-微分）控制，根据当前温度，动态给各模块分配power，并将power转换为频率，从而达到根据温度限制频率的效果。
- Step\_wise：根据当前温度，逐级限制频率；
- Userspace：不限制频率。

RK3399芯片内部有T-sensor检测片内温度，默认使用Power\_allocator的策略，工作状态分以下几种情况：

- 当温度超过设定的温度值：
  - 温度趋势上升，开始降频；
  - 温度趋势下降，开始升频；
- 当温度下降到设定的温度值：
  - 温度趋势上升，频率不变；
  - 温度趋势下降，开始升频；
- 当频率升到最高时，温度还是在设定值以下，CPU频率不再受thermal控制，CPU频率变成系统负载调频；
- 在降频后芯片依旧过温（比如散热不良）超过95度时软件会触发重启；当deadlock或其他引起重启不了，导致芯片超过100度，则会触发芯片内部的otp\_out给PMIC直接关机。具体行为动作请参考小节3.2.5.1。



### 注意

温度趋势是通过采集到的前后两个温度做对比得出的。设备温度未超过阈值时，每1秒采集一次温度；当设备温度超过阈值时，每20ms采集一次温度并限制频率。

### 5.3.2 温度控制配置

RK3399 SDK中可以针对小核A53、大核A72和GPU分别提供温控策略，具体配置请参考我司《Rockchip thermal 开发指南》。

## 6 ESD/EMI防护设计

### 6.1 概述

本章对于RK3399产品设计中的ESD/EMI防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

### 6.2 术语解释

本章中的术语解释如下：

- Electro-Static discharge (ESD)：静电释放；
- Electromagnetic Interference (EMI)：电磁干扰，包括传导干扰和辐射干扰两部分；

### 6.3 ESD 防护

- 保证合理的模具设计；端口和插接件部分需预留抗ESD器件；
- 在PCB布局时做好敏感器件的保护，隔离；
- 布局时尽量将RK3399芯片及核心部件放在PCB中间，不能放在PCB中间的需要保证屏蔽罩离板边至少2MM以上的距离，且要保证屏蔽罩能可靠接地；
- 应该按功能模块及信号流向来布局PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对ESD器件，一般要求摆在源头，即ESD器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB表面一定要有良好的GND回路，各接插件在表层都要有较好的GND连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；

### 6.4 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理EMI就只能从干扰源跟耦合通道入手了。解决EMI问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接)等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对EMI材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则：若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如SDIO, RGB, CIF等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其SI许可范围。差分接口一般使用共模电感来抑制EMI；
- PCB上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- RK3399展频的能分模块使用。展频的程度需根据相关部分对信号的要求而定。具体措施见RK3399展频说明；
- EMI跟ESD对LAYOUT的要求有高度一致性，前诉ESD的LAYOUT要求，大部分适用于EMI防护。另外增加下面的要求：
  - 尽量保证信号完整性；
  - 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位跟时钟，避免转化成引起EMI问题的共模信号；
  - 有插件电解电容等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线；

## 7 焊接工艺

### 7.1 概述

RK3399芯片为ROHS指令认证产品，即均是Lead-free产品。本章规范了客户端在用RK3399芯片SMT时各个时间段温度的基本设置，主要介绍客户在使用RK3399芯片回流焊时的工艺控制：主要是无铅工艺和混合工艺两类。

### 7.2 术语解释

本章中的术语解释如下：

- Lead-free：无铅工艺；
- Pb-free：无铅工艺，所有器件（主板、所有IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- Reflow profile：回流焊；
- Restriction of Hazardous Substances (ROHS)：关于限制在电子电器设备中使用某些有害成分的指令；
- Surface Mount Technology (SMT)：表面贴装技术；
- Sn-Pb：锡铅混合工艺，指使用有铅锡膏和既有无铅BGA也有有铅IC的混合焊接工艺；

### 7.3 回流焊要求

#### 7.3.1 焊膏成分要求

Solder 合金与flux 比重为90%：10%；体积比为：50%：50%，锡膏冷藏温度2~10℃，使用前应常温下回温，回温时间3~4小时并做好时间记录。

刷板前锡膏需要搅拌，手工搅拌3~5分钟或机械搅拌3分钟，搅拌后呈自然垂流状。

#### 7.3.2 SMT曲线

由于RK3399芯片均采用环保材料，建议使用Pb-Free工艺。下图回流焊曲线仅为JEDEC J-STD-020D工艺要求推荐值，客户端需根据实际生产情况进行调整。

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
<b>Preheat &amp; Soak</b>		
Temperature min ( $T_{smin}$ )	100 °C	150 °C
Temperature max ( $T_{smax}$ )	150 °C	200 °C
Time ( $T_{smin}$ to $T_{smax}$ ) ( $t_s$ )	60-120 seconds	60-120 seconds
Average ramp-up rate ( $T_{smax}$ to $T_p$ )	3 °C/second max.	3 °C/second max.
Liquidous temperature ( $T_L$ )	183 °C	217 °C
Time at liquidous ( $t_L$ )	60-150 seconds	60-150 seconds
Peak package body temperature ( $T_p$ )*	See classification temp in Table 4.1	See classification temp in Table 4.2
Time ( $t_p$ )** within 5 °C of the specified classification temperature ( $T_c$ )	20** seconds	30** seconds
Average ramp-down rate ( $T_p$ to $T_{smax}$ )	6 °C/second max.	6 °C/second max.
Time 25 °C to peak temperature	6 minutes max.	8 minutes max.
* Tolerance for peak profile temperature ( $T_p$ ) is defined as a supplier minimum and a user maximum.		
** Tolerance for time at peak profile temperature ( $t_p$ ) is defined as a supplier minimum and a user maximum.		

图 7-1 回流焊曲线分类

Package Thickness	Volume mm <sup>3</sup> <350	Volume mm <sup>3</sup> 350 - 2000	Volume mm <sup>3</sup> >2000
<1.6 mm	260 °C	260 °C	260 °C
1.6 mm - 2.5 mm	260 °C	250 °C	245 °C
>2.5 mm	250 °C	245 °C	245 °C

图 7-2 无铅工艺器件封装体耐热标准

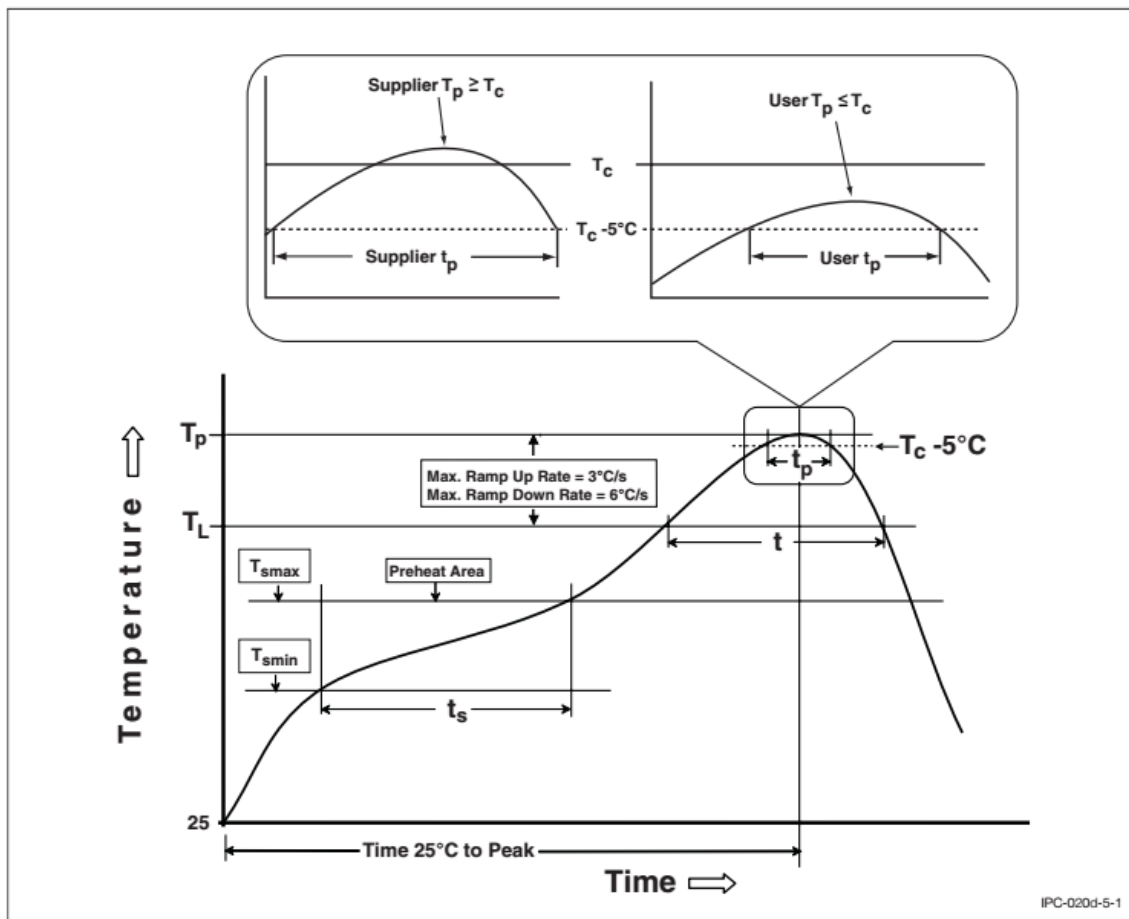


图 7-3 无铅回流焊接工艺曲线

### 7.3.3 SMT建议曲线

我司建议的SMT曲线如图7-4所示：

Step 1 Board Preheat	Step 2 Soak Time	Step 3 Peak Reflow & Time Above $220^\circ\text{C}$	Step 4 Cool Down
Start with solder joint temp $\leq 40^\circ\text{C}$	After nozzle is lowered prior to peak reflow (Soak Time: Paste dependant; consult paste manufacturer)	Solder Joint Temp $230 - 250^\circ\text{C}$ Above $\geq 217^\circ\text{C}$ 60 – 90 sec Max delta-t of solder joint temperature at peak reflow $\leq 10^\circ\text{C}$	Substrate MAX Temperature $\leq 260^\circ\text{C}$ Die Peak Temperature $\leq 300^\circ\text{C}$
Rising Ramp Rate $0.5 - 2.5^\circ\text{C/Sec.}$	Solder Joint Temp: $200$ to $220^\circ\text{C}$		Cooling Ramp Rate $-0.5$ to $-2.0^\circ\text{C/sec}$
Board Preheat Solder Joint Temp: $125 - 150^\circ\text{C}$	Critical Ramp Rate ( $205$ to $215^\circ\text{C}$ ): $0.35 - 0.75^\circ\text{C/sec.}$	Peak Temp Range, and Time Above $\geq 217^\circ\text{C}$ spec's met.	PCB land/pad temperature needs to be at $100 - 130^\circ\text{C} \pm 5^\circ\text{C}$ when removing board from rework machine bottom heater at end of component removal operation or $\leq 80^\circ\text{C}$ when using stand alone PCB Pre-Heater for PCB land/pad site dress operation.
Preheat with bottom heater, before nozzle is lowered	Nozzle has lowered to reflow component	Nozzle is down during peak reflow	Nozzle raises to home position when solder joint reaches peak temp range

图 7-4 无铅回流焊接工艺建议曲线参数



## 8 包装和存放条件

### 8.1 概述

规定了RK3399的存放和使用规范，以确保产品的安全和正确使用。

### 8.2 术语解释

本章中的术语解释如下：

- Desiccant: 干燥剂，用于吸附潮气的一种材料；
- Floor life: 产品允许暴露在环境中的最长时间，从在拆开防潮包装到回流焊之前；
- Humidity Indicator Card(HIC): 湿度指示卡；
- Moisture Sensitivity Level(MSL): 潮敏等级；
- Moisture Barrier Bag(MBB): 防潮包装袋；
- Rebake: 重新烘烤；
- Solder Reflow: 回流焊；
- Shell Life: 存储期限；
- Storage environment: 存放环境；

### 8.3 防潮包装

产品的干燥真空包装材料如下：

- 干燥剂；
- 六点湿度卡；
- 防潮带，铝箔，银色不透明，带有湿敏等级的标识；



图 8 - 1 RK3399芯片干燥真空包装

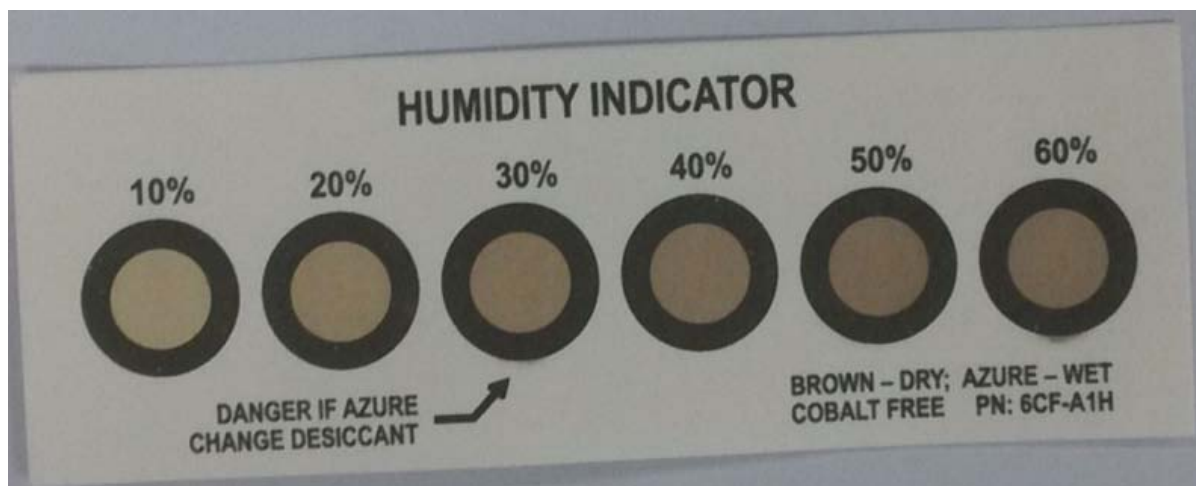


图 8-2 六点湿度卡

## 8.4 产品存放

### 8.4.1 存放环境

产品真空包装存放，存储环境温度 $\leq 30^{\circ}\text{C}$ 及相对湿度60%RH下；

### 8.4.2 存储期限

在温度 $\leq 40^{\circ}\text{C}$ 且相对湿度 $< 90\%$ 时，可达12个月。

### 8.4.3 暴露时间

在环境条件 $< 30^{\circ}\text{C}$ 和湿度60%下，请参照如下表8-1。

RK3399芯片MSL等级为3，对湿度非常敏感。如果拆包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 8-1 暴露时间参照表 (MSL)

MSL等级	暴露时间
	工厂环境条件: $\leq 30^{\circ}\text{C} / 60\% \text{RH}$
1	Unlimited at $\leq 300^{\circ}\text{C} / 85\% \text{RH}$
2	1年
2a	4周
3	168小时
4	72小时
5	48小时
5a	24小时
6	Mandatory bakky before use, must be reflowed within the time limit specified on the table.

## 8.5 潮敏产品使用

RK3399芯片在下述情况下必须进行烘烤：

- 湿度指示卡在 $23 \pm 5^{\circ}\text{C}$ 时， $> 10\%$ 的点已变色。（颜色变化请参考湿度指示卡标示）；
- 在工厂环境 $\leq 30^{\circ}\text{C} / 60\% \text{RH}$ 下，连续或累计暴露时间超过72小时的，或者未保存在 $< 10\% \text{RH}$ 环境下的；

RK3399芯片拆包装后重新烘烤的时间请参考如下表8-2所示， $125^{\circ}\text{C}$ 需9小时， $90^{\circ}\text{C}$ 需33小时。所以拆包后请立即使用，如果置于空气中超过72小时，请烘烤后再使用。

表 8-2 RK3399 Re-bake参考表

Package Body	MSL	High Temp Bake @ $125^{\circ}\text{C} +10/-0^{\circ}\text{C}$		Medium Temp Bake @ $90^{\circ}\text{C} +8/-0^{\circ}\text{C}$		Low Temp Bake @ $40^{\circ}\text{C} +5/-0^{\circ}\text{C}$	
		Exceeding	Exceeding	Exceeding	Exceeding	Exceeding	Exceeding



		Floor Life by > 72h	Floor Life by ≤ 72h	Floor Life by > 72h	Floor Life by ≤ 72h	Floor Life by > 72h	Floor Life by ≤ 72h
Thickness ≥ 1.6mm	3	Bake 9 hours	Bake 7 hours	Bake 33 hours	Bake 23 hours	Bake 13 days	Bake 9 days



### 注意

此表中显示的均是受潮后，必须的最小的烘烤时间。  
重新烘烤优先选择低温烘烤。

---

Rockchip Confidential