

RK3358J

硬件设计指南

发布版本：V1.0

发布日期：2019年05月30日

免责声明

您购买的产品、服务或特性等应受福州瑞芯微电子股份有限公司商业合同和条款的约束，本文件中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，福州瑞芯微电子股份有限公司对本文件内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文件内容会不定期进行更新。除非另有约定，本文件仅作为使用指导，本文件中的所有陈述、信息和建议不构成任何明示或暗示的担保。

商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为福州瑞芯微电子股份有限公司的商标，并归福州瑞芯微电子股份有限公司所有。

本文件提及的其他所有商标或注册商标，由各自的所有人拥有。

版权所有 © 2018 福州瑞芯微电子股份有限公司

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文件内容的部分或全部，并不得以任何形式传播。

福州瑞芯微电子股份有限公司

Fuzhou Rockchips Semiconductor Limited Co., Ltd

地址：福建省福州市铜盘路软件园A区18号

网址：www.rock-chips.com

客户服务电话：+86-591-83991906

客户服务传真：+86-591-83951833

客户服务邮箱：fae@rock-chips.com

前言

概述

本文档主要介绍RK3358J处理器硬件设计的要点及注意事项，旨在帮助RK客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求以及RK产品PCB设计要求进行。

芯片型号

本文档对应的芯片型号为：**RK3358J**

适用对象

本文档主要适用于以下工程师：

- 产品硬件开发工程师
- 技术支持工程师
- 测试工程师

更新记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

版本	修改人	修改日期	修改说明	备注
V1.0	肖好飞	2019.05.30	第一次正式版本发布	

缩略语

缩略语包括文档中常用词组的简称：

DDR	Double Data Rate	双倍速率同步动态随机存储器
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
I ² C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议 (IEEE 1149.1兼容)
LDO	Low Drop Out Linear Regulator	低压差线性稳压器
LVDS	Low-Voltage Differential Signaling	低电压差分信号
MAC	Media Access Control	以太网媒体接入控制器
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
RK	Rockchip Electronics Co., Ltd.	瑞芯微电子股份有限公司
SD Card	Secure Digital Memory Card	安全数码卡
SDIO	Secure Digital Input and Output Card	安全数字输入输出卡
SDMMC	Secure Digital Multi Media Card	安全数字多媒体存储卡
SPI	Serial Peripheral Interface	串行外设接口
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
USB	Universal Serial Bus	通用串行总线

目录

前言	3
概述	3
芯片型号	3
适用对象	3
更新记录	4
缩略语	5
目录	6
插图目录	8
插表目录	10
1 系统概述	11
1.1 概述	11
1.2 芯片框图	11
1.3 应用框图	12
1.3.1 DEMO应用框图	12
2 封装与管脚	13
2.1 封装	13
2.1.1 信息	13
2.1.2 丝印标识定义	13
2.1.3 封装尺寸	13
2.2 GPIO类型介绍	16
2.2.1 GPIO类型	16
2.2.2 GPIO驱动能力	16
2.2.3 GPIO电源	16
3 原理图设计建议	17
3.1 最小系统设计	17
3.1.1 时钟电路	17
3.1.2 复位电路	17
3.1.3 系统启动引导顺序	18
3.1.4 系统初始化配置信号	18
3.1.5 JTAG Debug电路	18
3.1.6 DDR电路	18
3.1.7 eMMC电路	19
3.1.8 SPI电路	20
3.2 电源设计	21
3.2.1 最小系统电源介绍	21
3.2.2 电源设计建议	21
3.2.3 RK809-1方案介绍	25
3.2.4 其他	30
3.2.5 电源峰值电流表	32
3.3 功能接口电路设计指南	33
3.3.1 存储卡电路	33
3.3.2 USB电路	33
3.3.3 音频电路	36

	3.3.4	视频电路	42
	3.3.5	摄像头电路	46
	3.3.6	RMII电路	47
	3.3.7	ADC电路	47
	3.3.8	SDIO/UART电路	48
		UART Debug电路	49
4		热设计建议	51
4.1		热仿真结果	51
	4.1.1	结果概要	51
	4.1.2	PCB描述	51
	4.1.3	术语解释	51
4.2		芯片内部热控制方式	52
	4.2.1	温度控制策略	52
	4.2.2	温度控制配置	53
5		ESD/EMI防护设计	54
5.1		概述	54
5.2		术语解释	54
5.3		ESD防护	54
5.4		EMI防护	54

插图目录

图 1-1 RK3358J 框图.....	11
图 1-2 RK3358J DEMO应用框图.....	12
图 2-1 RK3358J 丝印标识定义.....	13
图 2-2 RK3358J 封装尺寸1.....	13
图 2-3 RK3358J 封装尺寸2.....	14
图 2-4 RK3358J 封装尺寸3.....	14
图 2-5 RK3358J 封装尺寸4.....	15
图 3-1 RK3358J 晶体连接方式及器件参数.....	17
图 3-2 RK3358J 待机时钟输入.....	17
图 3-3 RK3358J 复位输入.....	18
图 3-4 RK3358J SDRAM的拓扑结构图.....	19
图 3-5 DDR3 DRAM上电时序.....	19
图 3-6 eMMC颗粒上下电时序.....	20
图 3-7 RK3358J待机电路方案.....	21
图 3-8 RK3358J 芯片PLL电源.....	22
图 3-9 RK3358J 芯片VDD_CPU电源.....	23
图 3-10 RK3358J 芯片VDD_CPU电源的去耦.....	23
图 3-11 RK3358J 芯片VDD_GPU电源.....	23
图 3-12 RK3358J 芯片VDD_GPU电源的去耦.....	23
图 3-13 RK3358J 芯片DDR控制器电源.....	24
图 3-14 RK3358J DDR3 DRAM的VREF电源设计.....	25
图 3-15 RK809-1 框图.....	26
图 3-16 RK809-1 电源架构.....	28
图 3-17 RK809-1 应用原理图.....	29
图 3-18 RK809-1 PWRON管脚.....	30
图 3-19 RK3358J OTP_OUT过温保护输出.....	31
图 3-20 PMIC OTP_OUT过温保护输入.....	31
图 3-21 RK3358J PMIC_SLEEP输出.....	32
图 3-22 PMIC PMIC_SLEEP输入.....	32
图 3-23 RK3358J SDMMC模块电路.....	33
图 3-24 RK3358J USB 2.0模块.....	34
图 3-25 RK3358J USB连接座.....	35
图 3-26 RK3358J USB插入检测.....	35
图 3-27 RK3358J USB控制器参考电阻.....	35
图 3-28 RK3358J USB控制器电源防浪涌.....	35
图 3-29 RK3358J USB预留共模电感.....	36
图 3-30 RK3358J I2S0模块.....	36
图 3-31 RK3358J I2S1模块.....	37
图 3-32 RK3358J I2S2模块.....	38
图 3-33 RK3358J I2S2模块PDM.....	39
图 3-34 RK3358J PDM接口.....	39
图 3-35 RK809-1 Codec电路.....	39
图 3-36 RK3358J Headphone电路.....	40
图 3-37 RK3358J Speaker电路.....	40
图 3-38 RK3358J MIC电路.....	41
图 3-39 RK3358J 视频输出接口.....	42
图 3-40 RK3358J LVDS/MIPI接口.....	42
图 3-41 RK3358J LVDS控制器参考电阻.....	42
图 3-42 RK3358J 视频输出接口.....	43
图 3-43 RK3358J MIPI DSI0模块.....	43
图 3-44 RK3358J 24bit连接方式.....	44
图 3-45 RK3358J 18bit连接方式.....	44

图 3-46 RK3358J LCDC M0&M1复用管脚	45
图 3-47 RK3358J LCDC M1管脚扇出	45
图 3-48 MIPI-CSI模块	46
图 3-49 RK3358J MIPI-CSI控制器参考电阻.....	46
图 3-50 RK3358J 视频输出接口	46
图 3-51 RK3358J CIF模块	47
图 3-52 RK3358J RMI CLK选择	47
图 3-53 RK3358J SAR-ADC模块.....	48
图 3-54 RK3358J SDIO/UART模块	48
图 3-55 RK3358J UART2	49
图 3-56 RK3358J 串口配置.....	50
图 4-4-1 θ_{JA} 的定义	51
图 4-4-2 θ_{JC} 的定义	52
图 4-4-3 θ_{JB} 的定义	52

插表目录

表 2 - 1 RK3358J 封装信息.....	13
表 2 - 2 RK3358J GPIO电源脚描述	16
表 3 - 1 RK3358J 24MHz时钟要求	17
表 3 - 2 RK3358J 32.768KHz时钟要求	17
表 3 - 3 RK3358J 系统初始化配置信号描述.....	18
表 3 - 4 RK3358J JTAG Debug接口信号	18
表 3 - 5 RK3358J eMMC接口设计	20
表 3 - 6 RK3358J SPI接口设计	20
表 3 - 7 RK3358J 内部PLL介绍.....	22
表 3 - 8 RK3358J 峰值电流表	32
表 3 - 9 RK3358J SDMMC接口设计	33
表 3 - 10 RK3358J USB2.0接口设计	36
表 3 - 11 RK3358J I2S0接口设计	37
表 3 - 12 RK3358J I2S1接口设计	38
表 3 - 13 RK3358J I2S2接口设计	38
表 3 - 14 RK3358J SDIO接口设计	49
表 5 - 1 RK3358J 热阻仿真报告结果.....	51
表 5 - 2 RK3358J 热阻仿真的PCB结构	51

1 系统概述

1.1 概述

RK3358J是一颗高性能的四核处理器芯片，可应用于平板、智能音频设备。

RK3358J内置多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能，支持几乎全格式的H.264 1080p@60fps解码，支持H.265 1080p@60fps解码，也支持h.264 1080p@30fps编码，以及高品质的JPEG的编/解码。

RK3358J内置3D GPU，能够完全兼容OpenGL ES1.1/2.0/3.2、DirectX 11.1、OpenCL 2.0和Vulkan 1.0。特殊的MMU 2D硬解码器能最大限度地提高显示性能，提供流畅的体验操作。

RK3358J支持不同类型的DDR存储器接口（DDR3/DDR3L/DDR4/LPDDR2/LPDDR3）。

1.2 芯片框图

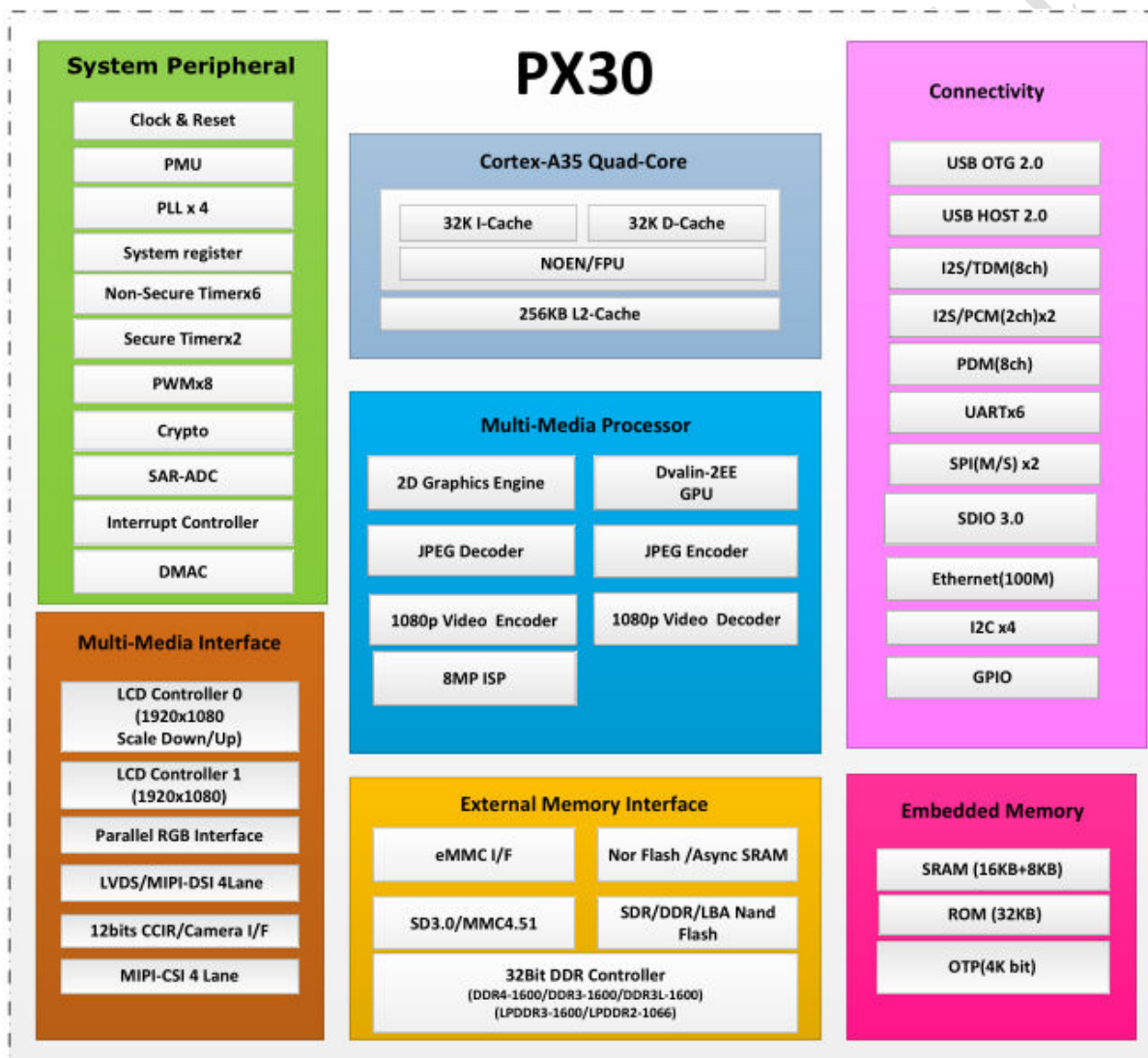


图 1-1 RK3358J 框图

1.3 应用框图

1.3.1 DEMO应用框图

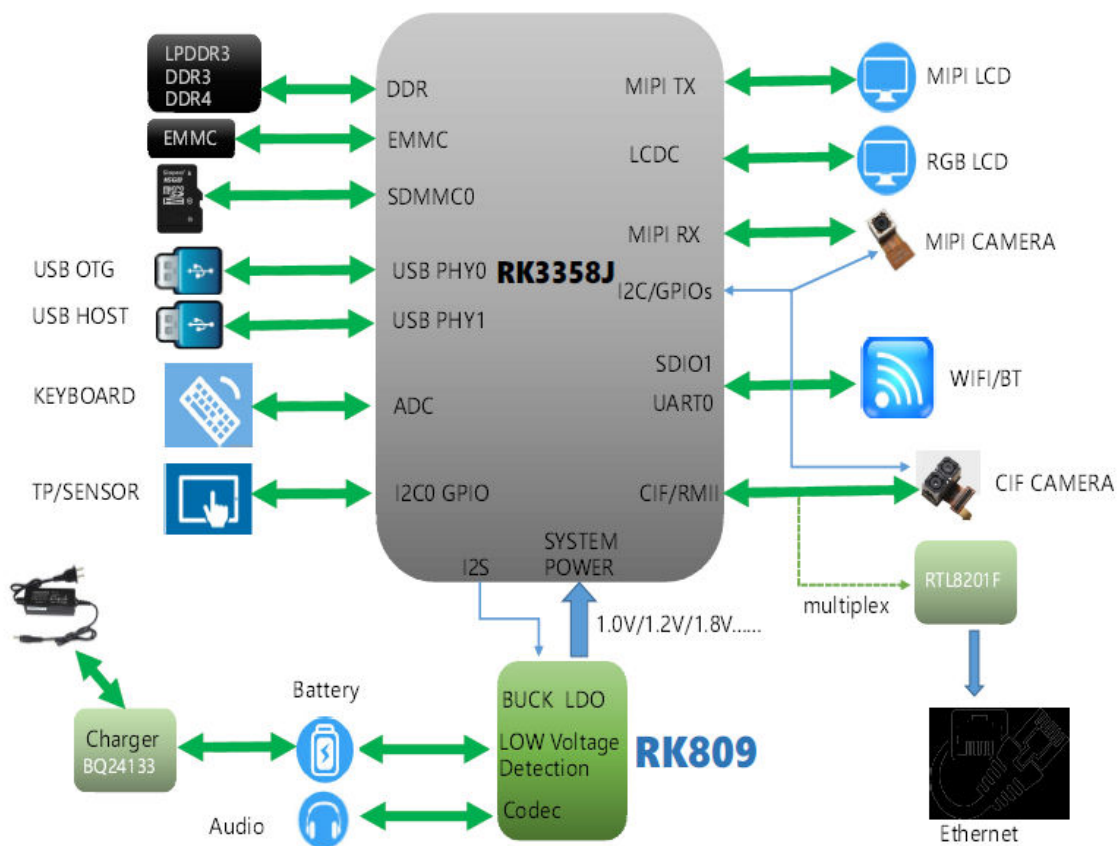


图 1-2 RK3358J DEMO应用框图

以上是RK3358J芯片方案的应用框图，更详细的请参考我司发布的参考设计原理图。

2 封装与管脚

2.1 封装

2.1.1 信息

RK3358J芯片的封装信息如表2-1所示：

表 2 - 1 RK3358J 封装信息

Orderable Device	RoHS Status	Package	Package Qty	Device special feature
RK3358J	RoHS	Bga418	1190	Quad-core ARM Cortex A35 CPU

2.1.2 丝印标识定义

RK3358J芯片的表面丝印标识图2-1所示：

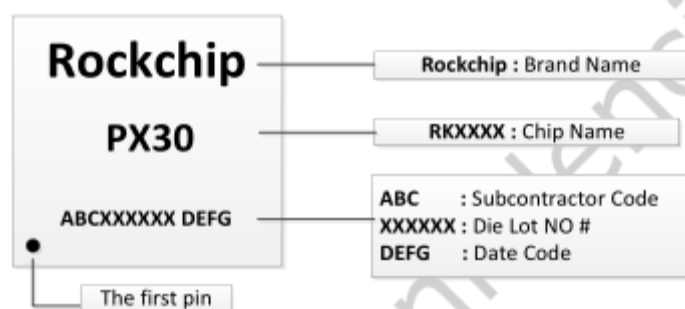


图 2-1 RK3358J 丝印标识定义

2.1.3 封装尺寸

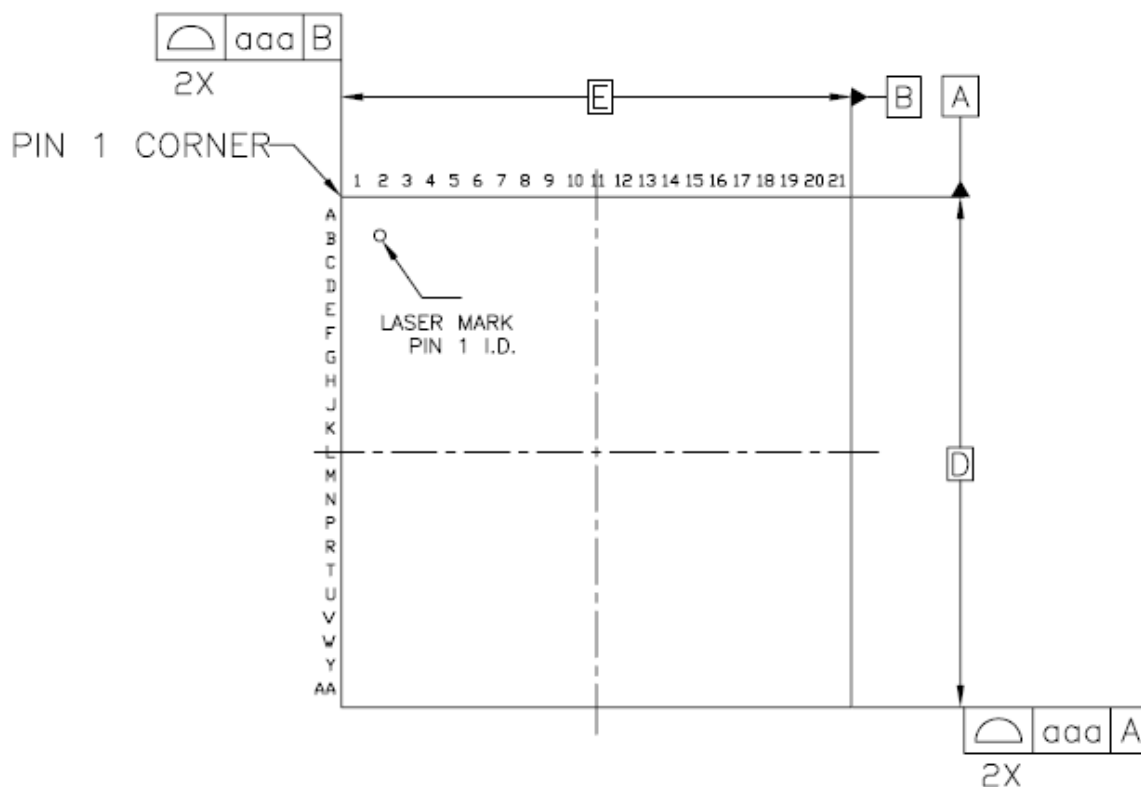


图 2-2 RK3358J 封装尺寸1

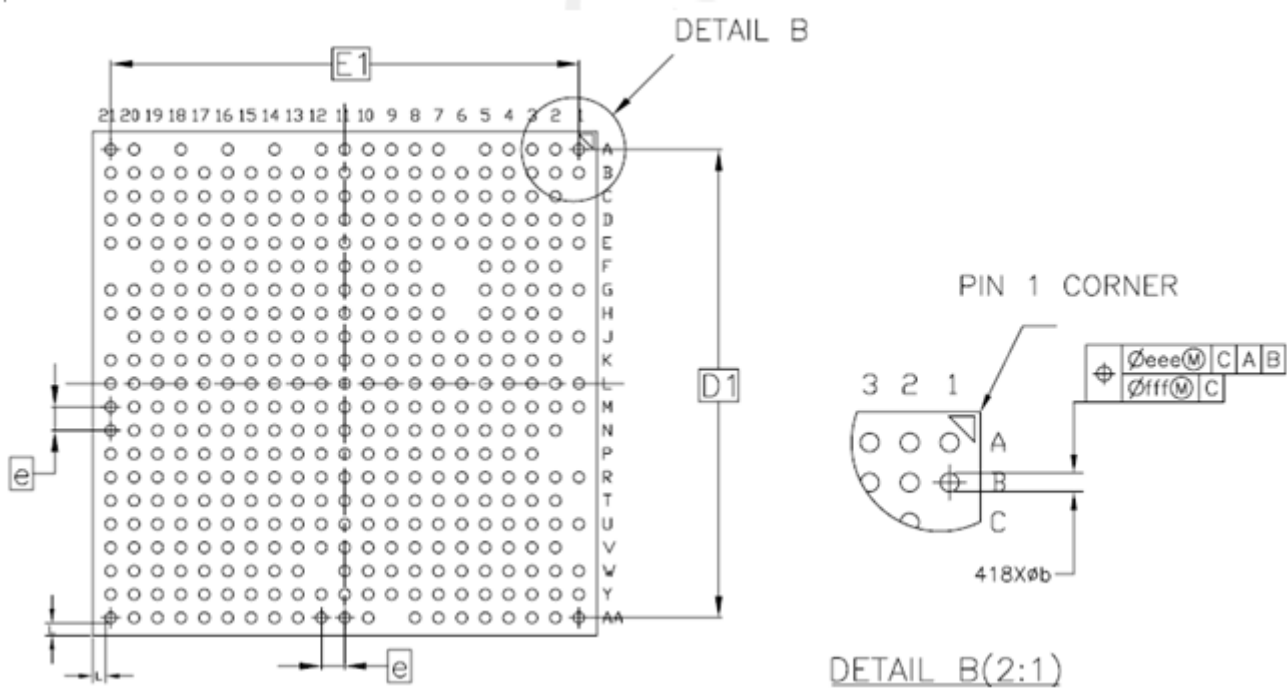


图 2-3 RK3358J 封装尺寸2

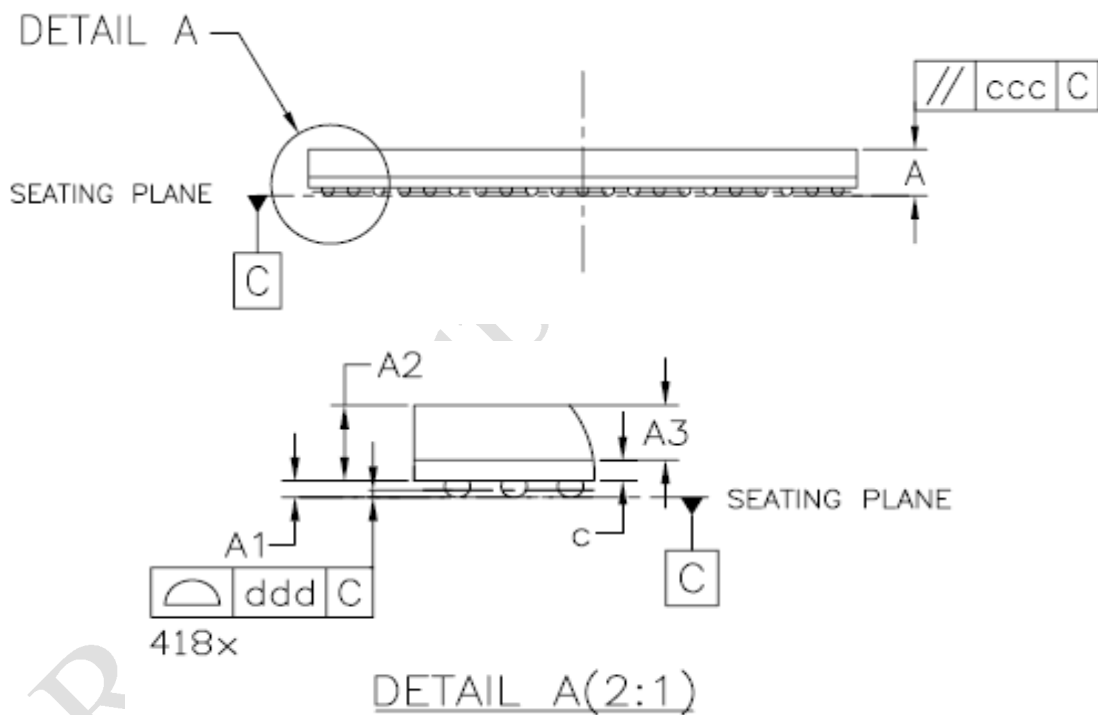


图 2-4 RK3358J 封装尺寸3

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	--	1.17	1.25
A1	0.16	0.21	0.26
A2	0.91	0.96	1.01
A3	0.70 BASIC		
c	0.22	0.26	0.30
D	13.90	14.00	14.10
D1	13.00 BASIC		
E	13.90	14.00	14.10
E1	13.00 BASIC		
e	0.65 BASIC		
b	0.25	0.30	0.35
L	0.35 REF		
aaa	0.15		
ccc	0.15		
ddd	0.10		
eee	0.15		
fff	0.08		

图 2-5 RK3358J 封装尺寸4

**注意**

基准C是由锡球的球形冠所定义的。
尺寸b的测量基于锡球的最大直径，平行于基准C。

2.2 GPIO 类型介绍

2.2.1 GPIO类型

在RK3358J中，GPIO类型为1.8V/3.3V，可配置1.8V及3.3V电平；

2.2.2 GPIO驱动能力

RK3358J中，GPIO提供4档驱动强度可调，分别是2mA/4mA/8mA/12mA，根据GPIO的类型不同，初始默认驱动强度也不同，请参考芯片datasheet进行配置修改。

2.2.3 GPIO电源

GPIO电源域的电源脚描述如下：

表 2 - 2 RK3358J GPIO电源脚描述

电源域	GPIO类型	管脚名	描述
PMUI01	1.8V/3.3V	PMUI0_VDD_IV0	1.0V logic power for this GPIO domain (group).
		PMUI01	1.8V or 3.3V IO supply for this GPIO domain (group).
PMUI02	1.8V/3.3V	PMUI02	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI01	1.8V/3.3V	VCCI01	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI02	1.8V/3.3V	VCCI02	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI03	1.8V/3.3V	VCCI03	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI04	1.8V/3.3V	VCCI04	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI05	1.8V/3.3V	VCCI05	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI06	1.8V/3.3V	VCCI06	1.8V or 3.3V IO supply for this GPIO domain (group).

2.2.4 GPIO MO M1

芯片管脚名中带有MO,M1的后缀表示这个信号分别引出到两个不同的PIN脚上，不能同时使用。

3 原理图设计建议

3.1 最小系统设计

3.1.1 时钟电路

RK3358J芯片内部的振荡器电路与外置的24MHz晶体一起构成系统时钟，如图3-1所示。

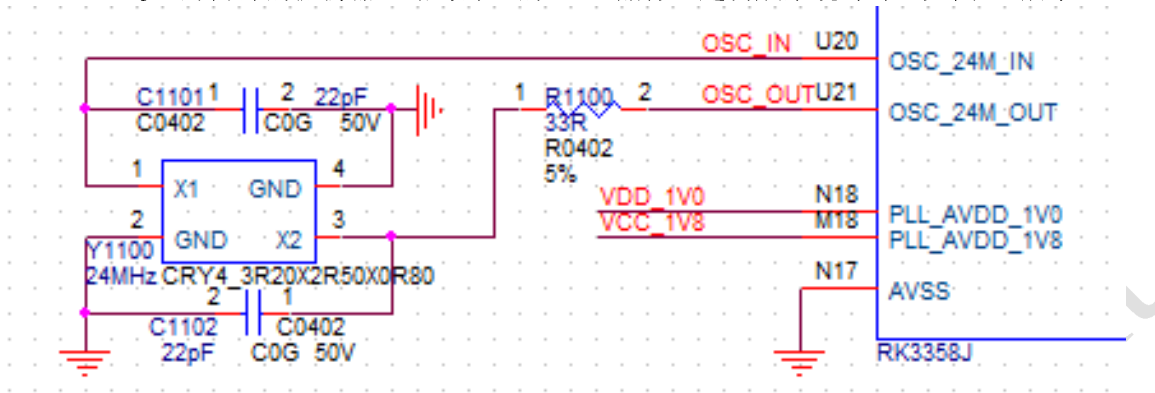


图 3-1 RK3358J 晶体连接方式及器件参数



注意

电容C1101、C1102的值需要根据晶体的实际标称负载电容值选择，22pF为我司选用晶体所对应容值，不为通用值。

另外，系统时钟还可以由外部的有源晶体电路提供，通过XIN_OSC脚输入，时钟参数如下表3-1所示：

表 3-1 RK3358J 24MHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	24.000000			MHz
频率偏差	+/-20			ppm
工作温度	-20	70	°C	Frequency tolerance
ESR	/	40	Ohm	

RK3358J芯片在待机时，会将内部时钟源切换到外部输入的32.768KHz时钟，通过降低系统时钟频率达到降低系统功耗的目的，此信号可以从PMIC或是外置RTC时钟源获取，如图3-2所示。

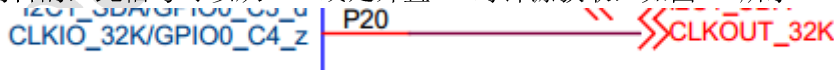


图 3-2 RK3358J 待机时钟输入

外置32.768kHz RTC时钟参数如下表3-2所示：

表 3-2 RK3358J 32.768KHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	32.768000			kHz
频率偏差	+/-30			ppm
工作温度	-20	70	°C	Frequency tolerance
占空比	50			%

3.1.2 复位电路

RK3358J芯片内部集成POR(Power on Reset)电路，低电平有效，电容C1100用来消除抖动，布局时请靠近RK3358J放置。为保证芯片稳定和正常工作，所需的最短复位时间为100个24MHz主时钟周期，即至少

4us以上。

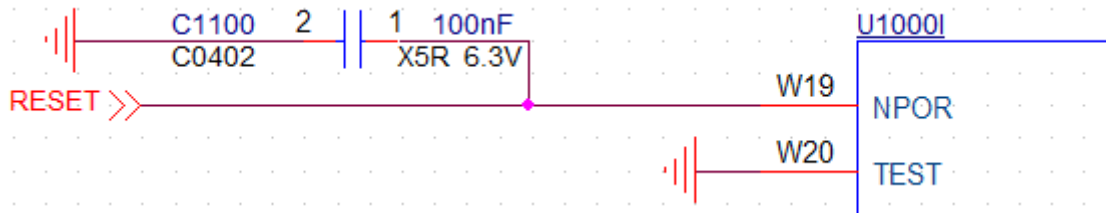


图 3-3 RK3358J 复位输入

3.1.3 系统启动引导顺序

RK3358J芯片的系统启动引导顺序优先级从高到低依次为：

- Nand FLASH
- eMMC FLASH
- SFC/SPI FLASH
- SDMMC CARD
- USB OTG

所以在产品设计中请注意，不要在比文件系统接口优先级更高的接口上外挂存储设备，会影响到系统的正常启动。

3.1.4 系统初始化配置信号

RK3358J中有两个重要信号，需要在上电前配置完毕，分别是VCCI06（FLASH）电源域的I0电平以及JTAG/SDMMC复用功能控制管脚。

RK3358J VCCI06电源域的I0电平模式需要配置，因为其属于FLASH电源域，在系统引导时会用到，所以在系统启动的时候，必须先通过硬件配置来指定默认电平模式，而无法通过寄存器操作去调整，配置如表3-3所示。

RK3358J为减少I0引出，所以将JTAG功能与SDMMC功能复用在一起，需要通过管脚来切换输出方式，配置如表3-3所示：

表 3 - 3 RK3358J 系统初始化配置信号描述

信号名	管脚	内部上下拉	描述
FLASH_VOLSEL	R19	上拉	FLASH (VCCI06) 电源域驱动强度选择，仅在上电时有效： 1：I0电平模式为1.8V； 0：I0电平模式为3.3V (default)；
SDMMC0_DET	AA20	上拉	JTAG管脚复用选择控制信号： 0：识别为SD卡插入，SDMMC/JATG/UART管脚复用为SDMMC输出； 1：识别为SD卡未插入，SDMMC/JATG/UART管脚复用为JTAG/UART输出 (default)；

3.1.5 JTAG Debug电路

RK3358J芯片的JTAG接口符合IEEE1149.1标准，PC可通过SWD模式（两线模式）连接DSTREAM仿真器，调试芯片内部的ARM Core。

在连接仿真器前，需要保证SDMMC0_DET管脚处于高电平，否则无法进入JTAG调试模式。接口说明如表3-4所示：

表 3 - 4 RK3358J JTAG Debug接口信号

信号名	管脚	描述
JTAG_TCK	AA19	AP JTAG时钟输入。
JTAG_TMS	AA16	AP JTAG模式选择输入。

3.1.6 DDR电路

- 3.1.6.1 DDR控制器介绍

RK3358J DDR控制器接口支持JEDEC SDRAM标准接口，控制器有如下特点：

- 支持DDR3/DDR3L/DDR4/LPDDR2/LPDDR3；
- 提供一个32bit的DDR控制器接口，支持数据总线位宽32bit/16bit可配置，地址总线最大支持16bit；
- 支持的最大DDR容量为4GB；
- 支持Power Down、Self Refresh等低功耗模式；

● 3.1.6.2 DDR拓扑结构与连接方式

RK3358J的SDRAM拓扑结构如图3-4所示，以DDR3为例：

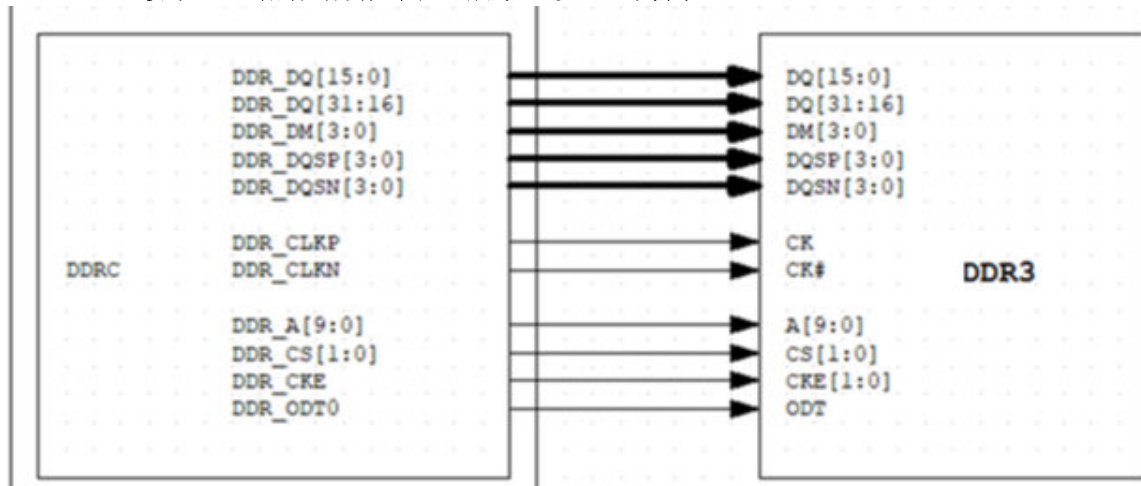


图 3-4 RK3358J SDRAM的拓扑结构图

● 3.1.6.3 DDR上电时序要求

RK3358J DDR控制器仅包括一组电源，无上电时序问题：

- DDRIO_VDD：DDR控制器的Core供电、接口I/O供电以及缓冲器电源；

DRAM的上电时序请参考JEDEC标准，例如DDR3 DRAM的上电时序如下图所示：

After...	Applicable Conditions
Ta is reached	V_{DD1} must be greater than $V_{DD2}-200\text{mV}$
	V_{DD1} and V_{DD2} must be greater than $V_{DDCA}-200\text{mV}$
	V_{DD1} and V_{DD2} must be greater than $V_{DDQ}-200\text{mV}$
	V_{Ref} must always be less than all other supply voltages

图 3-5 DDR3 DRAM上电时序

● 3.1.6.4 DDR支持的型号列表

RK3358J DDR接口支持DDR3/DDR3L/DDR4/LPDDR2/LPDDR3，最高工作频率支持到800MHz，支持器件请参考瑞芯微电子《RK DDR Support List》文档。

3.1.7 eMMC电路

● 3.1.7.1 eMMC控制器介绍

RK3358J eMMC接口支持5.0和5.1协议，并兼容4.41、4.51的器件，控制器有如下特点：

- 支持SFC FLASH、Nand FLASH与eMMC FLASH；
- 支持1-bit、4-bit和8-bit三种数据总线宽度；

- 最高支持HS200模式，但是不支持CMD Queue；

● 3.1.7.2 eMMC拓扑结构与连接方式

eMMC接口支持接口上下拉和匹配设计推荐如表3-5所示。

表 3 - 5 RK3358J eMMC接口设计

信号	内部上下拉	连接方式	描述（芯片端）
eMMC_DQ[7:0]	上拉	直连	eMMC数据发送/接收
eMMC_CLK	上拉	串联22ohm电阻	eMMC时钟发送
eMMC_CMD	上拉	直连	eMMC命令发送/接收

● 3.1.7.3 eMMC上电时序要求

RK3358J芯片eMMC控制器仅包括一组电源，所以对上电时序没有特别要求：

- VCCI00：eMMC控制器的I/O电源；

eMMC颗粒的上电时序请参考JEDEC标准：

- VCC与VCCQ在上电时序上没有先后要求；
- VCC与VCCQ必须在RK3358J的CMD命令发出前上电，并保持稳定的工作电压；
- 在颗粒进入睡眠模式后，RK3358J 可以关断VCC电源以降低功耗；
- 在颗粒从睡眠模式被唤醒前，VCC电源必须先上电，并保持稳定的工作电压；

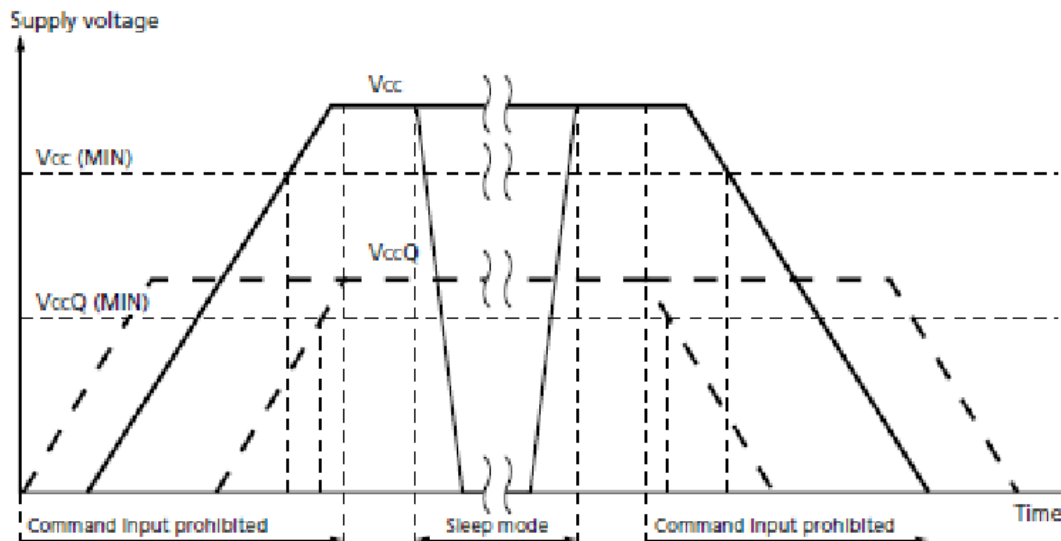


图 3-6 eMMC颗粒上下电时序

● 3.1.7.4 eMMC支持的型号列表

RK3358J eMMC接口支持器件请参考瑞芯微电子《RK eMMCSupportList》文档。

3.1.8 SPI电路

● 3.1.8.1 SPI控制器介绍

RK3358J芯片中有2个SPI控制器，可用来连接SPI设备，其中SPI0可以被用来做为boot使用。

● 3.1.8.2 SPI拓扑结构与连接方式

SPI接口上下拉和匹配设计推荐如表3-6所示。

表 3 - 6 RK3358J SPI接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SPI0_MOSI	下拉	直连	SPI数据发送

SPIO_MISO	上拉	直连	SPI数据接收
SPIO_CLK	上拉	串联22ohm电阻	SPI时钟发送
SPIO_CSN	上拉	直连	SPI片选信号

● 3.1.8.3 SPI上电时序要求

SPI控制器的上电时序要求请遵守GPIO电源域的上电时序要求。

SPI Flash只有一路电源，所以对上电时序没有要求。

3.2 电源设计

3.2.1 最小系统电源介绍

● 3.2.1.1 电源需求

- PLL: PLL_AVDD_1V0、PLL_AVDD_1V8
- CPU: VDD_ARM
- LOGIC&GPU: VDD_LOG
- DDR: VCC_DDR
- GPIO: PMUIO_VDD_1V0、PMUIO1、PMUIO2

● 3.2.1.2 上电时序

理论上遵循同一模块低压先上、高压后上；相同模块相同电压一起上电原则，不同模块间无时序要求。

推荐的上电时序参考如下：

PLL_AVDD_1V0&PMUIO_VDD_1V0&VDD_LOG→VDD_CPU→PLL_AVDD_1V8→VCC_DDR→PMUIO1&PMUIO2

需要确保VDD_LOG电压第一个上电。

3.2.2 电源设计建议

● 3.2.2.1 待机电路方案

RK3358J板级系统分为常供电区和待机掉电区，两部分独立供电，如图3-9所示。

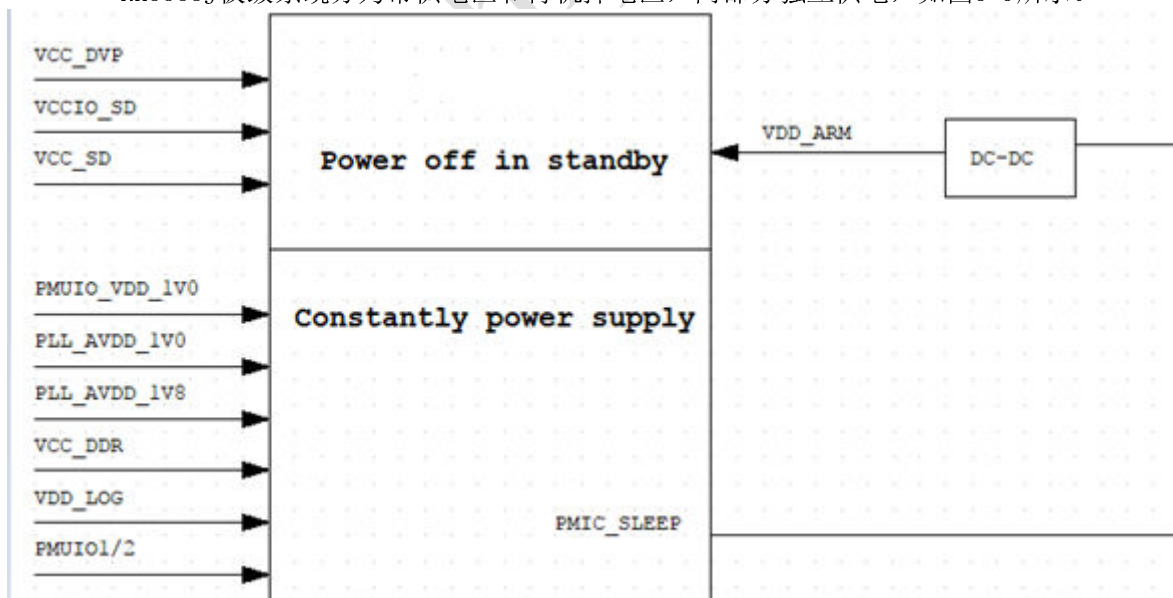


图 3-7 RK3358J待机电路方案

待机掉电区电源通过PMIC控制各路独立电源关断，并通过PMIC_SLEEP_H控制MOS开关电路在待机状态下关断供电。

常供电区电源由电源芯片直接提供，在待机状态下至少应保留如下四组电源不断断：

- DDR: VCC_DDR, 为DDR自刷新提供电源;
- GPIO: PMUI01 & PMUI02, 为PMUI01 & PMUI02电源域维持输出状态及中断响应提供IO电源;
- LOGIC: PMUI0_VDD_1V0 & VDD_LOG, 为PMUI01 & PMUI02电源域的Logic core提供电源;
- PLL: PLL_AVDD_1V0&PLL_AVDD_1V8, 为PLL以及CPU OSC工作提供电源;

● 3.2.2.2 PLL电源

RK3358J芯片内部共有6个PLL，分配如下：

表 3-7 RK3358J 内部PLL介绍

	数量	电源	待机状态
PMU/OSC	1	PMU_VDD_1V0、PMUI01	不可关断电源
芯片内各模块	5	PLL_AVDD_1V0, PLL_AVDD_1V8	不可关断电源

电源上建议使用LDO为PLL单独供电，特别是DDR工作频率较高，稳定的PLL电源有助于提高高频下的工作稳定性，且去耦电容应靠近引脚摆放。

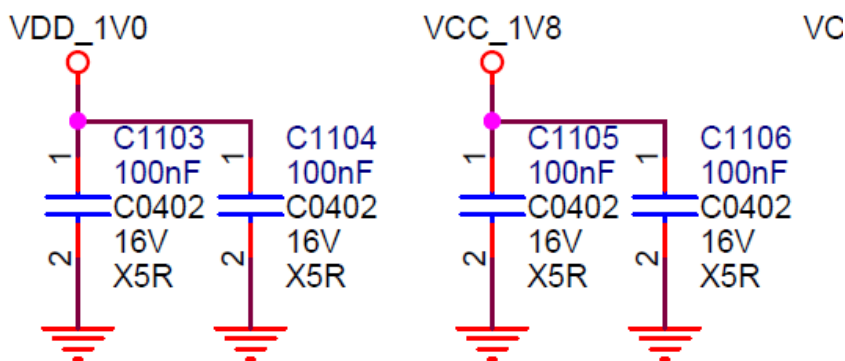


图 3-8 RK3358J 芯片PLL电源

● 3.2.2.3 CPU电源

RK3358J采用CPU独立电源域供电，如下图的VDD_ARM为ARM Cortex-A53 core供电，支持DVFS动态调频调压功能，电源使用DC-DC电源独立供电，峰值电流分别可达1.2A，所以请不要删减RK3358J芯片参考设计原理图中的电容。Layout时将大电容放置在RK3358J芯片背面（单面贴时请靠近芯片放置），以保证电源纹波在100mV以内，避免大负载情况下引起电源纹波偏大，电容如图3-10。

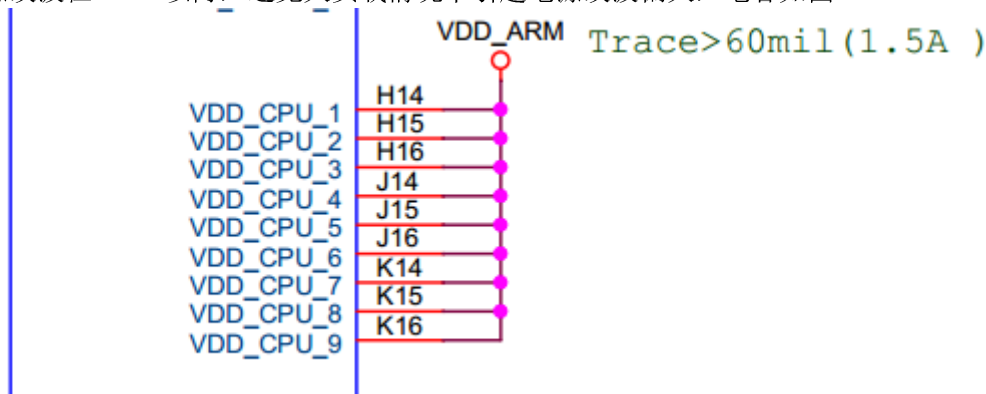


图 3-9 RK3358J 芯片VDD_CPU电源

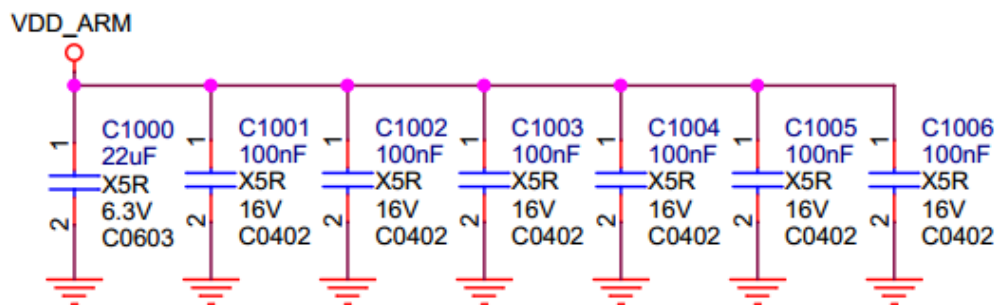


图 3-10 RK3358J 芯片VDD_CPU电源的去耦

● 3.2.2.4 GPU&LOGIC电源

RK3358J的GPU & LOGIC电源使用DC-DC单独供电，如下图所示VDD_LOG，支持DVFS动态调频调压功能，峰值电流可达1.1A，所以请不要删减RK3358J芯片参考设计原理图中的电容。Layout时将大电容放置在RK3358J芯片背面（单面贴时请靠近芯片放置），以保证电源纹波在100mV以内，避免大负载情况下引起电源纹波偏大，电容如图3-12。

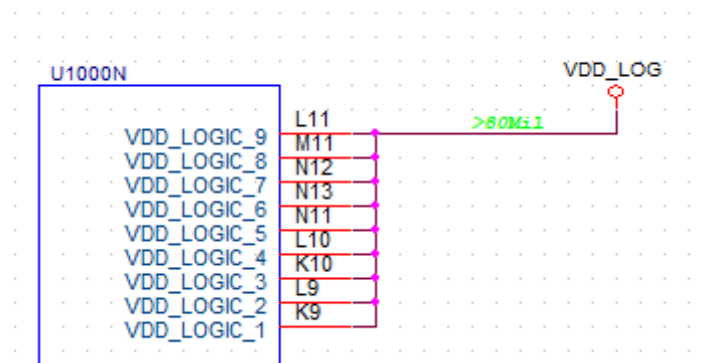


图 3-11 RK3358J 芯片VDD_GPU电源

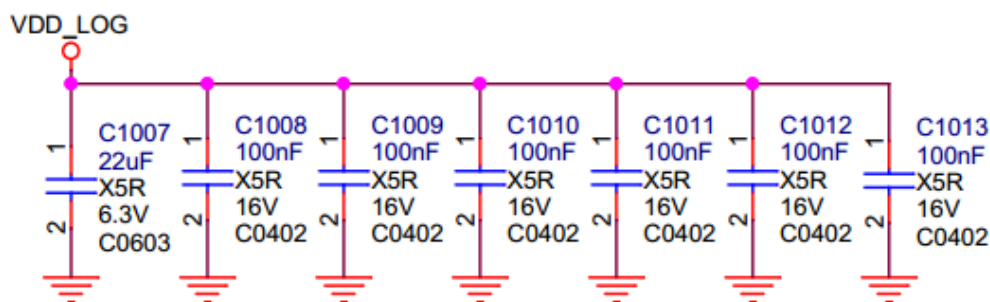


图 3-12 RK3358J 芯片VDD_GPU电源的去耦

● 3.2.2.5 DDR电源

RK3358J芯片的DDR控制器支持DDR3/DDR3L/DDR4/LPDDR2/LPDDR3各种不同类型的DDR颗粒，产品设计时请根据实际使用情况，调整分压电阻，确认RK809 BUCK3的输出电压。

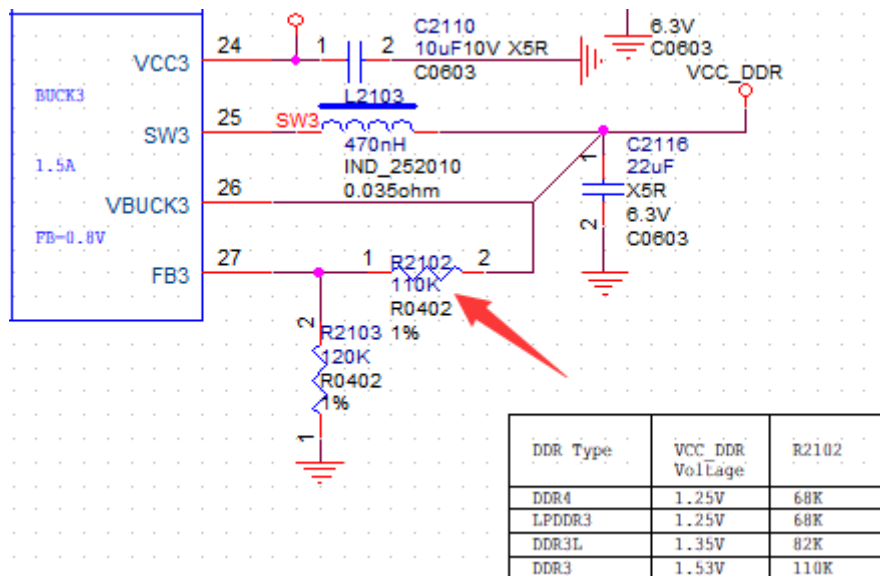


图 3-13 RK3358J 芯片DDR控制器电源

DDR控制器内部集成Vref电路，产生控制器需要的参考电压： $VCC_DDR/2$ 。而DDR4/LPDDR3 DRAM端的Vref_CA= $VCC_DDR/2$ ，而Vref_DQ则根据ODT策略来调整，可以根据驱动强度和ODT值调整对应的Vref电压。

例如：采用LPDDR3,在800MHz频率下，RK3358J芯片端的驱动强度为34.3ohm，DRAM端ODT为240ohm，因此ODT enable时，根据公式算出来的DRAM Vref= $0.56 * VCC_DDR$ 。

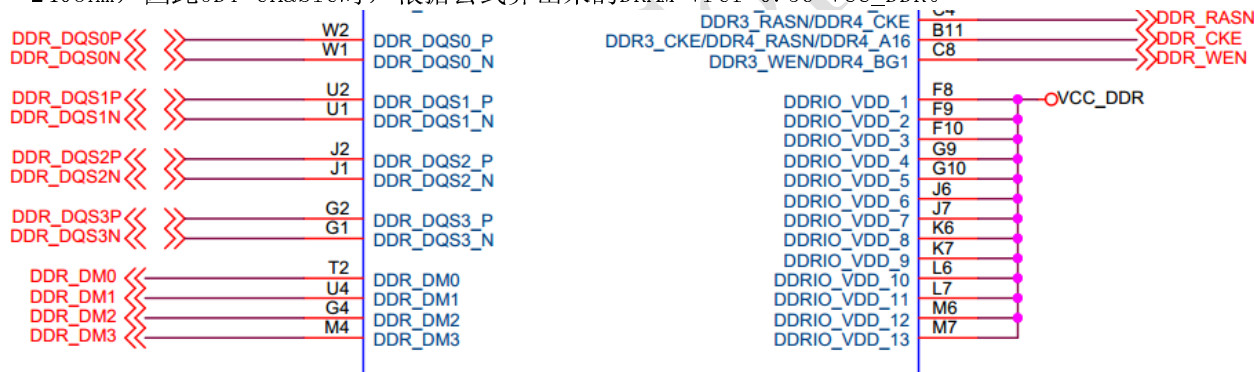
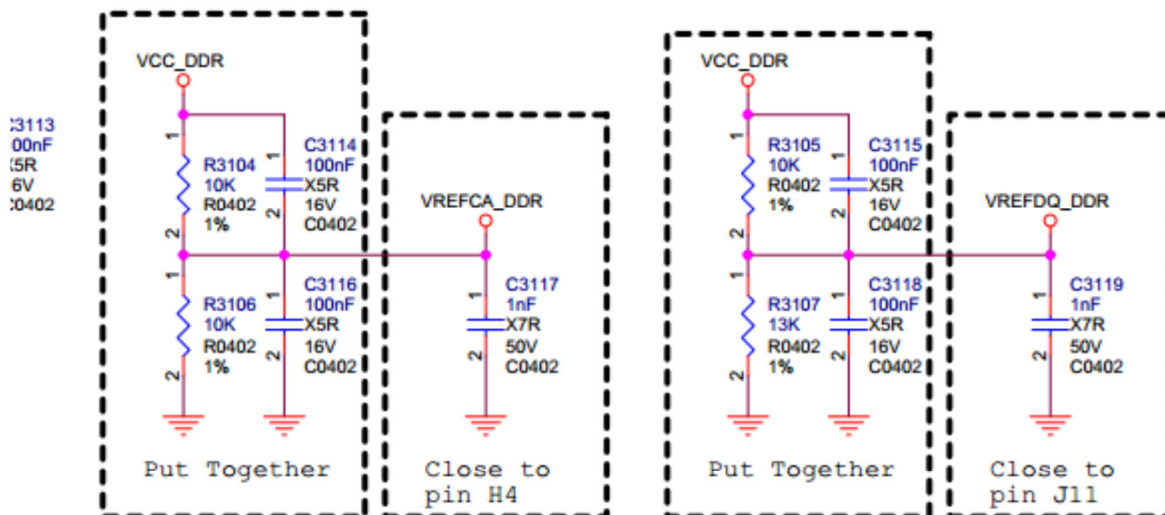


图 3-14 RK3358J 芯片DDR控制器电源



Note:
 $V_{ih}=VCC$
 $V_{il}=VCC \cdot R_{on} / (R_{on} + R_{odt})$
 $VREFDQ_DDR = (V_{ih} + V_{il}) / 2$

eg: $VCC=1.2V$, $R_{on}=34\Omega$, $R_{odt}=240\Omega$
 so, $V_{ih}=1.2V$, $V_{il}=0.149V$, $VREFDQ_DDR=0.674V$

图 3-15 RK3358J LPDDR3 DRAM的VREF电源设计



注意

关于各种颗粒Vref_DQ的设计:

LPDDR2不支持ODT功能; DDR4的Vref_DQ在颗粒内部调整; 而DDR3/DDR3L的ODT功能enable时内部会同时上下拉, $V_{ref_DQ}=V_{ref_CA}=VCC_DDR/2$; 所以只有LPDDR3需要外部调节Vref_DQ。

3.2.2.6 GPIO电源

GPIO电源请参考2.3.1节。建议每个管脚放置一个100nF去耦电容, 并靠近供电管脚摆放。详细设计请参考RK3358J芯片参考设计原理图。

3.2.3 RK809-1方案介绍

3.2.3.1 RK809-1框图

•

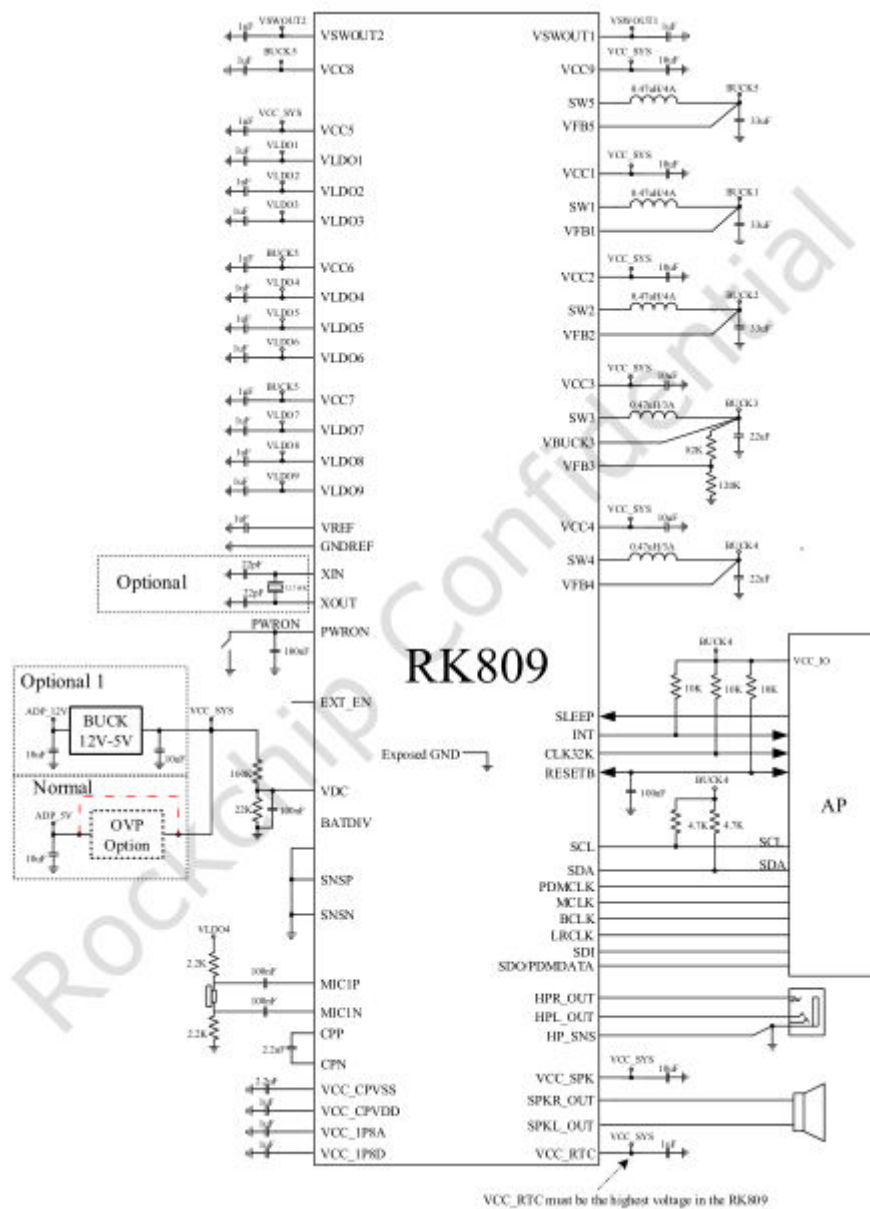


图 3-16 RK809-1 框图

● 3.2.3.2 RK809-1特征

- 输入范围： 3.8V-5.5V;
- 内置精准的电量计
- 内置实时时钟 (RTC)
- 16uA的极低待机电流 (在32KHz时钟频率下)
- 实地耳放驱动
- 不含滤波电感的1.3W Class D类功放
- 固定及可编程可选择的电源启动时序控制
- 内置高性能音频编解码器
 - ◆ 内置独立PLL
 - ◆ 支持麦克风输入
 - ◆ 支持可编程的数字与模拟增益
 - ◆ 支持16bits-32bits的比特率
 - ◆ 采样率高达192kHz
 - ◆ 软件支持master和slave两种工作模式配置
 - ◆ 支持3种I2S格式 (标准, 左对齐, 右对齐)
 - ◆ 支持PDM模式 (外部输入PCLK)

- 供电电源：
 - ◆ 通道1：同步降压DC-DC转换器，2.5A max
 - ◆ 通道2：同步降压DC-DC转换器，2.5A max
 - ◆ 通道3：同步降压DC-DC转换器，1.5A max
 - ◆ 通道4：同步降压DC-DC转换器，1.5A max
 - ◆ 通道5：同步降压DC-DC转换器，1.5A max
 - ◆ 通道6-7、9-14：低压差线性稳压器，400mA max
 - ◆ 通道8：低噪声、高电源抑制比的低压差线性稳压器，100mA max
 - ◆ 通道15：OTG开关，1.5A max
- 封装：7mmx7mm QFN68

● 3.2.3.3 RK3358J+RK809-1 Power Tree

POWER DIAGRAM

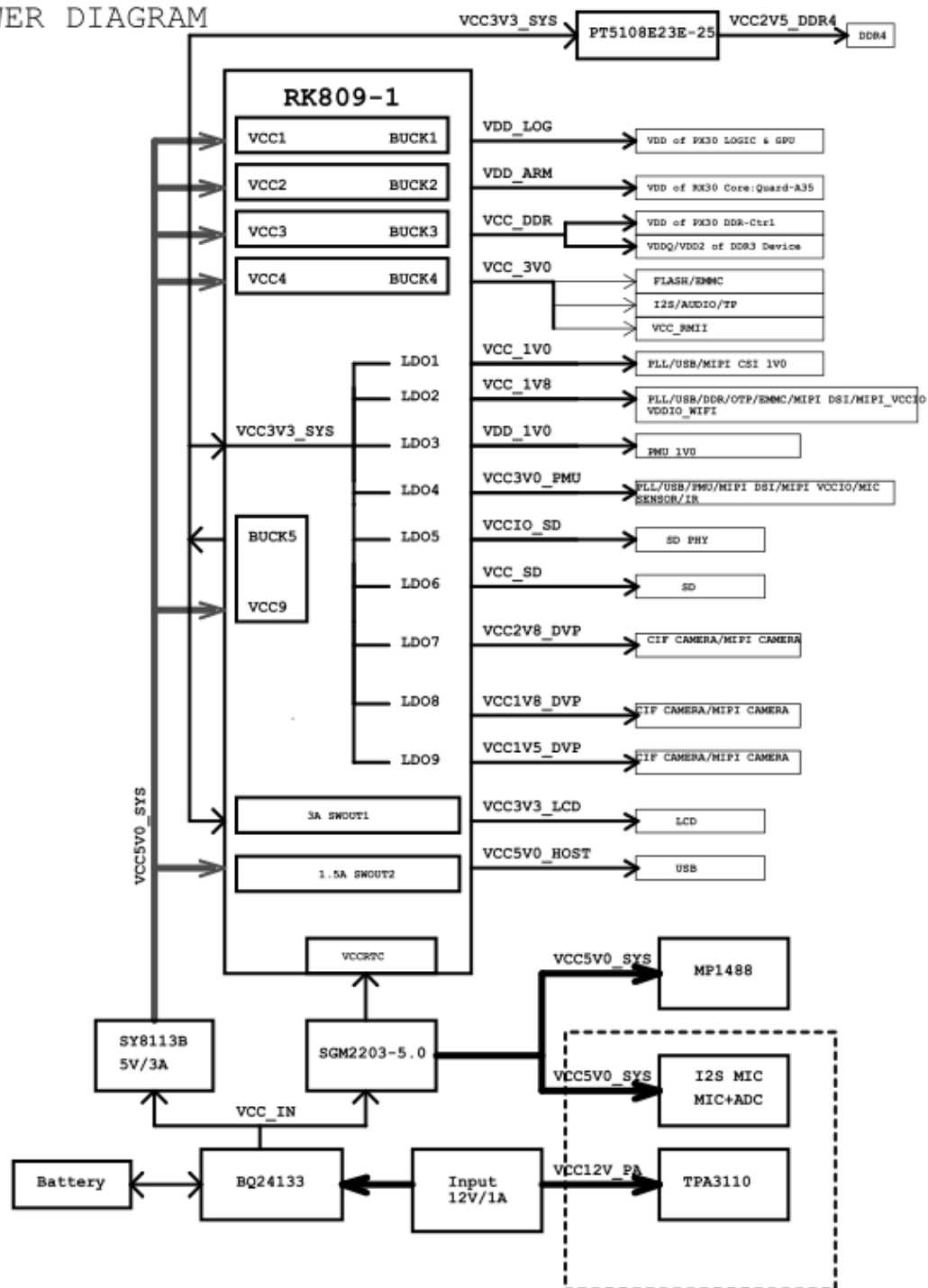


图 3-17 RK809-1 电源架构

- 3.2.3.4 RK809-1默认上电时序图

4.12 POWER SEQUENCE

			RK809-1	
	Range of output voltage	Maximum output current	Default voltage	Start up sequence
BUCK1	0.5V-2.4V	2.5A	1.0V	2
BUCK2	0.5V-2.4V	2.5A	1.0V	2
BUCK3	X(external divided resistor) Or 0.5V-2.4v(internal divided resistor)	1.5A	x	4
BUCK4	0.5V-3.4V	1.5A	3.0V	5
LDO1	0.6V-3.4V	400mA	2.5V	3

Copyright ©2018 Fuzhou Rockchip Electronics Co., Ltd.

22

RK809 Datasheet

Rev 1.0

			RK809-1	
	Range of output voltage	Maximum output current	Default voltage	Start up sequence
LDO2	0.6V-3.4V	400mA	1.8V	3
LDO3	0.6V-3.4V	400mA	1.0V	2
LDO4	0.6V-3.4V	100mA	3.0V	5
LDO5	0.6V-3.4V	400mA	3.0V	5
LDO6	0.6V-3.4V	400mA	3.0V	5
LDO7	0.6V-3.4V	400mA	2.8V	OFF
LDO8	0.6V-3.4V	400mA	1.8V	OFF
LDO9	0.6V-3.4V	400mA	1.5V	OFF
BUCK5	1.5V-3.6V	2.5A	3.3V	1
SWOUT1				OFF
SWOUT2				OFF

Table 4-1 Power up/down sequence(x:BUCK3 voltage determined by external divided resistor)

图 3-18 RK809-1 默认上电时序图

BUCK4和LDO4、LDO5、LDO6默认输出都为3.0V，有需要调整为3.3V输出的客户，可以在系统启动之后通过程序调整，LDO的输入电压也需要相应的提高。

3.2.3.5 RK809-1注意事项

- VCC_RTC必须供电，且其电压值必须是供给RK809-1电源中最高的；
- 32.768晶体的匹配电容推荐值为22pF，用户可根据所用晶体的具体规格微调此参数；



注意

为了降低功耗PMIC RTC的晶体振荡都做的比较弱，在XOUT或XIN的管脚上用普通的示波器是测不到振荡信号的，或示波器探头一碰上去就会停振，要测32.768k信号请测试CLK32K管脚。

- BUCK1, BUCK2的输出电容必须大于30uF以上才能保证有比较好的去耦效果，特别是大电流高

动态的负载情况下，可以适当加大输出去耦电容；

- RK809-1自带USB OTG供电功能，有短路保护功能，可配置1.0~1.5A的输出限流；
- PWRON脚内置上拉电阻，上拉到VCCRTC，当检测到低电平时间超过500ms就会自动开机；开机后如果PWRON脚被拉低超过6s就会强制关机（通常用于系统死机后的强制关机，再开机）；在休眠以及唤醒操作时，PWRON脚的低电平需维持20ms以上。
- RK809-1工作的基本条件：
 - ◆ VSYS大于3.3V；
 - ◆ 检测到了如下两种情况中的一种，RK809-1自动开机：PWRON脚为低电平并维持500ms；内部RTC Alarm开机使能且定时时间到。
 - ◆ 开启上电流程，每个时序间隔是2ms，上面一个时序电压输出符合要求后才会继续下一个时序，直到所有时序上电结束，并释放reset，完成上电流程；

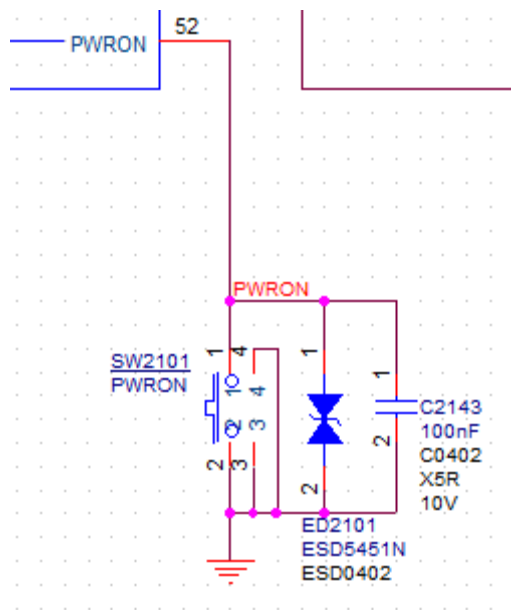


图 3-19 RK809-1 PWRON管脚

- RK809-1检测到如下两种情况之一，会自动关机：
 - ◆ I2C写DEVICE_OFF=1；
 - ◆ PWRON脚为低超过6s。
- RK809-1开始下电流程后，会在1个RTC时钟周期后（约30.5us后）拉低reset，再经过2ms以后同时关断所有电源输出，完成下电流程；

● 3.2.3.6 RK809-1设计说明

RK809-1具体设计说明，请参考RK PMIC相关设计文档《RK809 应用指南》。

3.2.4 其他

● 3.2.4.1 过温保护电路

当RK3358J芯片出现过热、死机等情况时，芯片的TSADC_SHUT管脚会输出低电平，对RK809-1进行复位、控制电源下电并重新上电，在寄存器清零的同时复位整个系统。



当RK3358J芯片在正常工作模式时，芯片的状态管脚PMIC_SLEEP会维持低电平输出。

当系统进入待机模式时，PMIC_SLEEP管脚会输出高电平的休眠指示信号，此时PMIC受该信号控制进入待机状态。根据软件dts文件的配置，部份电源会关闭，部分电源会调低电压。

当系统从待机模式中被唤醒时，PMIC_SLEEP管脚会在第一时间输出低电平，此时PMIC会恢复待机前的工作状态，恢复各路电源输出。

3.3 功能接口电路设计指南

3.3.1 存储卡电路

RK3358J提供了一个SDMMC接口控制器，可支持SD v3.0以及MMC v4.51协议，如图3-47所示：

- SDMMC控制器采用单独的电源域供电；
- SDMMC与UART2、JTAG等功能复用在一起，通过SDMMC0_DET进行功能选择，具体请参考3.1.4小节；
- SDMMC0_VDD为IO电源，需要外部提供3.3V供电（SD 2.0模式）或3.3V/1.8V可调供电（SD 3.0模式）；

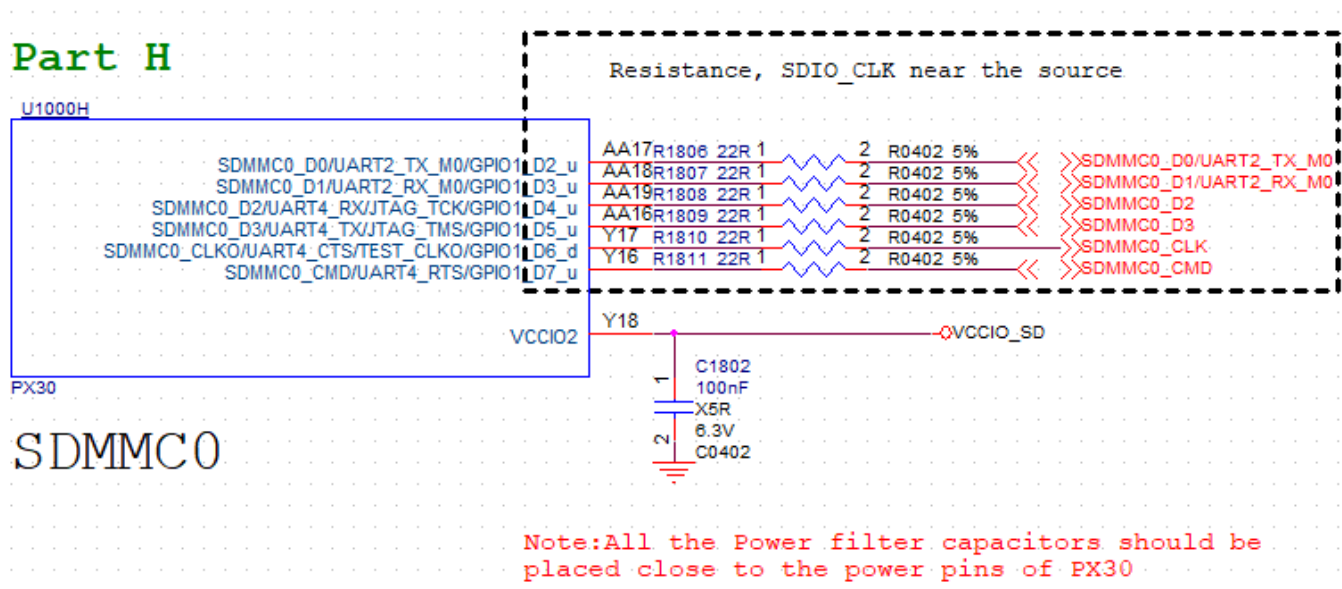


图 3-24 RK3358J SDMMC模块电路

SDMMC接口上下拉和匹配设计推荐如表3-9所示。

表 3-9 RK3358J SDMMC接口设计

信号	内部上下拉	连接方式 (SDR104高速模式)	描述（芯片端）
SDMMC_DQ[3:0]	上拉	串联22ohm电阻 走线较短时可删除	SD数据发送/接收
SDMMC_CLK	下拉	串联22ohm电阻	SD时钟发送
SDMMC_CMD	上拉	串联22ohm电阻 走线较短时可删除	SD命令发送/接收

3.3.2 USB电路

RK3358J芯片拥有两组USB 2.0接口，一组支持OTG模式，另一组为HOST。

Part E

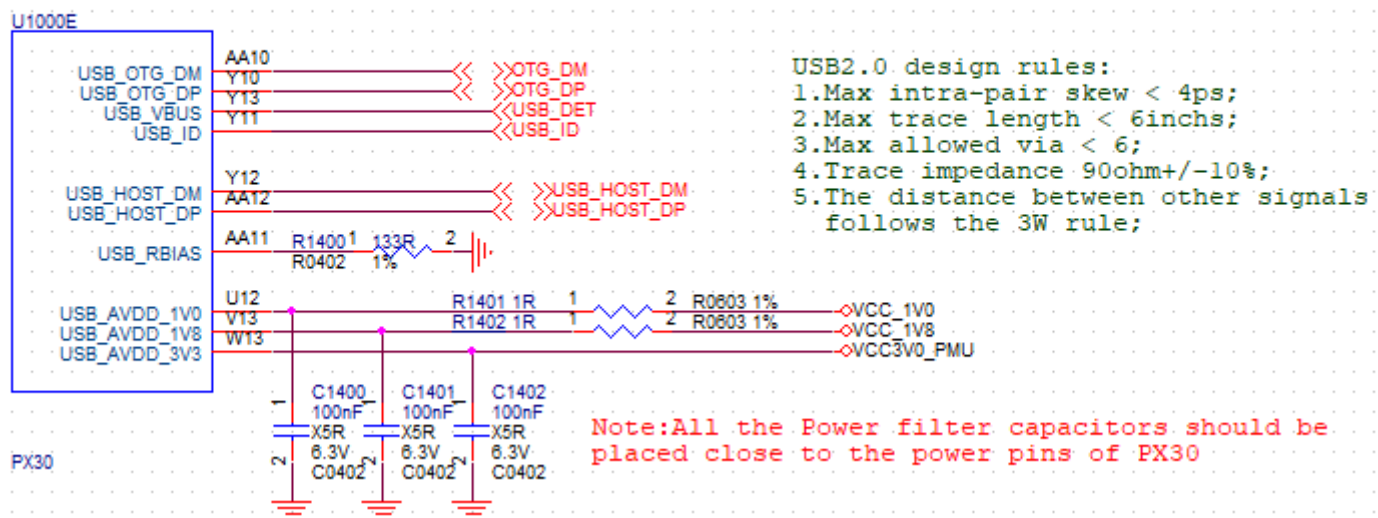
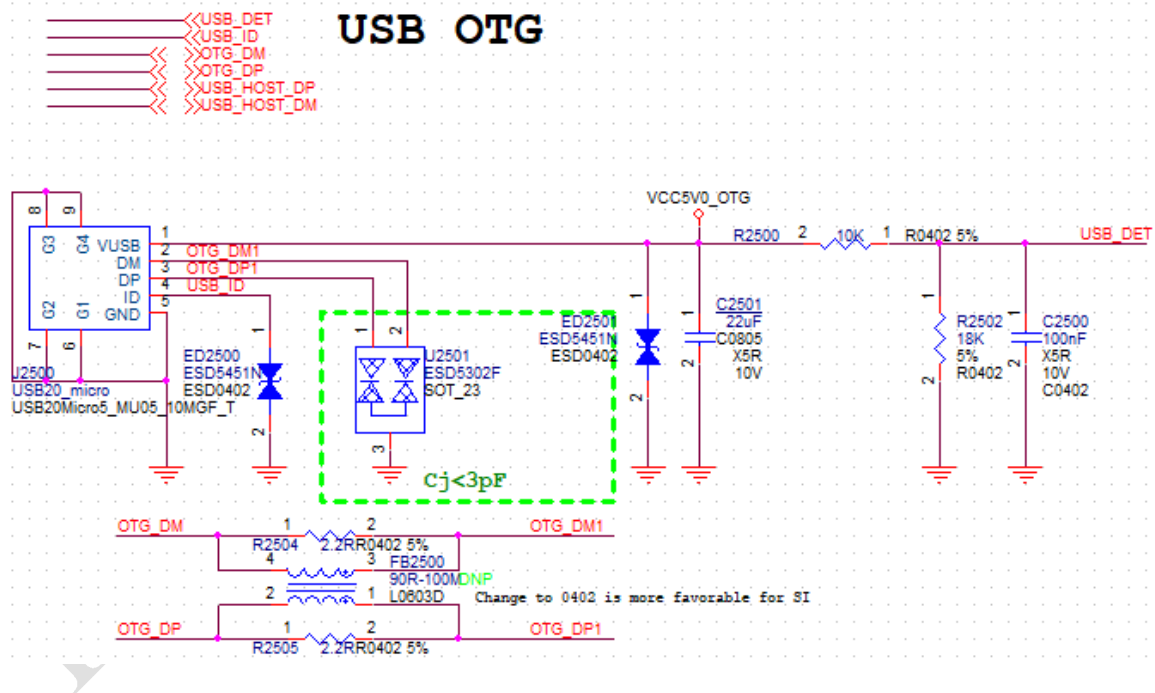


图 3-25 RK3358J USB 2.0模块

设计中请注意:

- USB接口默认做为系统固件烧写端口，设计时必须预留接口;



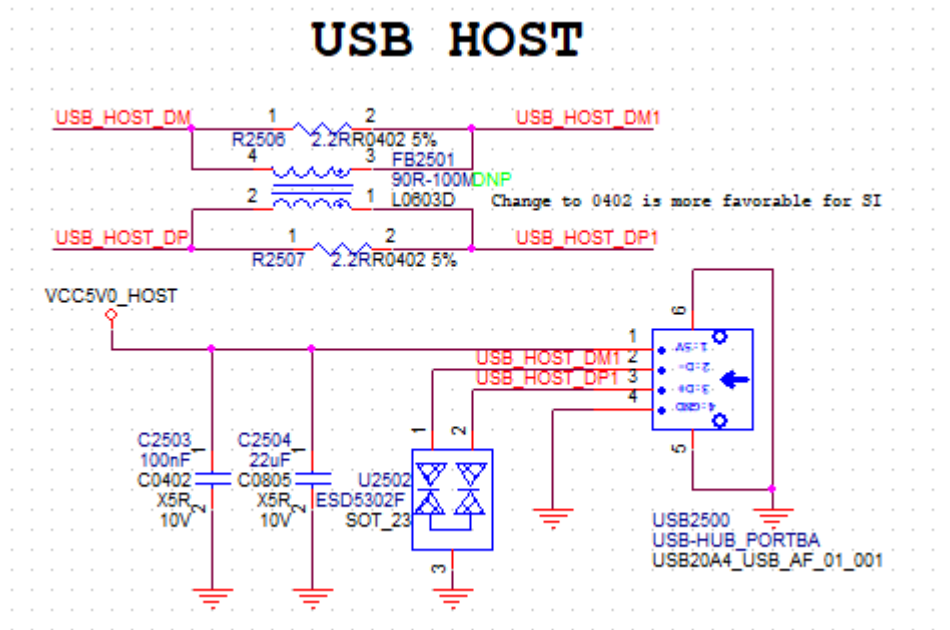


图 3-26 RK3358J USB连接座

- USB_ID有200K的内部上拉电阻，上拉到USB_AVDD_1V8，所以OTG默认会做为Device模式；
- USB_VBUS (USB_DET) 做为USB插入检测，检测到高电平则说明有USB插入；

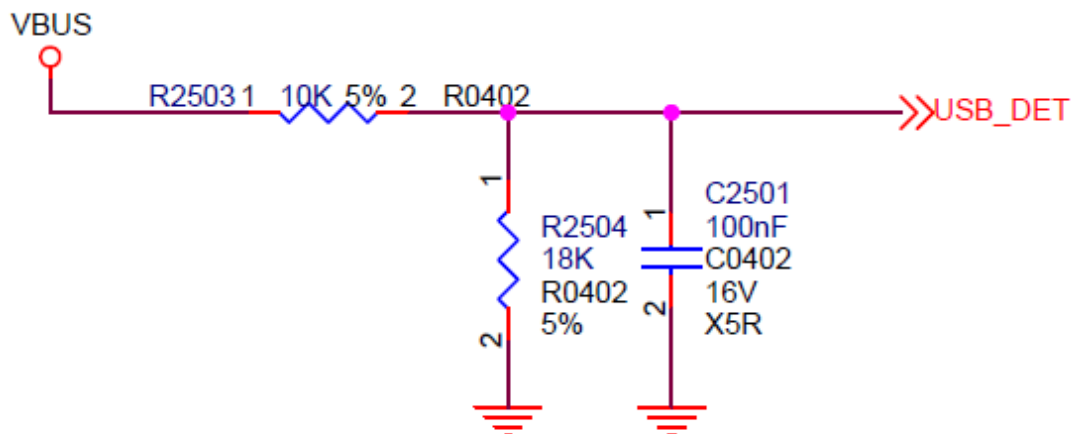


图 3-27 RK3358J USB插入检测

- USB控制器配置参考电阻R1400请选用1%精度的电阻，该电阻关系到USB幅度并影响眼图好坏；



图 3-28 RK3358J USB控制器参考电阻

- 为避免电容充放电对芯片造成的浪涌冲击，控制器的1.0V/1.8V电源需要串联1ohm电阻；

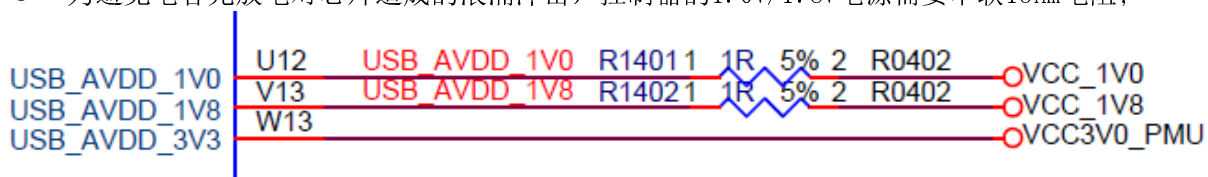


图 3-29 RK3358J USB控制器电源防浪涌

- 为提高USB性能，控制器电源的去耦电容请靠近管脚放置；
- 为抑制电磁辐射，可以考虑在信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感。

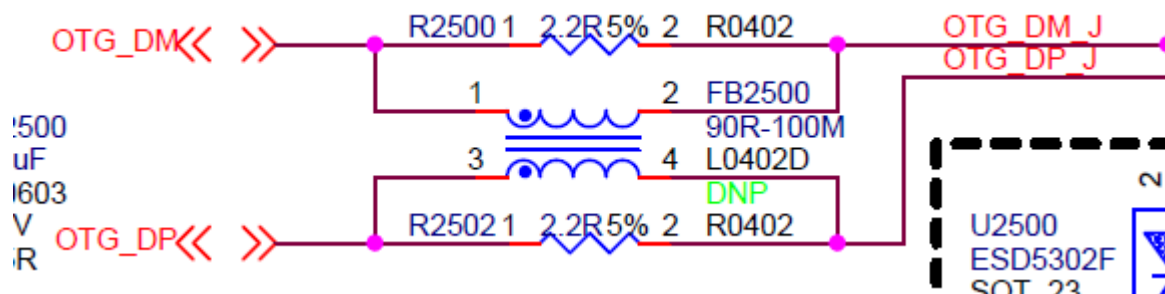


图 3-30 RK3358J USB预留共模电感

USB2.0接口上下拉和匹配设计推荐如表3-12所示。

表 3-10 RK3358J USB2.0接口设计

信号	连接方式	说明
USB_OTG_DP/DM	直连	USB OTG 输入/输出
USB_ID	直连（内部有1.8V上拉）	USB OTG ID识别，Micro-B接口时需要使用
USB_VBUS		USB OTG 插入检测
USB_RBIAS		USB PHY 配置参考电阻，133ohm接地

3.3.3 音频电路

RK3358J提供三组标准I2S接口，均支持master和slave模式、最高采样率至192kHz，比特率从16bits到32bits。

● 3.3.3.1 I2S0

如图所示，I2S0接口包含独立的8通道输出和8通道输入，为满足播放和录音的异采样率的需求，位时钟和帧时钟也对应提供两组（SCLKTX\LCKTX, SCLKRX\LCKRX）；需要注意的是，对于SD0x和SDIx只参考一组位/帧时钟的情形，优先使用SCLKTX\LCKTX作为它们的共同时钟。

需要注意的是，该组I2S接口属于VCCIO4电源域，默认设置为1.8V供电。如I2S外设IO电平为3.3V，需调整此处供电，并注意同电源域相关IO的电平匹配。

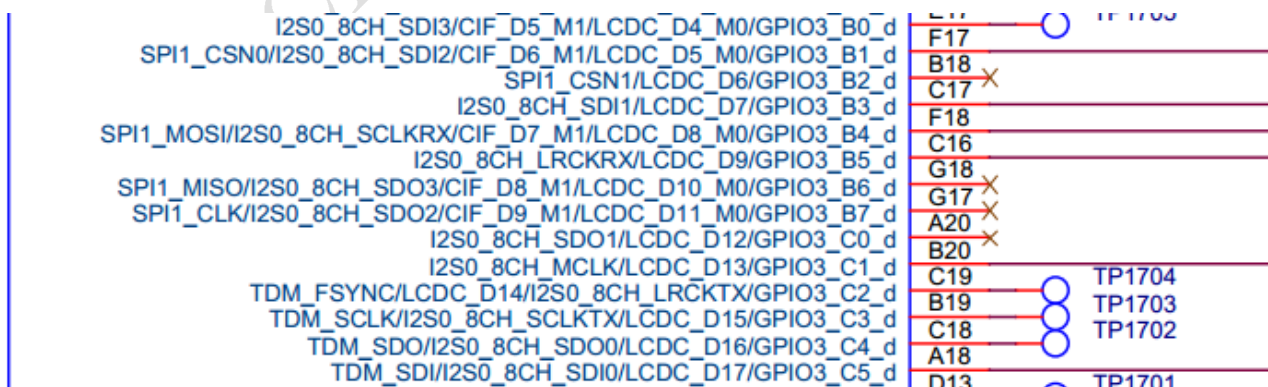


图 3-31 RK3358J I2S0模块

I2S0接口上下拉和匹配设计推荐如表3-11所示。

表 3 - 11 RK3358J I2S0接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S0_8CH_MCLK	下拉	串联22ohm电阻	I2S0系统时钟输出
I2S0_8CH_SCLKTX	下拉	串联22ohm电阻	I2S0位时钟 (TX, 关联SD0x)
I2S0_8CH_LRCKTX	下拉	串联22ohm电阻	I2S0帧时钟，用于声道选择 (TX, 关联SD0x)
I2S0_8CH_SD00	下拉	串联22ohm电阻	I2S0数据输出通道0
I2S0_8CH_SD01	下拉	串联22ohm电阻	I2S0数据输出通道1
I2S0_8CH_SD02	下拉	串联22ohm电阻	I2S0数据输出通道2
I2S0_8CH_SD03	下拉	串联22ohm电阻	I2S0数据输出通道3
I2S0_8CH_SCLKRX	下拉	串联22ohm电阻	I2S0位时钟 (RX, 关联SDIx)
I2S0_8CH_LRCKRX	下拉	串联22ohm电阻	I2S0帧时钟，用于声道选择 (RX, 关联SDIx)
I2S0_8CH_SDI0	下拉	串联22ohm电阻	I2S0数据输入通道0
I2S0_8CH_SDI1	下拉	串联22ohm电阻	I2S0数据输入通道1
I2S0_8CH_SDI2	下拉	串联22ohm电阻	I2S0数据输入通道2
I2S0_8CH_SDI3	下拉	串联22ohm电阻	I2S0数据输入通道3

● 3.3.3.2 I2S1

I2S1支持2通道输入与2通道输出。

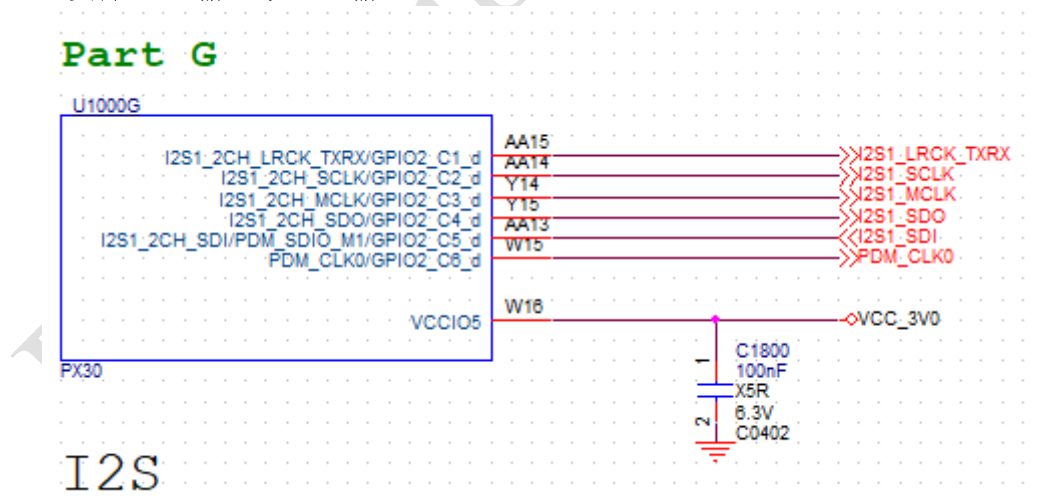


图 3-32 RK3358J I2S1模块

I2S1接口上下拉和匹配设计推荐如表3-12所示。

表 3 - 12 RK3358J I2S1接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S1_MCLK	下拉	串联22ohm电阻	I2S1系统时钟输出
I2S1_SCLK	下拉	串联22ohm电阻	I2S1位时钟
I2S1_LRCK_TXRX	下拉	串联22ohm电阻	I2S1帧时钟，用于声道选择时钟
I2S1_SDO	下拉	串联22ohm电阻	I2S1数据输出通道
I2S1_SDI	下拉	串联22ohm电阻	I2S1数据输入通道

● 3.3.3.3 I2S2

I2S2支持2通道输出与2通道输入，默认用于连接BT模块的PCM接口，作为HFP协议下蓝牙通话功能的通讯口使用。

需要注意的是，该组I2S接口属于VCCI04电源域，在WIFI/BT模组处于SDIO3.0工作模式时，默认设置为VCC_1V8供电。如该电源域设置为3.3V供电，PCM IO相关电平转换电路需上件处理、以满足电平匹配。

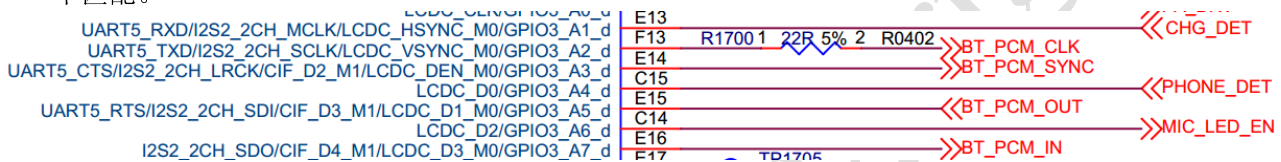


图 3-33 RK3358J I2S2模块

I2S2接口上下拉和匹配设计推荐如表3-13所示。

表 3 - 13 RK3358J I2S2接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S2_2CH_MCLK	下拉	串联22ohm电阻	I2S2系统时钟输出 无PCM功能复用，可作为普通GPIO用途
I2S2_2CH_SCLK PCM_CLK	下拉	串联22ohm电阻	I2S2位时钟 PCM时钟
I2S2_2CH_LRCK PCM_SYNC	下拉	串联22ohm电阻	I2S2帧时钟，用于声道选择时钟 PCM数据帧同步
I2S2_2CH_SDO PCM_OUT	下拉	串联22ohm电阻	I2S2数据输出通道 PCM数据输出
I2S2_2CH_SDI PCM_IN	下拉	串联22ohm电阻	I2S2数据输入通道 PCM数据输入

RK3358J提供一组PDM数字音频接口，最多支持8路PDM格式音频输入，最高采样率至192kHz，比特率从16bits到32bits。

为配合RK809-1实现音频回采输入，该处IO复用情况比较零活，需注意避免同一信号在不同复用位置的重复使用。

当使用PDM MIC作为语音采集时，为简化软件对音频录音数据的处理，回采也建议一致地使用PDM接口。这样对于常见应用涉及的2-6个PDM MIC录音加上1-2路回采通道的情况，仅由一个完整的4-8通道录音音频即可完成输入，软件无需进行额外的拼接处理。

若需要连接8通道PDM MIC输入，那么只能使用I2S接口作为回采通道的捕捉，软件需进行额外的

音频拼接处理以满足算法对数据同步性的要求。

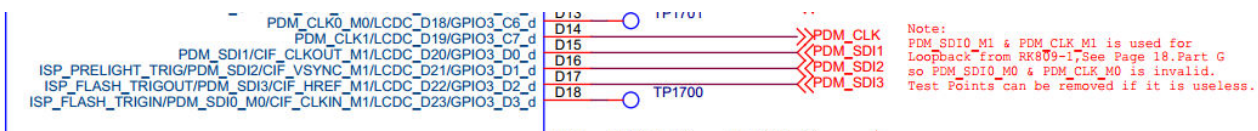


图 3-34 RK3358J I2S2模块PDM

Part G

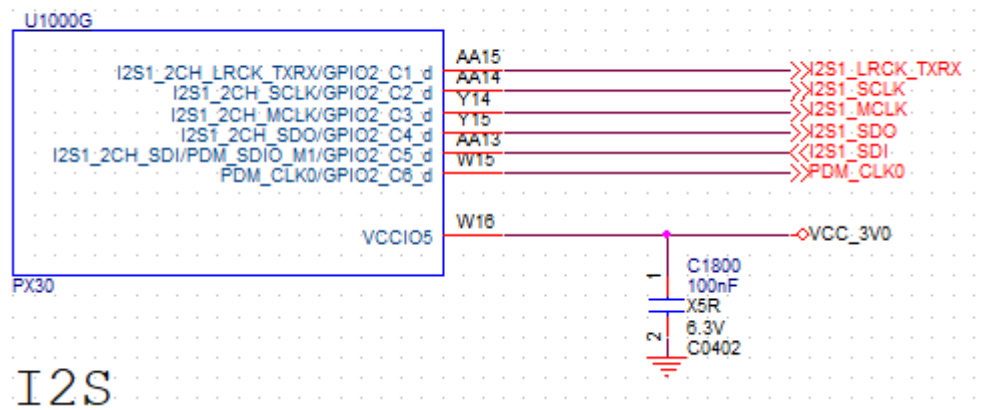


图 3-35 RK3358J PDM接口

3.3.3.4 Codec

RK809-1自带Codec，通过I2S接口与RK3358J连接。

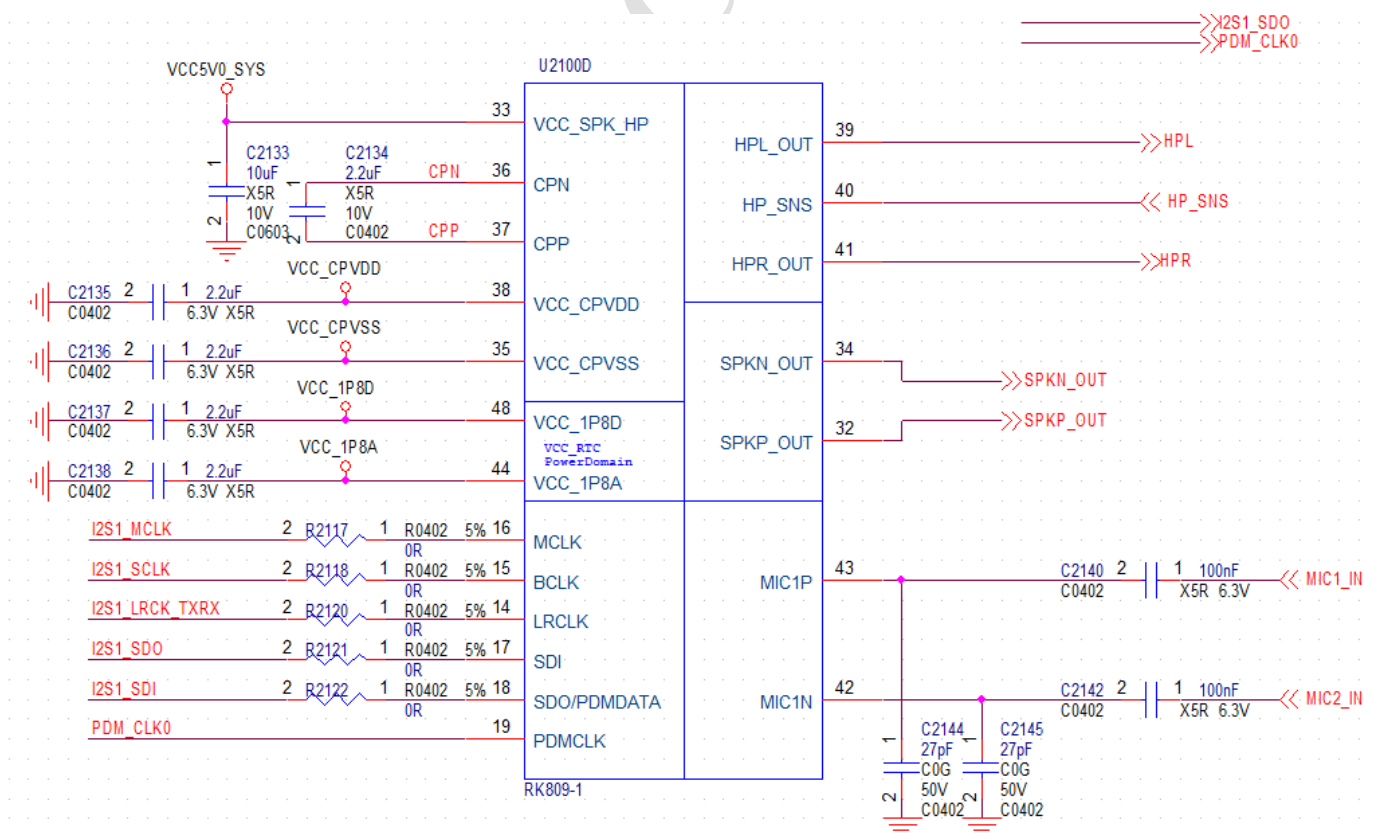


图 3-36 RK809-1 Codec电路

Codec输出的HPSNS作为内部Offset参考，需要与GND连接，走线上在耳机座子处与GND相连，减小

与耳机GND间的电平差。如果Codec的GND与耳机GND在同一完整GND平面上，器件布局靠近，则可以直接连到GND平面。

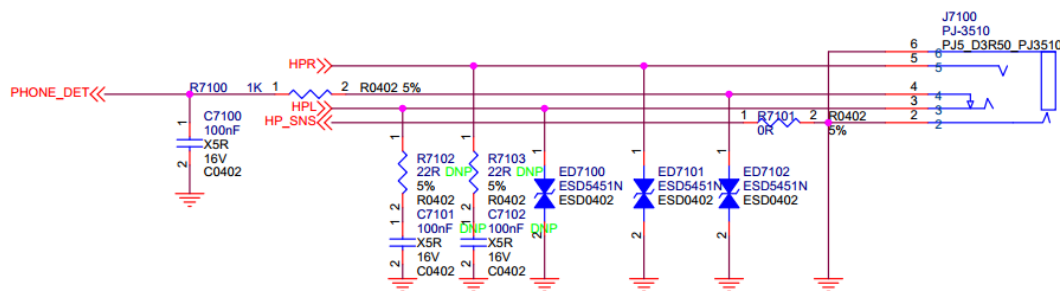


图 3-37 RK3358.J Headphone电路

Codec内置Mono免滤波喇叭驱动电路，可提供1.3W@8ohm的驱动能力，满足对小功率单声道的应用场景，可省额外的外部功放成本。当使用该内置功放时，建议的回采电路如下，经过分压、滤波后输出差分回采信号到RK809-1的音频ADC接口，由RK809-1完成A/D转换后经PDM/I2S接口穿回RK3358J。

此处RK809-1默认设置为PDM接口与RK3358J通讯，是基于使用PDM MIC情况下的考虑，在PDM接口部分已有描述。

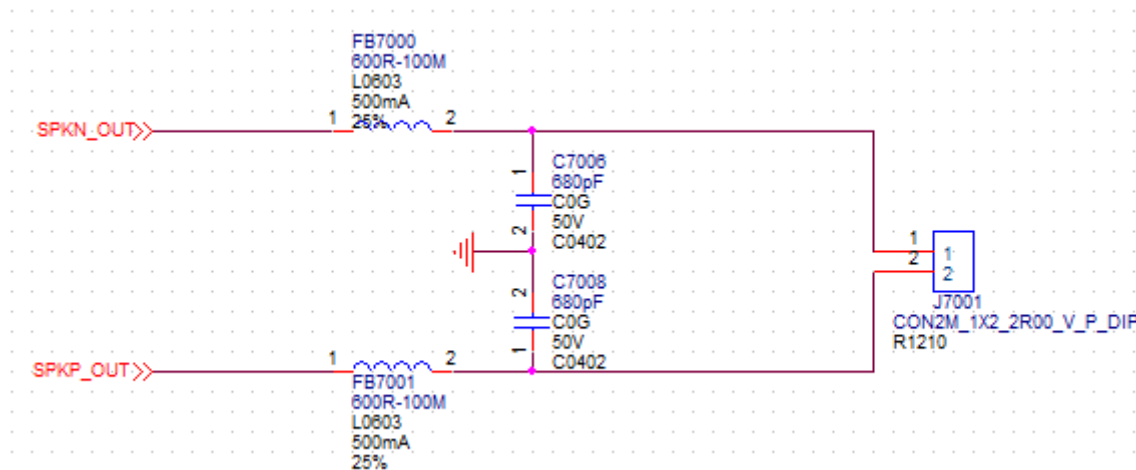


图 3-38 RK3358.J Speaker电路

- **3.3.3.5 MIC**

MIC电路如图3-39，请根据驻极体麦克风规格，选择合适的分压电阻R7105、R7106；如果使用的是模拟接口的MEMS MIC，请参考具体的推荐设计电路；如果使用的是数字接口的MEMS MIC，如图3-40，可直接连接到RK3358J的I2S0上。

Microphone

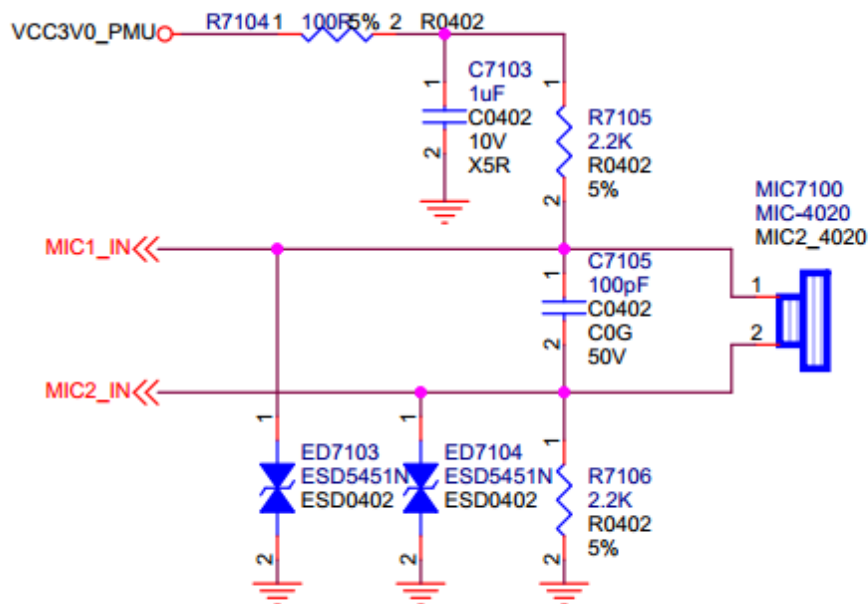


图 3-39 RK3358J MIC电路

LCDC_D1_M0/I2S2_2CH_SDO/CIF_D3_M1/GPIO3_A5_d	C14
LCDC_D2/GPIO3_A6_d	E16
LCDC_D3_M0/I2S2_2CH_SDO/CIF_D4_M1/GPIO3_A7_d	E17
LCDC_D4_M0/I2S0_8CH_SDI3/CIF_D5_M1/GPIO3_B0_d	F17
LCDC_D5_M0/I2S0_8CH_SDI2/CIF_D6_M1/SPI1_CSN0/GPIO3_B1_d	B18
LCDC_D6/SPI1_CSN1/GPIO3_B2_d	C17
LCDC_D7/I2S0_8CH_SDI1/GPIO3_B3_d	F18
LCDC_D8_M0/I2S0_8CH_SCLKRX/CIF_D7_M1/SPI1_MOSI/GPIO3_B4_d	C16
LCDC_D9_M0/I2S0_8CH_LRCKRX/GPIO3_B5_d	G18
LCDC_D10_M0/I2S0_8CH_SDO3/CIF_D8_M1/SPI1_MISO/GPIO3_B6_d	G17
LCDC_D11_M0/I2S0_8CH_SDO2/CIF_D9_M1/SPI1_CLK/GPIO3_B7_d	A20
LCDC_D12/I2S0_8CH_SDO1/GPIO3_C0_d	B20
LCDC_D13/I2S0_8CH_MCLK/GPIO3_C1_d	C19
LCDC_D14/I2S0_8CH_LRCKTX/PWM4/TDM_LRCK/TDM_FSTNC/GPIO3_C2_d	B19
LCDC_D15/I2S0_8CH_SCLKTX/PWM5/TDM_SCLK/GPIO3_C3_d	C18
LCDC_D16/I2S0_8CH_SDO0/PWM6/TDM_SDO/TDM_SDO/GPIO3_C4_d	A18
LCDC_D17/I2S0_8CH_SDI0/PWM7/TDM_SDI/TDM_SDI/GPIO3_C5_d	D13
LCDC_D18/PDM_CLK0_M0/CIF_D10_M1/GPIO3_C6_d	D14
LCDC_D19/PDM_CLK1/CIF_D11_M1/GPIO3_C7_d	D15
LCDC_D20/PDM_SDI1/CIF_CLKOUT_M1/GPIO3_D0_d	D16
LCDC_D21/PDM_SDI2/CIF_VSYNC_M1/ISP_PRELIGHT_TRIG/GPIO3_D1_d	D17
LCDC_D22/PDM_SDI3/CIF_HREF_M1/ISP_FLASH_TRIGOUT/GPIO3_D2_d	D18
LCDC_D23/PDM_SDI0_M0/CIF_CLKIN_M1/ISP_FLASH_TRIGIN/GPIO3_D3_d	

图 3-40 RK3358J I2S0

3.3.4 视频电路

RK3358J芯片内置了视频控制器，支持RGB/LVDS/MIPI DSI三种视频输出模式。

Part M

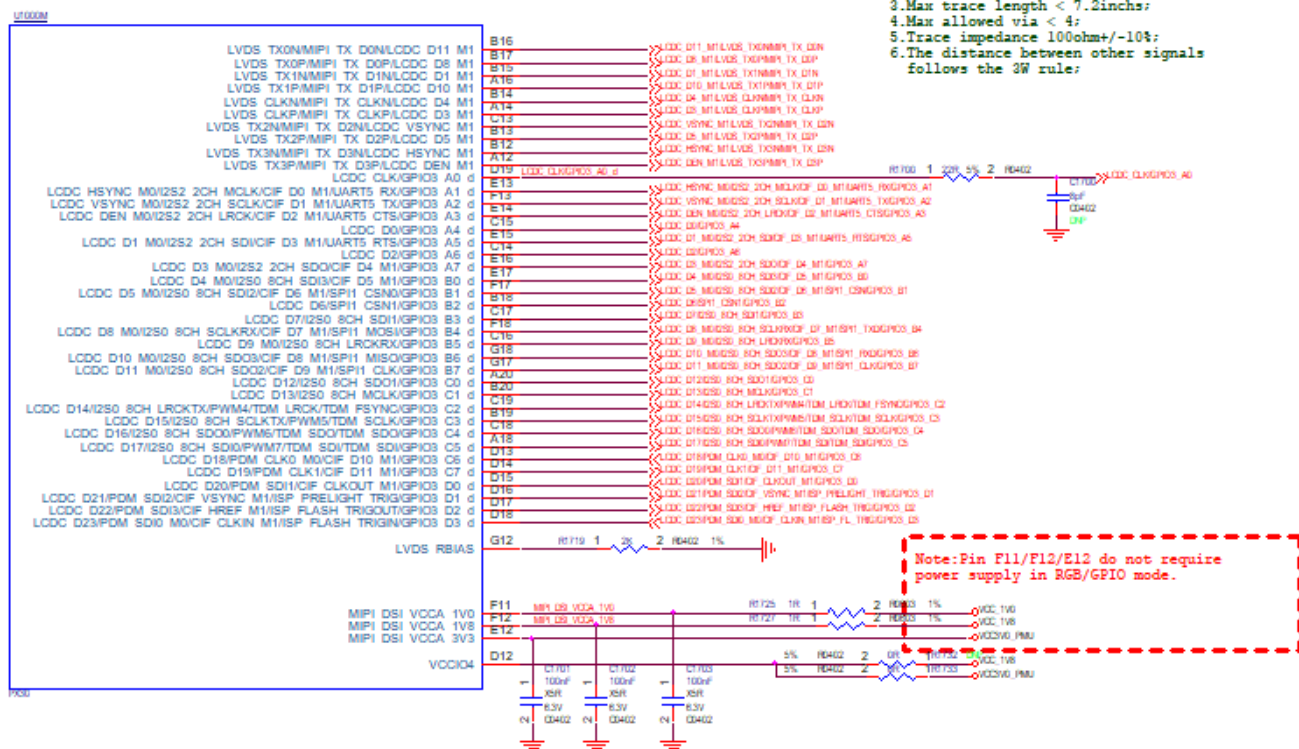


图 3-41 RK3358J 视频输出接口

3.3.4.1 LVDS/MIPI模式

LVDS/MIPI使用同一个控制器，与RGB的部分管脚复用。使用LVDS/MIPI输出的时候，软件需配置对应的输出模式。

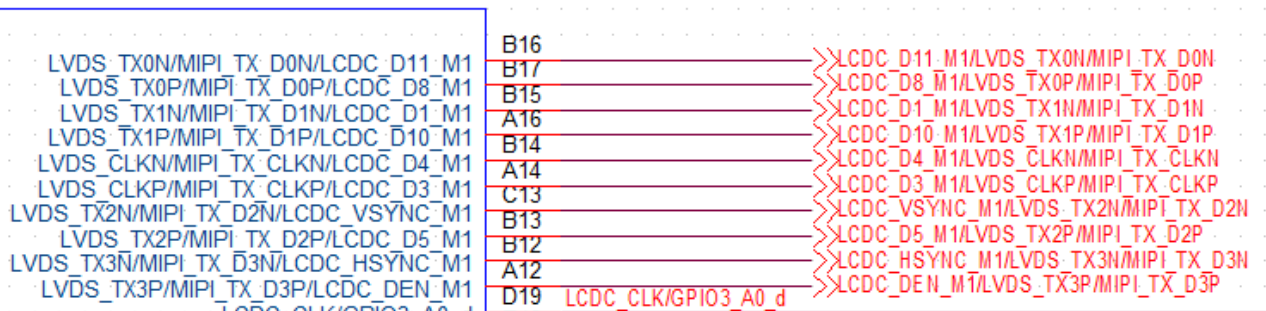


图 3-42 RK3358J LVDS/MIPI接口

设计中请注意：

- LVDS控制器参考电阻R1719请选用1%精度的电阻，该电阻会影响眼图信号质量；MIPI/RGB模式下不需要此电阻；

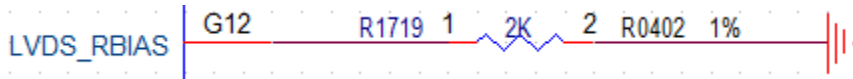


图 3-43 RK3358J LVDS控制器参考电阻

- 为避免电容充放电对芯片造成的浪涌冲击，LVDS/MIPI控制器的1.0V/1.8V电源需要串联1ohm电阻；RGB模式下，三组电源可以不供电；

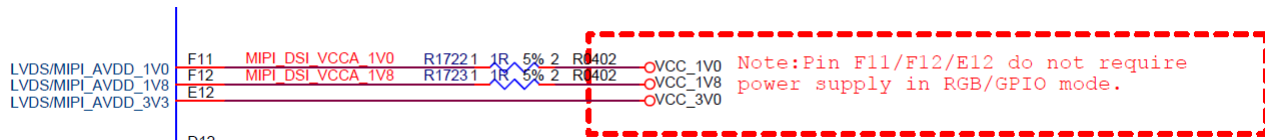


图 3-44 RK3358J 视频输出接口

■ 为保证工作的稳定性，控制器电源的去耦电容请靠近管脚放置；

● 3.3.4.2 RGB模式

RK3358J支持24bit RGB输出，使用RGB输出的时候，软件需配置对应的输出模式。

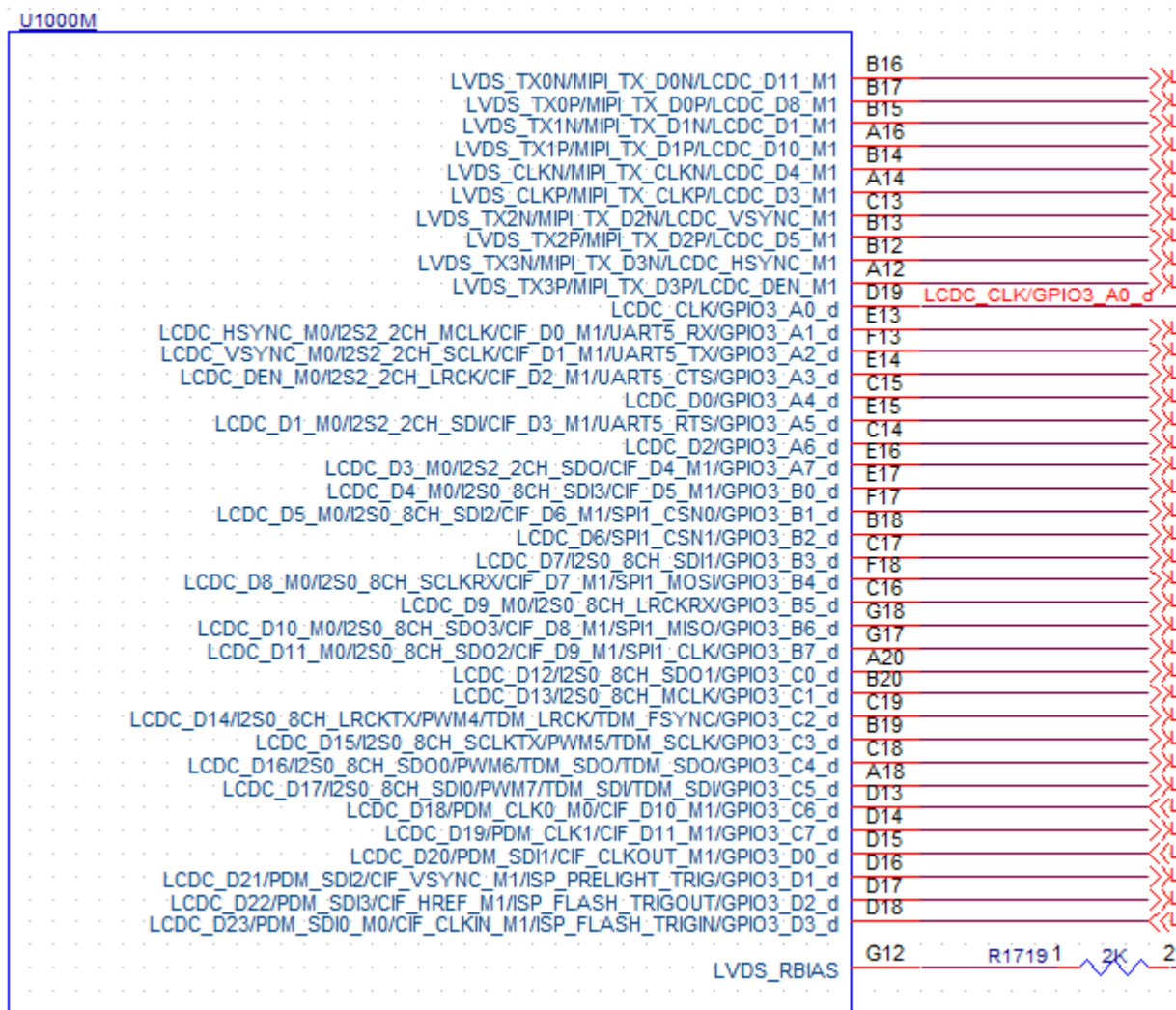


图 3-45 RK3358J MIPI DSI0模块

- 使用RGB888 24bit屏的时候，信号的对应关系如下：

Correspondence between LCDC DATA and RGB			
LCDC_D0	B0	LCDC_D12	G4
LCDC_D1	B1	LCDC_D13	G5
LCDC_D2	B2	LCDC_D14	G6
LCDC_D3	B3	LCDC_D15	G7
LCDC_D4	B4	LCDC_D16	R0
LCDC_D5	B5	LCDC_D17	R1
LCDC_D6	B6	LCDC_D18	R2
LCDC_D7	B7	LCDC_D19	R3
LCDC_D8	G0	LCDC_D20	R4
LCDC_D9	G1	LCDC_D21	R5
LCDC_D10	G2	LCDC_D22	R6
LCDC_D11	G3	LCDC_D23	R7

图 3-46 RK3358J 24bit连接方式

- 使用RGB666 18bit屏的时候，只需要连接LCDC_D0-D17数据信号，对应关系如下：

Correspondence between LCDC DATA and RGB			
LCDC_D0	B2	LCDC_D9	G5
LCDC_D1	B3	LCDC_D10	G6
LCDC_D2	B4	LCDC_D11	G7
LCDC_D3	B5	LCDC_D12	R2
LCDC_D4	B6	LCDC_D13	R3
LCDC_D5	B7	LCDC_D14	R4
LCDC_D6	G2	LCDC_D15	R5
LCDC_D7	G3	LCDC_D16	R6
LCDC_D8	G4	LCDC_D17	R7

图 3-47 RK3358J 18bit连接方式

- 包括LCDC_D5/D8/D10等信号在内的十根RGB信号，有M0和M1两个复用关系，可以自由配置。但是在实际产品设计中，建议使用M1的管脚。因为这部分管脚在芯片边缘，不管是双面板还是四层板，都方便走线。

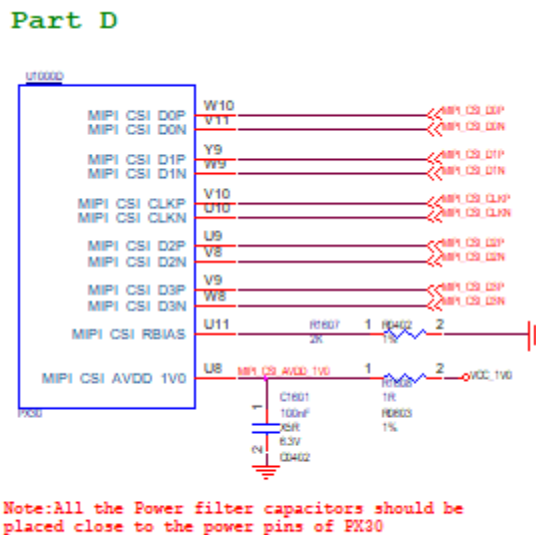
3.3.5 摄像头电路

3.3.5.1 USB CAMERA

USB CAMERA请参考小节3.3.2 中USB的设计方法。

3.3.5.2 MIPI CSI

RK3358J有一组MIPI-CSI输入，内置ISP处理器。



MIPI CSI

图 3-50 MIPI-CSI模块

设计中请注意：

- 控制器参考电阻R1600请选用1%精度的电阻，该电阻会影响眼图信号质量；



图 3-51 RK3358J MIPI-CSI控制器参考电阻

- 为避免电容充放电对芯片造成的浪涌冲击，MIPI-CSI控制器的电源需要串联1ohm电阻；

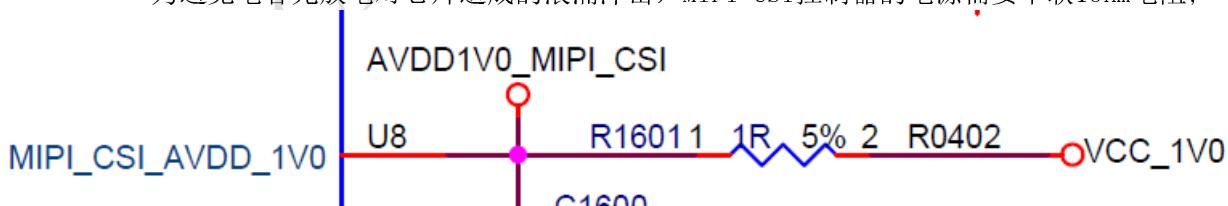


图 3-52 RK3358J 视频输出接口

- 为保证MIPI-CSI性能，控制器电源的去耦电容请靠近管脚放置；

3.3.5.3 CIF CAMERA

CIF接口电源域为VCCI03供电，实际产品设计中，需要根据产品Camera的实际I0供电要求（1.8V or 2.8V），选择对应的供电，同时I2C上拉电平必须与其保持一致，否则会造成Camera工作异常或无法工作。

Part B

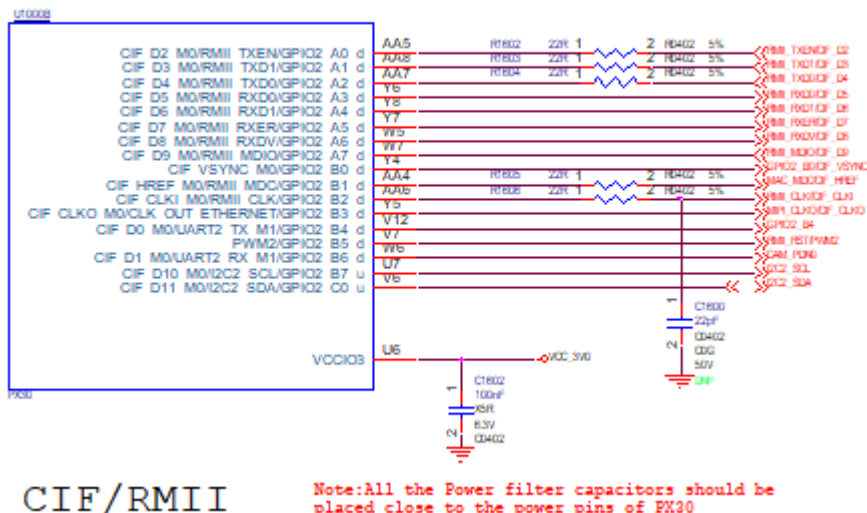
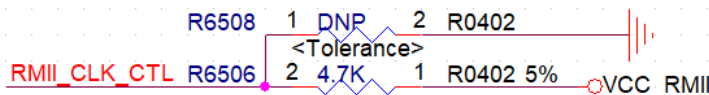


图 3-53 RK3358J CIF模块

3.3.6 RMII电路

RMII与CIF复用，可以配置百兆以太网PHY，实现百兆网络功能，百兆网设计请参考PHY原厂的设计文档，指南中不做过多介绍。PHY所用的工作时钟，可以选择通过外置晶体或由芯片MAC CLK提供。

RMMI REF CLK direction



Pull Low for RMII REF CLK Output mode

Pull High for RMII REF⁺ CLK Input mode

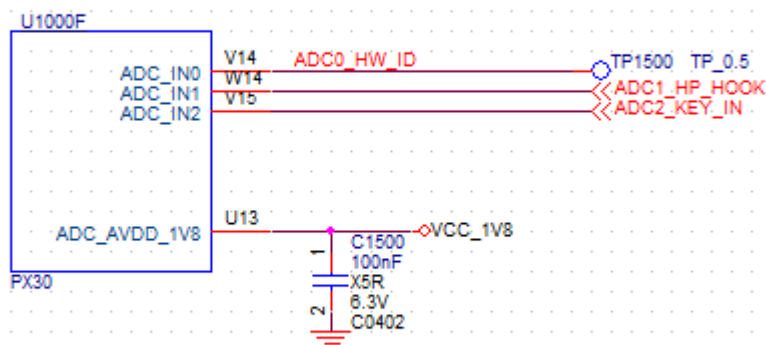
图 3-54 RK3358.J RMII CLK选择

3.3.7 ADC电路

RK3358J芯片采用SARADC的ADC_IN2做为键值输入采样口，并复用为RECOVER模式（不需要更新LOADER），如图。在系统已经烧录固件的前提下，系统启动时拉低ADKEY_IN，将ADC_IN2保持为0V电平，则RK3358J进入Rockusb烧写模式。当PC识别到USB设备时，松开按键使ADC_IN2恢复为高电平（1.8V），即可进行固件烧写。

RK3358J上, SARADC采样范围为0-1.8V, 采样精度为10bits。按键阵列采用并联型, 可以通过增减按键并调整分压电阻比例来调整输入键值, 实现多键输入以满足客户产品需求。设计中建议任意两个按键键值必须大于 ± 35 , 即中心电压差必须大于123mV。

Part F



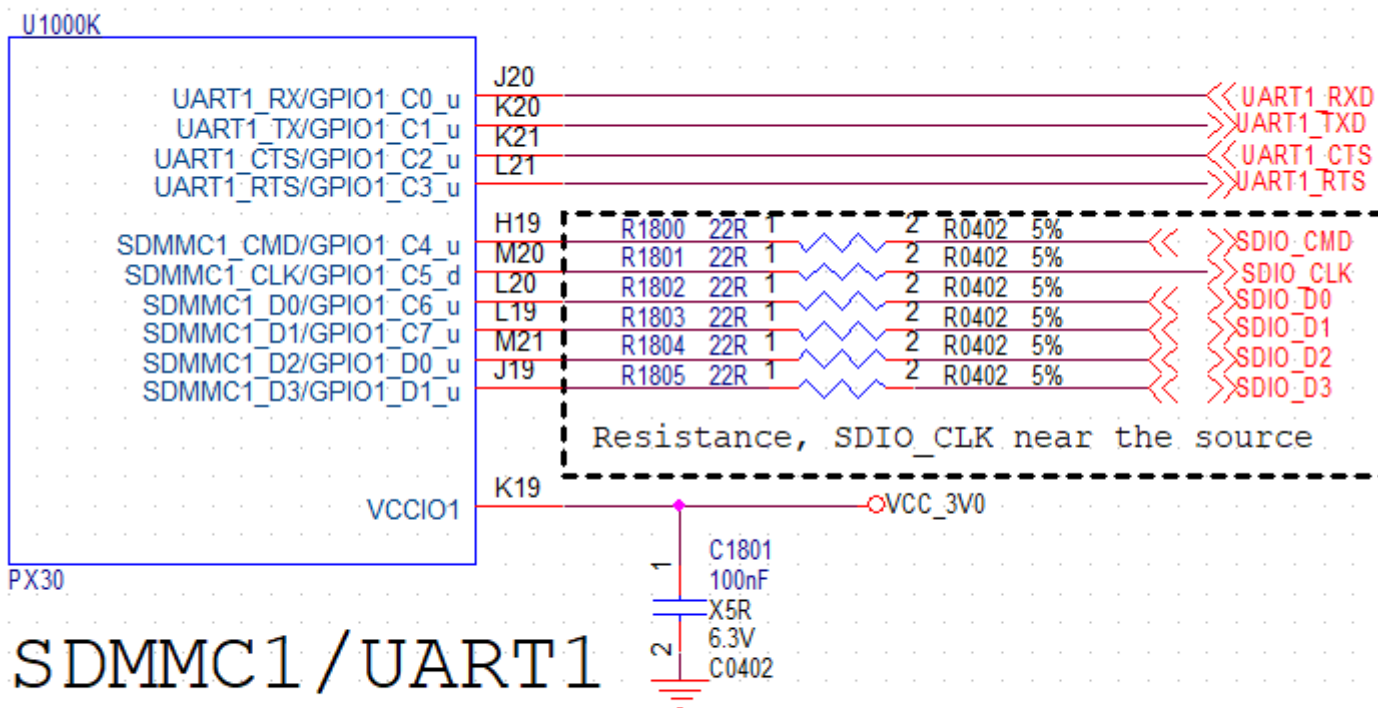
Note: All the Power filter capacitors should be placed close to the power pins of PX30

图 3-55 RK3358J SAR-ADC模块

3.3.8 SDIO/UART电路

RK3358J支持SDIO 3.0接口的WIFI/BT模组，如图3-55所示。采用SDIO、UART接口的WIFI/BT模组时，需要注意RK3358J SDIO、UART控制器的供电必须与模组的IO电平保持一致。

Part K



Note: All the Power filter capacitors should be placed close to the power pins of PX30

图 3-56 RK3358J SDIO/UART模块

3.3.8.1 SDIO

SDIO接口上下拉和匹配设计推荐如表3-14所示。

表 3 - 14 RK3358J SDIO接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SDIO_DQn[0:3]	上拉	串联22ohm电阻 走线较短时可删除	SDIO数据发送/接收
SDIO_CLK	下拉	串联22ohm电阻	SDIO时钟发送
SDIO_CMD	下拉	串联22ohm电阻 走线较短时可删除	SDIO命令发送/接收

3.3.8.2 UART

UART接口上下拉和匹配设计推荐如表3-15所示。

表 3 - 15 RK3358J UART接口设计

信号	内部上下拉	连接方式	描述（芯片端）
UART1_RX	上拉	直连	UART1数据输入
UART1_TX	上拉	直连	UART1数据输出
UART1_CTSn	上拉	直连	UART1允许发送信号
UART1_RTSn	上拉	直连	UART1请求发送信号

UART Debug电路

RK3358J的Debug UART2与SDMMC接口复用在一起，当需要调试时，可以外接UART转USB转接小板进行调试。

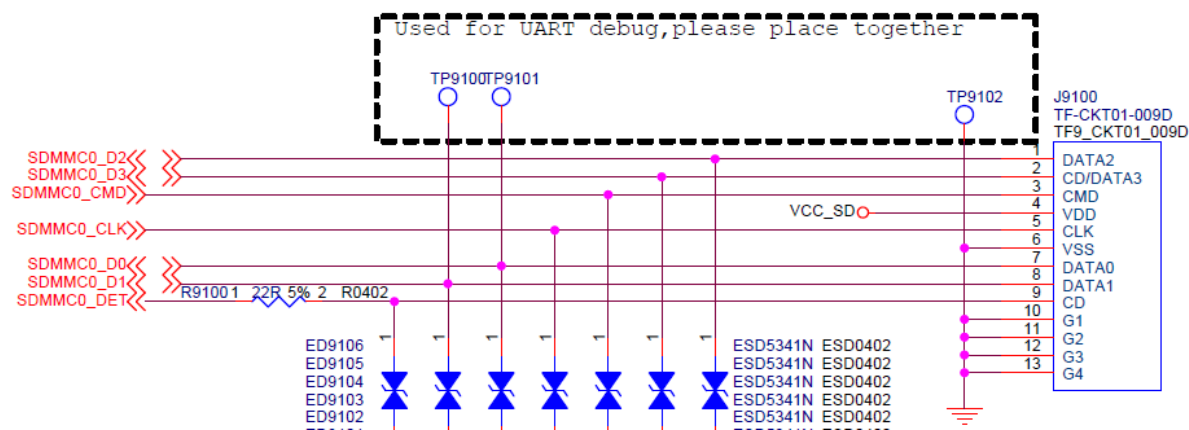


图 3-57 RK3358J UART2

端口号请选择PC连接开发板的端口号，波特率选择1.5M，流控RTS/CTS不需勾选。

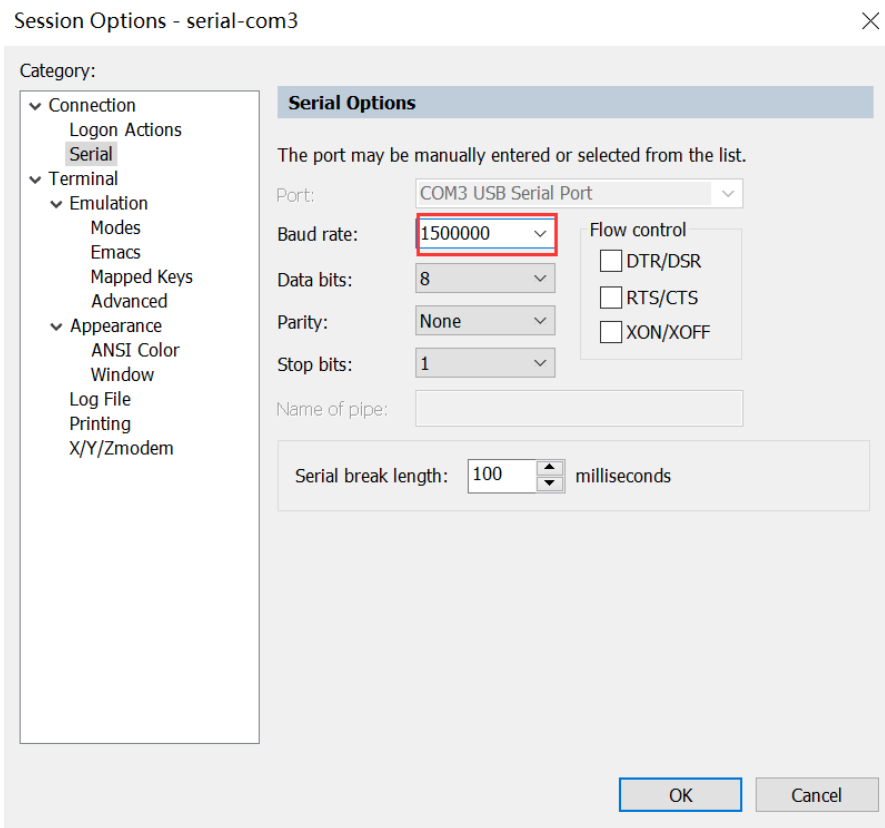


图 3-58 RK3358J 串口配置

4 热设计建议

4.1 热仿真结果

针对RK3358J TFBGA395L的封装，基于JEDEC标准的PCB采用有限元建模法（Finite Element Modeling，FEM），可以得出热阻的仿真报告。该报告基于JEDEC JESD51-2标准给出，应用时的系统设计及环境可能与JEDEC JESD51-2标准不同，需要根据应用条件做出分析。



注意

热阻是在PCB没有散热片条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。

4.1.1 结果概要

JEDEC的热阻系数：

表 4-1 RK3358J 热阻仿真报告结果

Package (EHS-FCBGA)	$\theta_{JA} (^{\circ}\text{C}/\text{W})$	$\theta_{JB} (^{\circ}\text{C}/\text{W})$	$\theta_{JC} (^{\circ}\text{C}/\text{W})$
PCB	26.9	NA	8.2

4.1.2 PCB描述

热阻仿真用的PCB结构如下表：

表 4-2 RK3358J 热阻仿真的PCB结构

PCB	PCB Dimension (L x W)	114.3 x 101.5mm
	PCB Thickness	1.6mm
	Number of Cu Layer	4-layers

4.1.3 术语解释

本章中的术语解释如下：

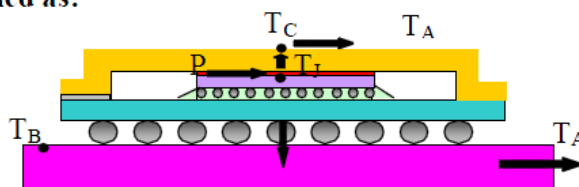
- T_J : The maximum junction temperature;
- T_A : The ambient or environment temperature;
- T_C : The maximum compound surface temperature;
- T_B : The maximum surface temperature of PCB bottom;
- P : Total input power

The thermal parameter can be define as following

1. Junction to ambient thermal resistance, θ_{JA} , defined as:

$$\theta_{JA} = \frac{T_J - T_A}{P};$$

(1)



Thermal Dissipation of EHS-FCBGA

图 4-4-1 θ_{JA} 的定义

2. Junction to case thermal resistance, θ_{JC} , defined as:

$$\theta_{JC} = \frac{T_J - T_C}{P}; \quad (2)$$

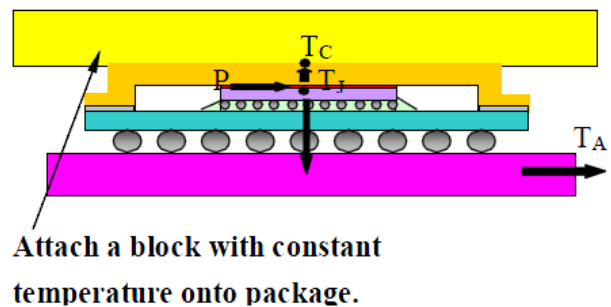


图 4-4-2 θ_{JC} 的定义

3. Junction to board thermal resistance, θ_{JB} , defined as:

$$\theta_{JB} = \frac{T_J - T_B}{P}; \quad (3)$$

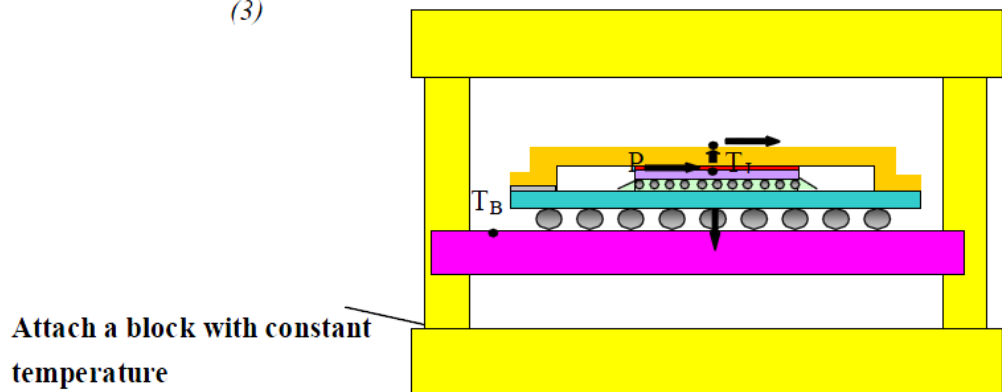


图 4-4-3 θ_{JB} 的定义

4.2 芯片内部热控制方式

4.2.1 温度控制策略

在Linux内核中，定义一套温控框架linux Generic Thermal System Drivers，它可以通过不同的策略控制系统的温度，目前常用的有以下三种策略：

- Power_allocator：引入PID（比例-积分-微分）控制，根据当前温度，动态给各模块分配power，并将power转换为频率，从而达到根据温度限制频率的效果。
- Step_wise：根据当前温度，逐级限制频率；
- Userspace：不限制频率。

RK3358J芯片内部有T-sensor检测片内温度，默认使用Power_allocator的策略，工作状态分以下几种情况：

- 当温度超过设定的温度值：
 - 温度趋势上升，开始降频；
 - 温度趋势下降，开始升频；
- 当温度下降到设定的温度值：
 - 温度趋势上升，频率不变；
 - 温度趋势下降，开始升频；
- 当频率升到最高时，温度还是在设定值以下，CPU频率不再受thermal控制，CPU频率变成系统负载调频；
- 在降频后芯片依旧过温（比如散热不良）超过95度时软件会触发重启；当deadlock或其他引起重启不了，导致芯片超过100度，则会触发芯片内部的otp_out给PMIC直接关机。具体行为动作请参

考小节3.2.5.1。



注意

温度趋势是通过采集到的前后两个温度做对比得出的。设备温度未超过阈值时，每1秒采集一次温度；当设备温度超过阈值时，每20ms采集一次温度并限制频率。

4.2.2 温度控制配置

RK3358J SDK中可以针对CPU和GPU分别提供温控策略，具体配置请参考我司《Rockchip thermal 开发指南》。

Rockchip Copyright

5 ESD/EMI防护设计

5.1 概述

本章对于RK3358J产品设计中的ESD/EMI防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

5.2 术语解释

本章中的术语解释如下：

- Electro-Static discharge (ESD)：静电释放；
- Electromagnetic Interference (EMI)：电磁干扰，包括传导干扰和辐射干扰两部分；

5.3 ESD 防护

- 保证合理的模具设计；端口和插接件部分需预留抗ESD器件；
- 在PCB布局时做好敏感器件的保护，隔离；
- 布局时尽量将RK3358J芯片及核心部件放在PCB中间，不能放在PCB中间的需要保证屏蔽罩离板边至少2MM以上的距离，且要保证屏蔽罩能可靠接地；
- 应该按功能模块及信号流向来布局PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对ESD器件，一般要求摆在源头，即ESD器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB表面一定要有良好的GND回路，各接插件在表层都要有较好的GND连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；

5.4 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理EMI就只能从干扰源跟耦合通道入手了。解决EMI问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接)等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对EMI材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则：若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如SDIO, RGB, CIF等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其SI许可范围。差分接口一般使用共模电感来抑制EMI；
- PCB上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- RK3358J展频的能分模块使用。展频的程度需根据相关部分对信号的要求而定。具体措施见RK3358J展频说明；
- EMI跟ESD对LAYOUT的要求有高度一致性，前诉ESD的LAYOUT要求，大部分适用于EMI防护。另外增加下面的要求：
 - 尽量保证信号完整性；
 - 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位跟时钟，避免转化成引起EMI问题的共模信号；
 - 有插件电解电容等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号。