

RK3128 Hardware Design Guide

	作 者:	瑞芯硬件组
	文档版本:	V0.1
	发布日期:	2014-12-29

免责声明

您购买的产品、服务或特性等应受瑞芯微公司商业合同和条款的约束，本档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，瑞芯微公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为福州瑞芯微电子有限公司的商标，并归瑞芯微电子有限公司所有。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

版权所有 © 福州市瑞芯微电子有限公司 2014

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

福州市瑞芯微电子有限公司

Fuzhou Rockchips Semiconductor Co., Ltd

地址：福建省福州市铜盘路软件园A区18号

网址：www.rock-chips.com

客户服务电话：+86-591-83991906

客户服务传真：+86-591-83951833

客户服务邮箱：www.rock-chips.com


瑞芯微电子

Foreword

Overview

本文档主要介绍RK3128硬件设计的要点及注意点，旨在帮助RK客户缩短产品的设计周期、保证产品的设计稳定性及降低故障率。请客户严格按照本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因模具原因确实需要修改核心模板的，设计需取得RK工程师的确认。

Product Version

本文档对应的产品版本如下：

产品名称	产品版本
RK3128	

Product Object

本文档主要适用于以下工程师：

- 单板硬件开发工程师
- 技术支持工程师
- 测试工程师

Revision History

修订记录累积了每次文档更新的说明。最新版本的文档包含以前说有文档版本的更新内容。

修订日期	版本号	修订说明
2014-12-29	Beta V0.1	初稿;

Acronym

缩略语包括文档中常用词组的简称。

DVP	Digital Video Parallel	数字视频并行接口
ESD	Electro-Static discharge	静电释放
ESR	Equivalent Series Resistance	等效并联电阻
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
I ² C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议 (IEEE 1149.1 兼容)
LCM	LCD Module	LCD显示模组
LVDS	Low-Voltage Differential Signaling	低电压差分信
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
PCB	Printed Circuit Board	印制电路板
RK	Rockchip Electronics Co., Ltd.	瑞芯微电子有限公司
TF Card	Micro SD Card (Trans-flash Card)	外置记忆卡
USB	Universal Serial Bus	通用串行总线

Contents

Foreword	3
Overview	3
Product Version	3
Product Object	3
Revision History	4
Acronym	5
Contents	6
1 Brief Introduction	8
1.1 Chip Overview	8
1.2 Block Diagram	8
2 The Choice Of Reference	10
3 PCB Design	14
3.1 Structure	14
3.2 Design Rule	14
3.3 Test Point	17
3.4 Silk-screen and Decal	18
4 POWER	19
4.1 Schematic	19
4.2 PCB Layout	21
4.5 PMIC RK818	26
5 GPIO	31
5.1 Schematic	31
6 CPU&PMU	32
6.1 Schematic	32
6.2 PCB Layout	32
7 DDR Controller & DRAM	34
7.1 Schematic	34
7.2 PCB Layout (DDR0 channel、DDR1 channel)	36
8 Flash control & Memory	39
8.1 Schematic	39
8.2 PCB Layout	41
9 TF Card	43
9.1 Schematic	43
9.2 PCB Layout	44
10 USB & HSIC	45
10.1 Schematic	45
10.2 PCB Layout	46
11 SarADC & Key	49
11.1 Schematic	49
11.2 PCB Layout	50
12 DVP Interface & Camera	51
12.1 Schematic	51
12.2 PCB Layout	52
13 Display Interface	53
13.1 Schematic	53

13.2 PCB Layout.....	54
14 LCM.....	56
14.1 Schematic	56
14.2 PCB Layout.....	56
15 Debug	59
15.1 Schematic	59
15.2 PCB Layout.....	59
16 Audio Codec	61
16.1 Schematic	61
16.2 PCB Layout.....	62
17 Touch Panel	64
17.1 Schematic	64
17.2 PCB Layout.....	64
18 Sensor.....	65
18.1 Schematic	65
18.2 PCB Layout.....	65
19 eFUSE.....	66
19.1 Schematic	66
20 MAC	67
20.1 Schematic	67
20.2 PCB Layout.....	70
21 2G/3G/4G	75
21.1 Schematic	75
21.2 PCB Layout.....	75
22 WIFI & BT	76
22.1 Schematic	76
22.2 PCB Layout.....	78
23 GPS.....	84
23.1 PCB Layout.....	84
24 NFC.....	85
24.1 Schematic	85
24.2 PCB Layout.....	85

1 Brief Introduction

1.1 Chip Overview

RK3128是一颗适用于高端平板电脑、笔记本电脑、智能监控器的高性能应用处理器，并且支持H.265 1080p，是电视盒子的强大解决方案之一。

芯片集成了包括Neon和FPU协处理器在内的四核Cortex-A7处理器，共享256KB二级缓存。单通道32位DDR3/LPDDR2控制器提供了高性能的内存带宽，并兼具了低功耗。

同时，芯片内嵌的GPU（Mali400 MP2）能顺利支持高分辨率（1080p）显示和主流游戏，支持全部主流视频格式解码，支持H.265硬解码。

它具有多种高性能的接口，使能显示输出方案变得非常灵活，如LVDS，MIPI-DSI，HDMI1.4a及VDAC等。

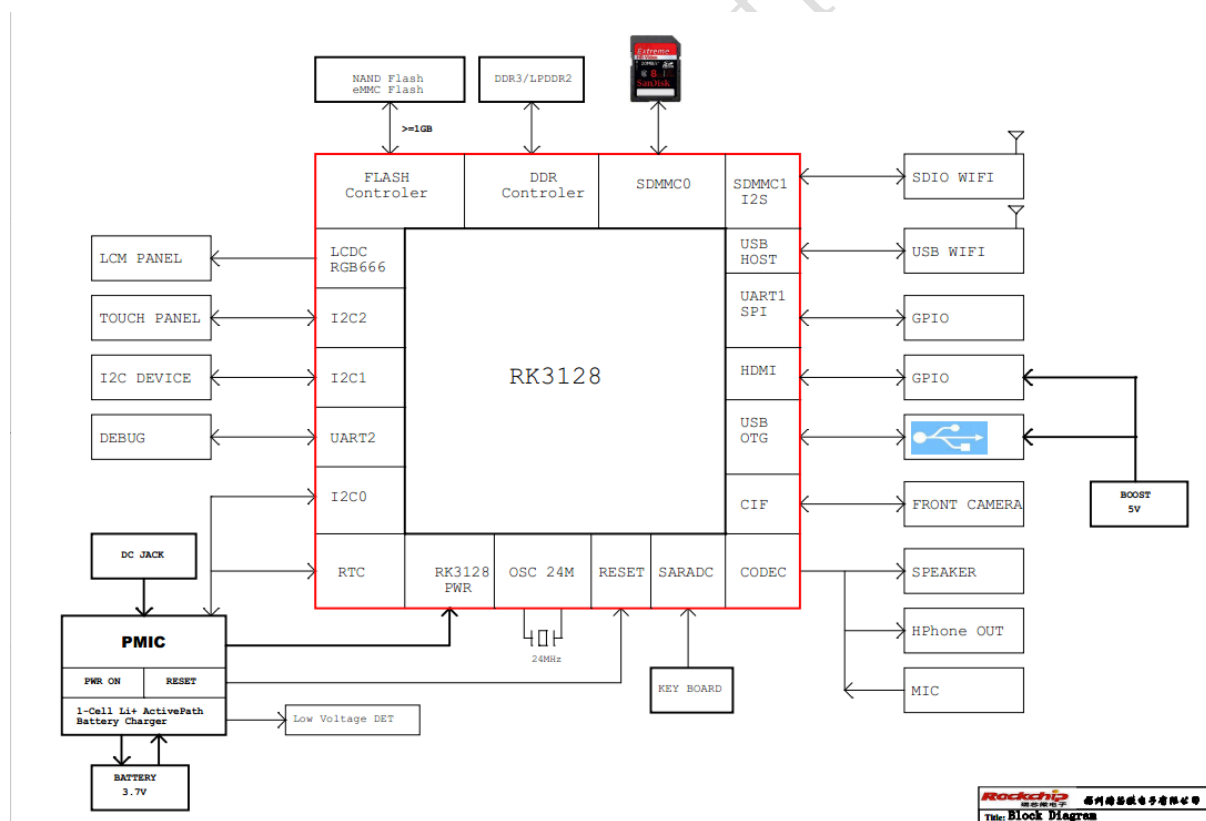


图1-1

1.2 Block Diagram

RK3128芯片框图如图1-2所示：

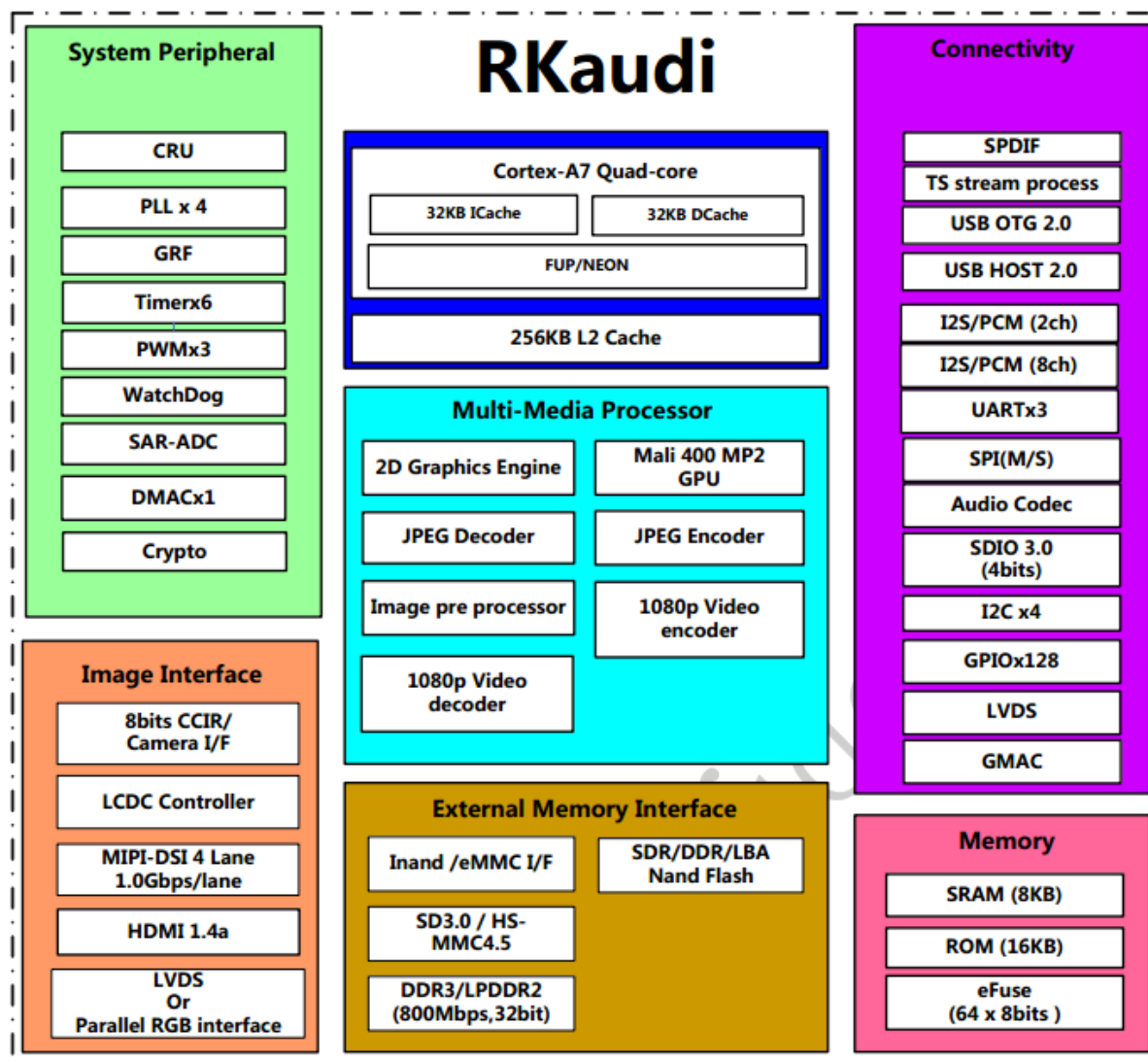


图 1-2

2 The Choice Of Reference

RK3128集成多种功能模块，在发布的RK3128参考设计图中，为便于统一管理，避免造成原理图版本繁多、错误点需多次重复修改的问题，采用模块分组分页的设计，并在设计中增加了多种常用的可选项，如图2-1所示。客户可根据实际产品需求，对原理图进行增减，即可得到完整的原理图，详细电路请参考RK发布的RK3128参考设计图。

CONTENT INDEXING
01. INDEX
02. Modify note
03. Block Diagram
04. SYSTEM POWER DIAGRAM
10. RK3128 POWER
11. RK3128 MISC&USB
12. RK3128 DDR Controler
13. RK3128 Flash/SD Controler
17. RK3128 Display&VIP Interface
18. RK3128 GPIO
19. RK3128 Codec
20. USB PORT
21. Power-RK818
22. Power-RT5036(option)
30. RAM-DDR3 2x16bit
31. RAM-LPDDR2(option)
32. RAM&Memory-MCP(option)
40. Memroy-Nand Flash
41. Memory-eMMC Flash(option)
46. Camera/G_sensor/Key
50. LCM-RGB Panel
51. LCM-LVDS Panel(option)
52. LCM-MIPI Panel(option)
60. WIFI/BT-RTL8723BS
61. WIFI-RTL8188(option)
70. AUDIO
75. TP-GSL1680
81. TF Card
82. HDMI

图2-1

例如，客户提出如下需求表：

RK3128 样机规划一	
USB 充电	Yes
电池	1-Cell
DRAM	1GB+8GB eMCP
FLASH	
LCM	7.85" MIPI,1024 x 768
Front Camera	GC0308
Rear Camera	GC2155
HDMI	Yes(Type C)
USB OTG 2.0	Micro-B
TF Card	Yes
Audio Codec	Yes
Microphone	Yes
Audio Jack	Yes
Vibration	Yes
G-Sensor	Yes
Gyroscope	Yes
WIFI Module	802.11 a/b/g/n,BT 4.0

根据此要求，对原理图进行相应的删减，即可得到最终的完整原理图，如图2-2：

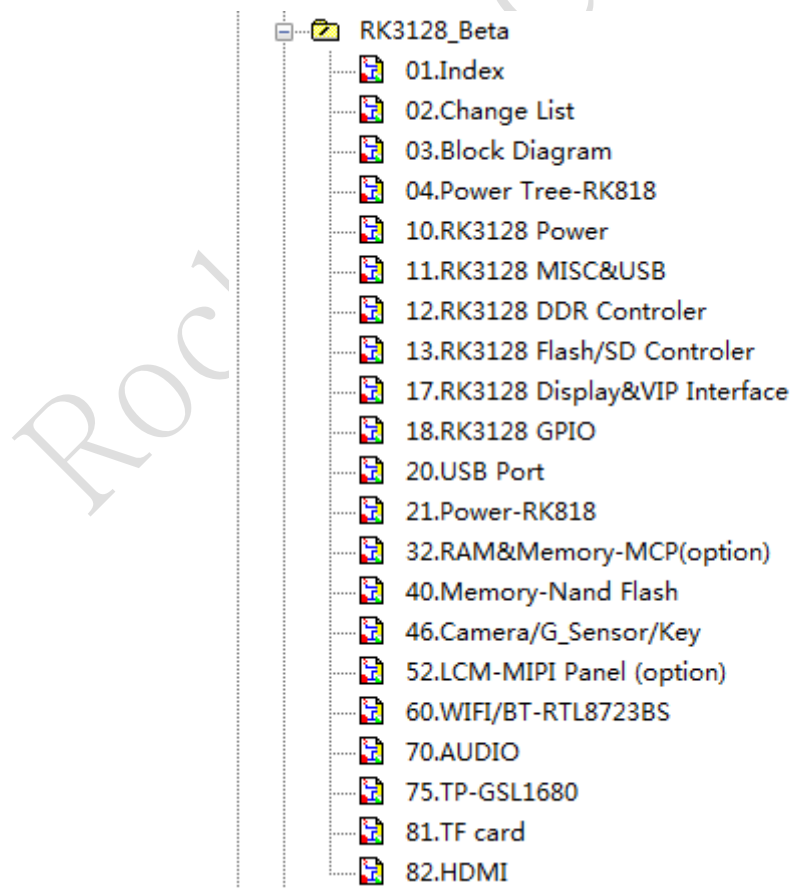


图2-2

又例如，客户提出如下需求表：

RK3128 样机规划二	
USB 充电	Yes
电池	1-Cell
DRAM	2 x 16bit DDR3
FLASH	8GB,NAND FLASH double Layout
LCM	7.0" RGB,800 x 480
Front Camera	GC0308
Rear Camera	GC2155
HDMI	No
USB OTG 2.0	Micro-B
Touch	COB,GSL1680
TF Card	Yes
Audio Codec	Yes
Microphone	Yes
Audio Jack	Yes
Vibration	Yes
G-Sensor	Yes
Gyroscope	Yes
WIFI Module	802.11 a/b/g/n

根据此要求，同样对原理图进行相应的删减，即可得到最终的完整原理图，如图2-3：

3 PCB Design

3.1 Structure

为了保证产品的性能和稳定性，PCB的设计相当关键，在PCB设计的时候需要重点关注。为了保证RK3128有更高的表现性能，推荐使用4层及以上的PCB堆叠结构设计，同时建议器件采用双面贴片设计。铜箔厚度建议采用1oz，以改善PCB的散热性能。

4 层的 PCB 堆叠结构设计 (以板厚 1.2mm 为例)：

名称	属性	类型/规格	厚度 (mil)	介电常数	备注
Top	Signal1	Cu	0.7	-	Plating to 1oz
	pp	FR-4	4	4.3	-
L2	Gnd1	Cu	1.5	-	1oz
	PP	FR 4	-	4.3	根据板厚调整
L3	Power1	Cu	1.5	-	1oz
	pp	FR-4	4	4.3	-
Bottom	Signal3	Cu	0.7	-	Plating to 1oz

3.2 Design Rule

- 产品规划阶段推荐选择能在主控下方摆放电容的结构设计。
- 主控下方能采用的过孔尺寸为0.2mm/0.4mm（内/外径）。
- 为了抑制电磁辐射，走线间尽量遵循3W原则，即线与线之间保持3倍线宽的距离，如图3-1，线宽/线距分别为4/8mil；

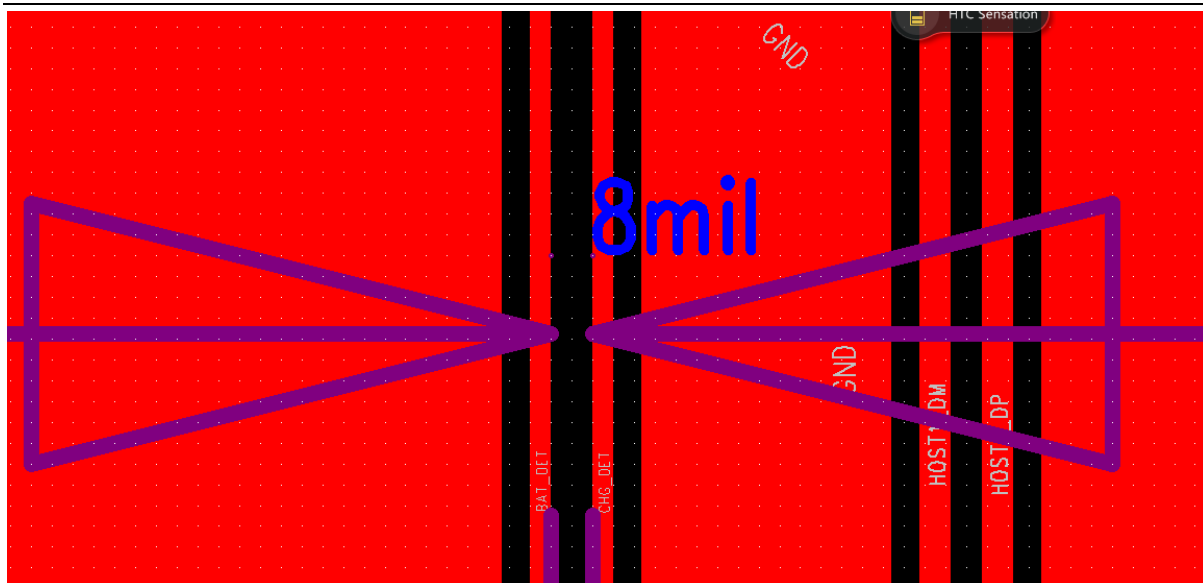


图3-1

- 为了抑制电源辐射，电源层尽量遵循20H原则。
- 屏蔽罩的地墙和板边的距离需要预留2mm左右。
- TOP 或 BOTTOM 层主要是用来摆放主要器件及信号走线，如 CPU, DDR3 等；
- BOTTOM 或 TOP 层主要是用来摆放滤波电容等小器件；如果结构允许，也可摆放大器件；
- 屏蔽处理：
 - TOP 层 PCB 需要加屏蔽壳位，降低 EMI 及提高产品的可靠性；同时可以利用屏蔽壳作为主控的散热器，提高整机的散热效果。
 - 如果空间允许，建议 PCB 的 BOTTOM 层也预留屏蔽位；或是在地网络上预留大面积镂空处理，预留配合结构做屏蔽的可能。
- 铺铜完整性：设计上保证主控下方铺铜的完整性及连续性能够提供良好的信号回流路径，改善信号传输质量，提高产品的稳定性，同时也可以改善的铜皮散热的性能。做到下述几点，就能保证如下图所示铺铜较好的完整性及连续性，产品性能将更加稳定可靠。

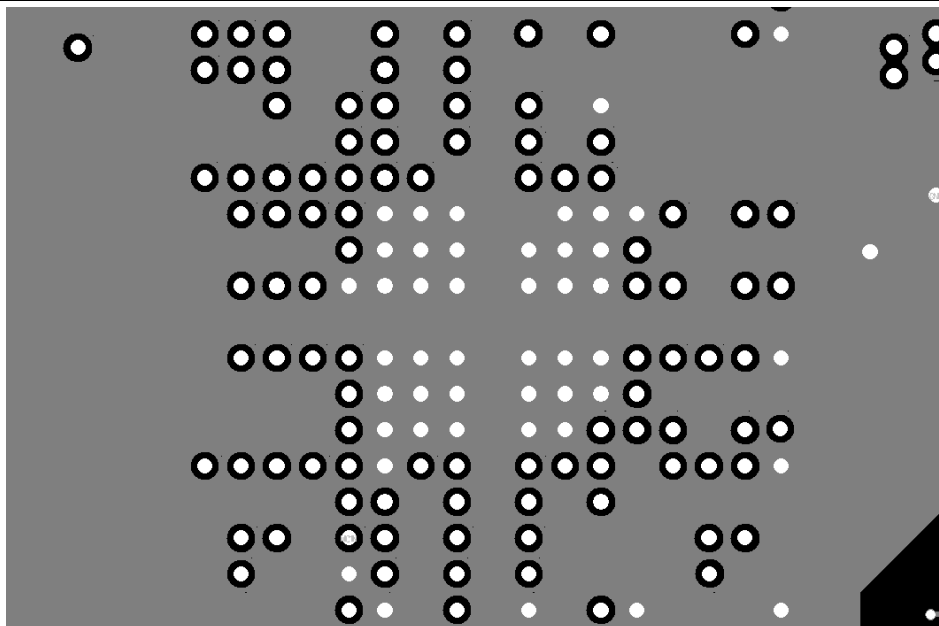


图 3-2

- 铺铜层属性设置成混合分割层；
- 过孔与铺铜的安全间距设置为 5.5mils；

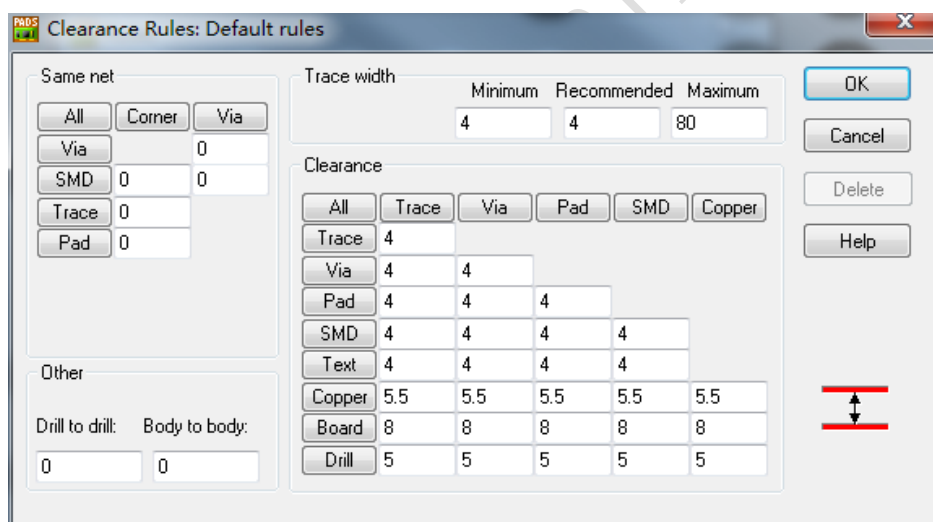


图 3-3

- 铺铜线宽设置为4mils；
- CPU 引脚端的信号扇出过孔要排列整齐、合理分布，如下图所示：

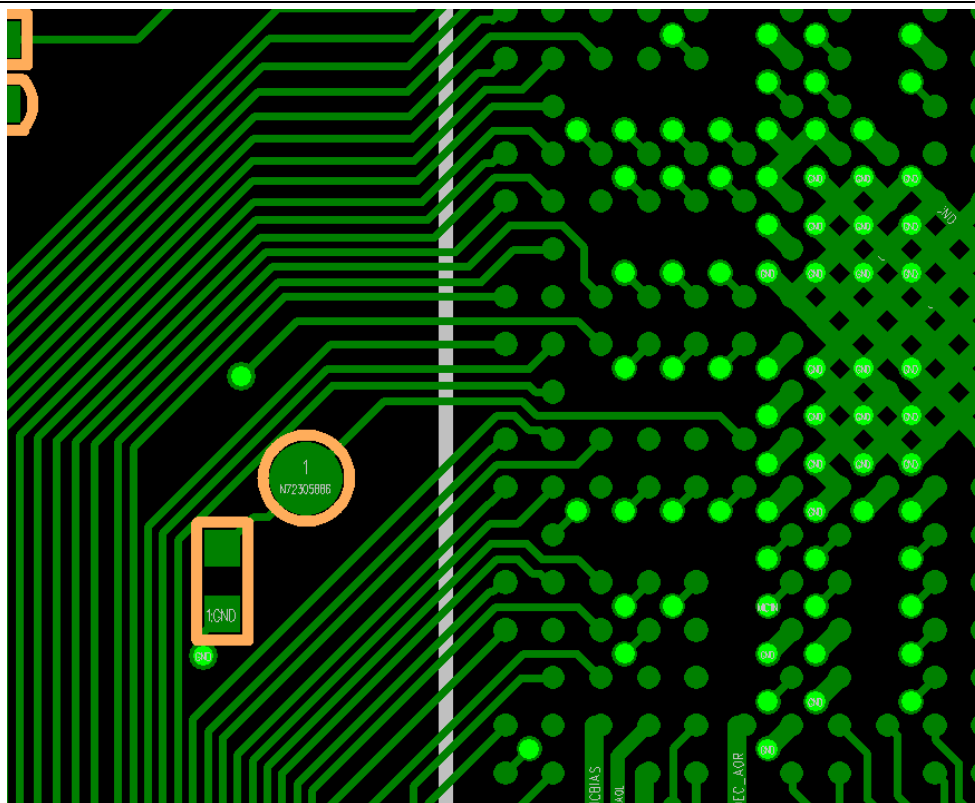


图3-4

小贴士:

- 3W 原则: 为了减少线间串扰, 应保证间距足够大, 如果线中心距不少于 3 倍线宽时, 则可保持 70%的线间电场不互相干扰。
- 20H 原则: 即将电源层内缩, 使得电场只在地层的范围内传到。以一个 H (电源与地层之间的介质层厚度) 为单位, 若内缩 20H 可以将 70%的电场限制在接地边沿内, 内缩 100H 则可以将 98%的电场限制在内;

3.3 Test Point

- eMMC、Nand Flash需要在EMMC_CLK0、FLASH_CLE信号上增加测试点, 调试时方便进入maskrom 烧写模式;

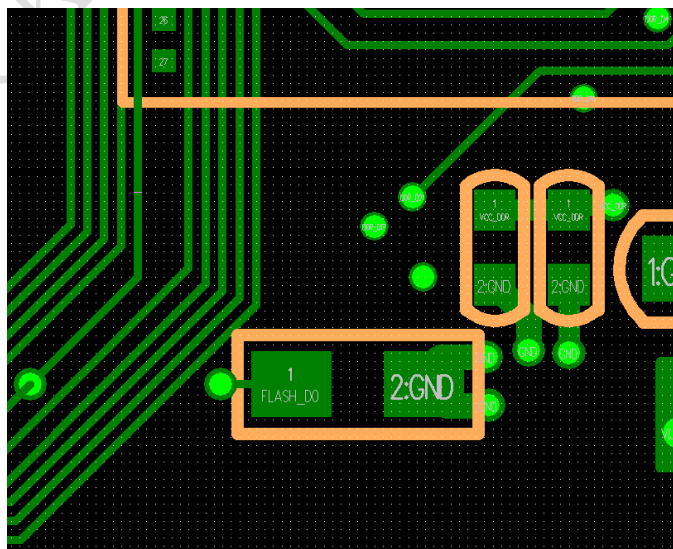


图3-5

- 摄像头、TP、LCM等接口，建议增加信号测试点，便于工厂进行工装测试；

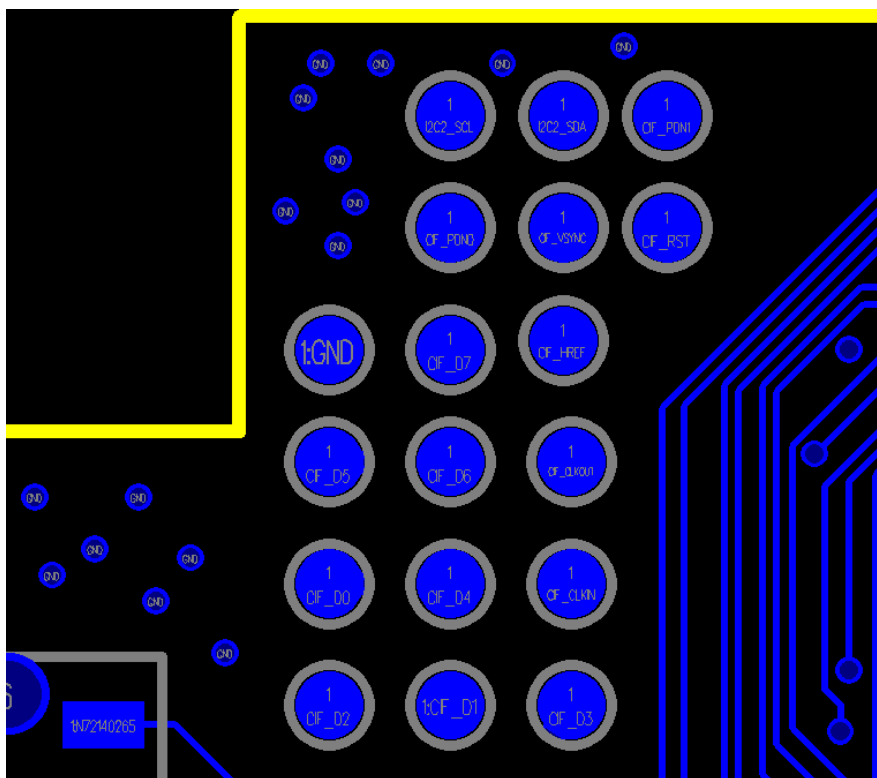


图3-6

3.4 Silk-screen and Decal

- 增加PCB名称、Layout时间及日期，便于查找与调试；
- 尽量在PCB板上增加器件位号，以便于调试；
- 关键信号需要增加丝印说明，如电池焊盘引脚、接插件的脚序等；
- 芯片第一脚需要有明显的标注，且标记不能重叠或者隐藏在器件本体下；
- 确认器件封装的尺寸是否正确，高度是否在限高范围内；
- 确认耳机座及USB等接口器件的焊接方向（特别是下沉式）是否镜像；
- 双面贴片时，BGA的背面不能放大体积元件。如果是开槽式的单面贴片，请确保器件位于槽孔范围内

4 POWER

4.1 Schematic

- VDD_ARM与VDD_LOG为主控主要供电，峰值电流分别可达2.1A/1.44A（CPU@1.2GHz、GPU@480MHz），所以请不要删减参考设计中的电容（VDD_CPU为66uF电容，VDD_GPU为44uF电容），大电容放置在主控芯片背面（或就近）以保证电源纹波在100mV以内，避免在大负载情况下引起电源纹波偏大，如图4-1；

Note:

Place these filter capacitors under CPU.

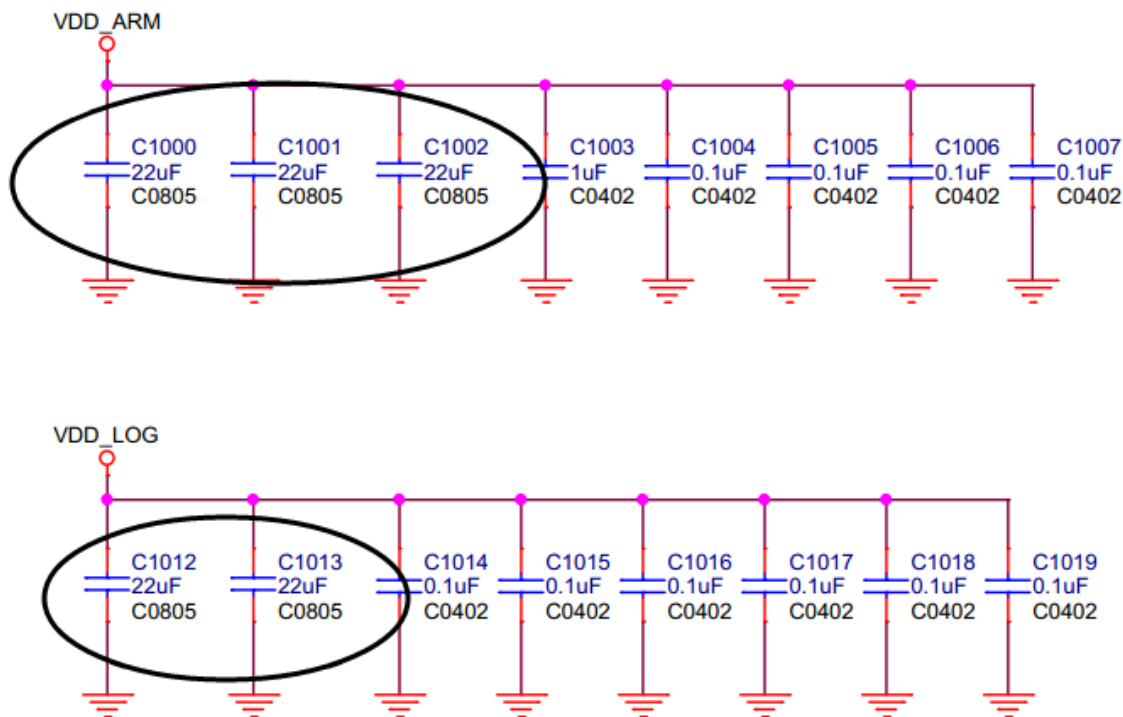
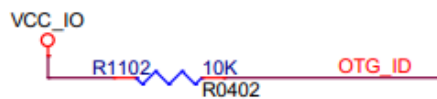
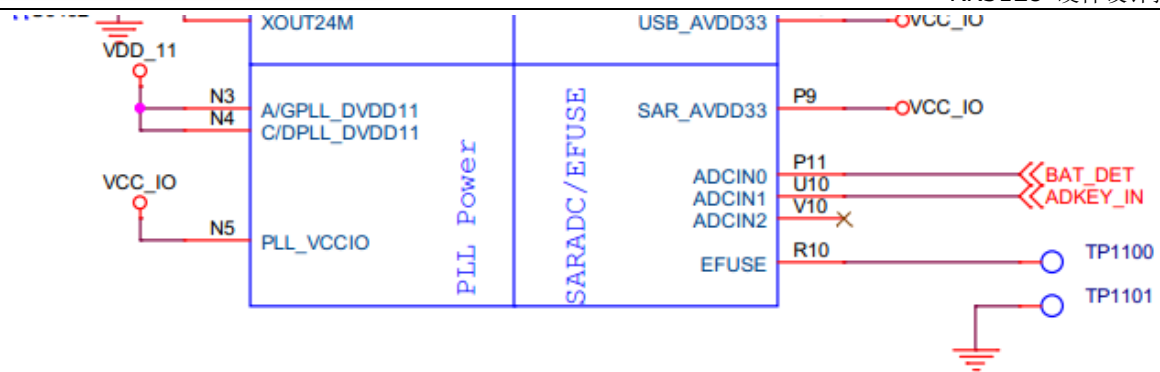


图4-1

- 原理图中芯片端的耦合电容，请靠近芯片管脚放置，如图4-3、图4-4所示。



Note: All the capacitor should be place close to the power pin of RK3128.

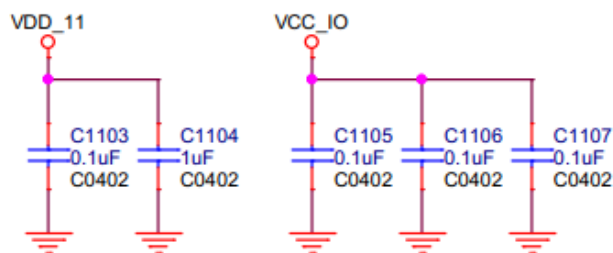


图4-3



Correspondence between LCDC DATA and RGB			
LCDC_D0	B2	LCDC_D9	G5
LCDC_D1	B3	LCDC_D10	G6
LCDC_D2	B4	LCDC_D11	G7
LCDC_D3	B5	LCDC_D12	R2
LCDC_D4	B6	LCDC_D13	R3

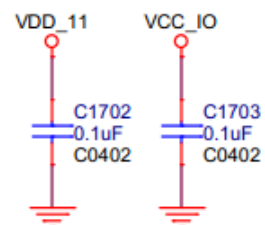


图4-4

4.2 PCB Layout

电源的设计至关重要，直接影响产品的性能及稳定性，请严格按RK的LAYOUT要求进行设计。

从 PMIC 的电源输出到主控相应电源引脚之间保证有大面积的电源铺铜，可提高过电流能力，并降低线路阻抗，如图 4-5：

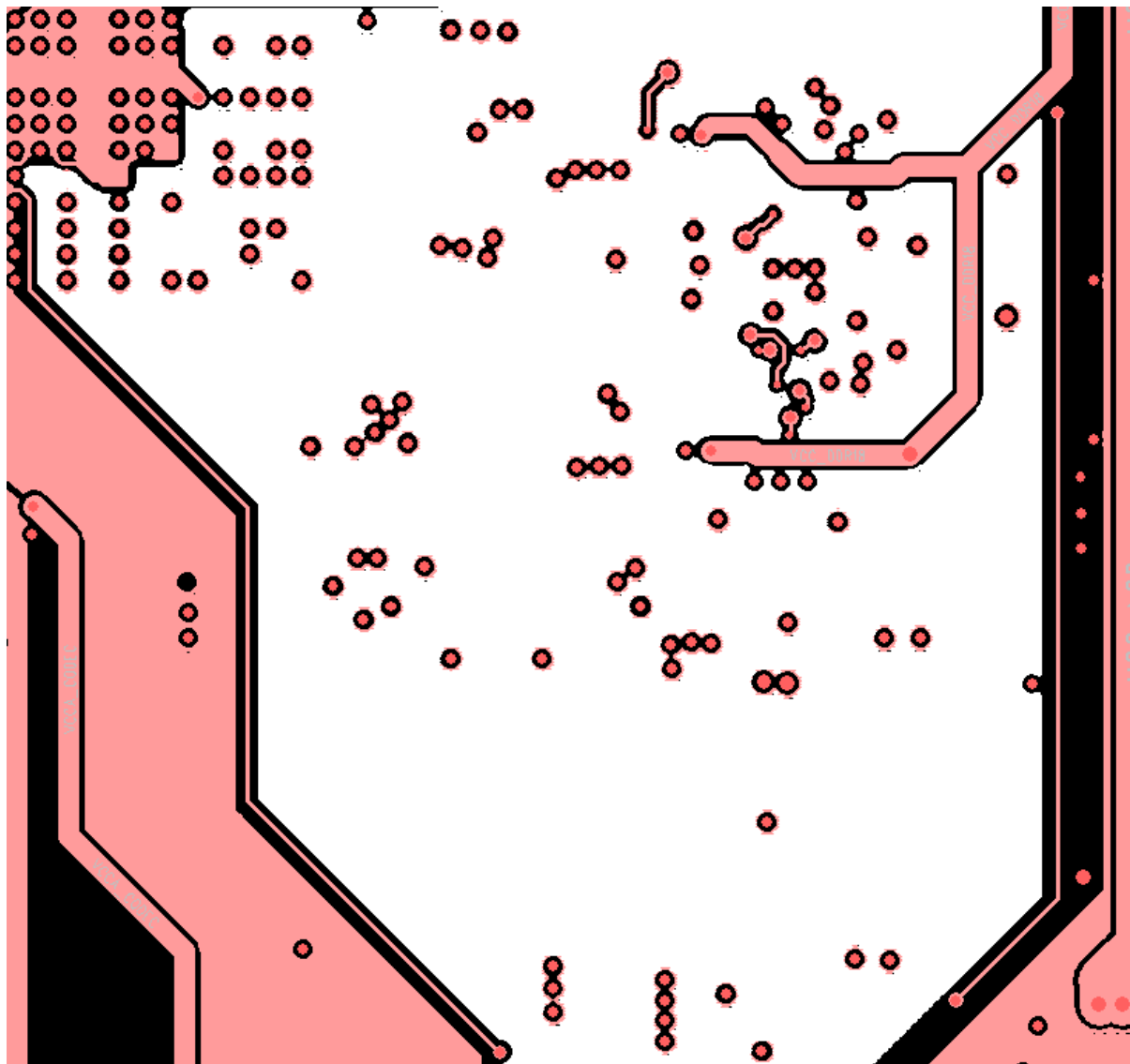


图4-5

电源换层的连接处，需有较多的过孔，以提高过电流能力，并降低线路阻抗（具体数量可参考文末小贴士进行计算）。如图 4-6：

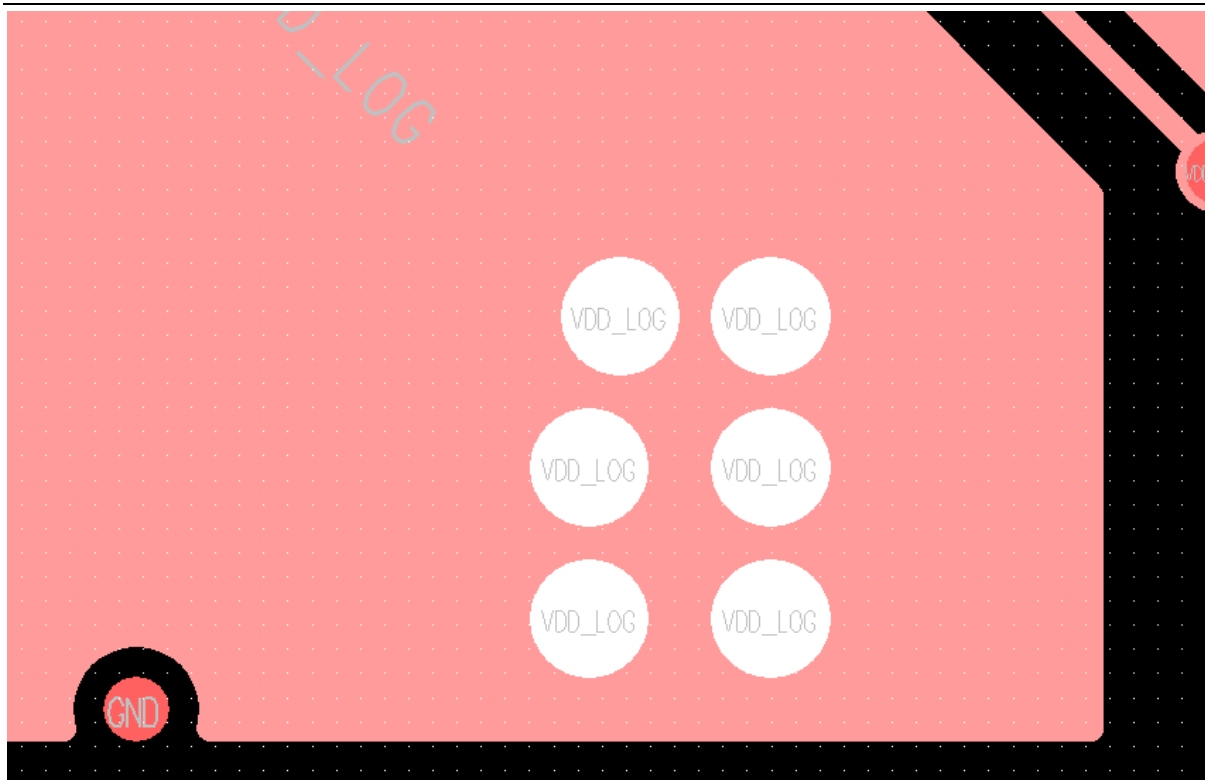


图4-6

电源走线上增加反馈补偿设计，可弥补线路的电压损耗及提高电源动态调整及时性，如图 4-7。图中点亮的走线即为 VDD_LOG 反馈补偿线，此补偿线另一端连接到电源输出 DC/DC 的 FB 端，走线需与电源层并行走线，且不能被数据线干扰。

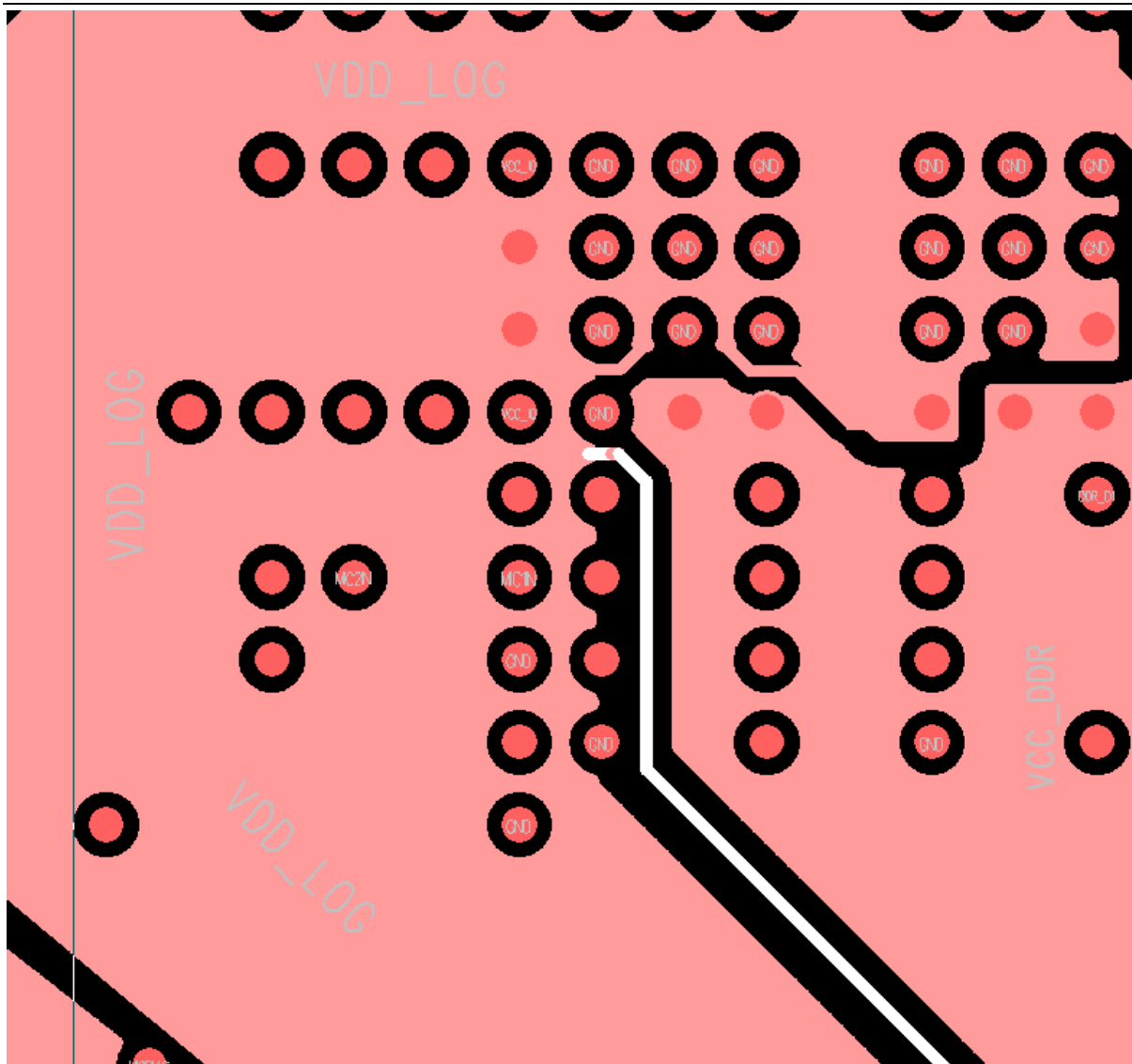


图4-7

VDD_ARM、VDD_LOG、VCC_DDR 电源远端(负载端)必需放置大电容,在条件许可的情况下,VDD_ARM、VDD_LOG 主控背面(或正面就近)各放置容值 40uF 以上的大电容,以改善电源的质量,提高产品性能,保证产品的稳定,如图 4-8。

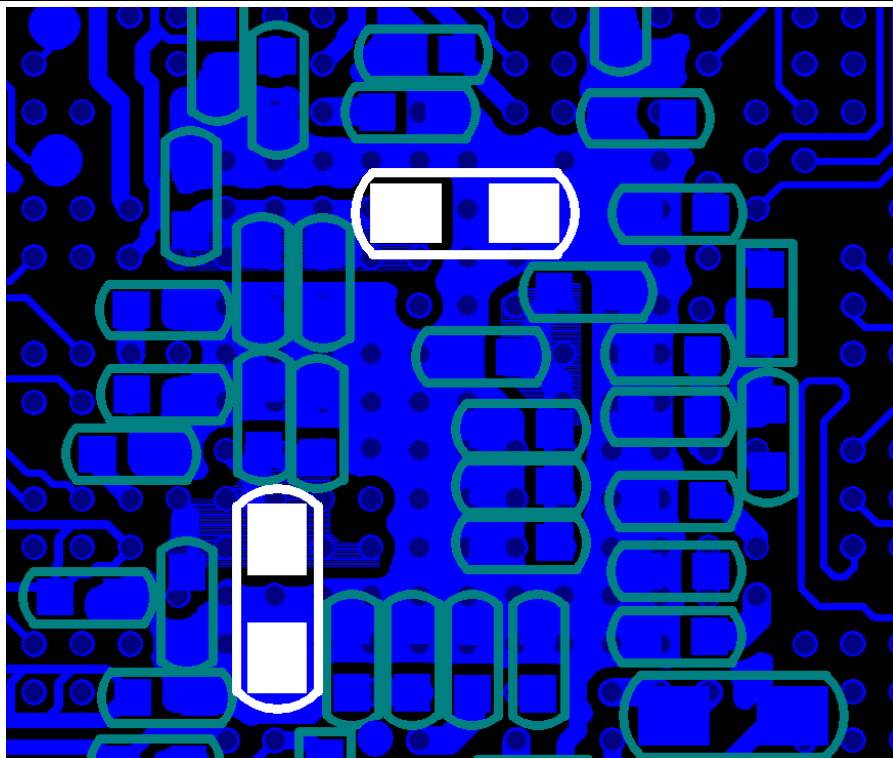


图4-8

主控下方的地过孔需要足够多，均匀放置并交叉连接，以改善电源质量、提高散热性并提高系统的稳定性。主控下方能采用的过孔尺寸为 0.2mm/0.4mm（内/外径），如图 4-9。

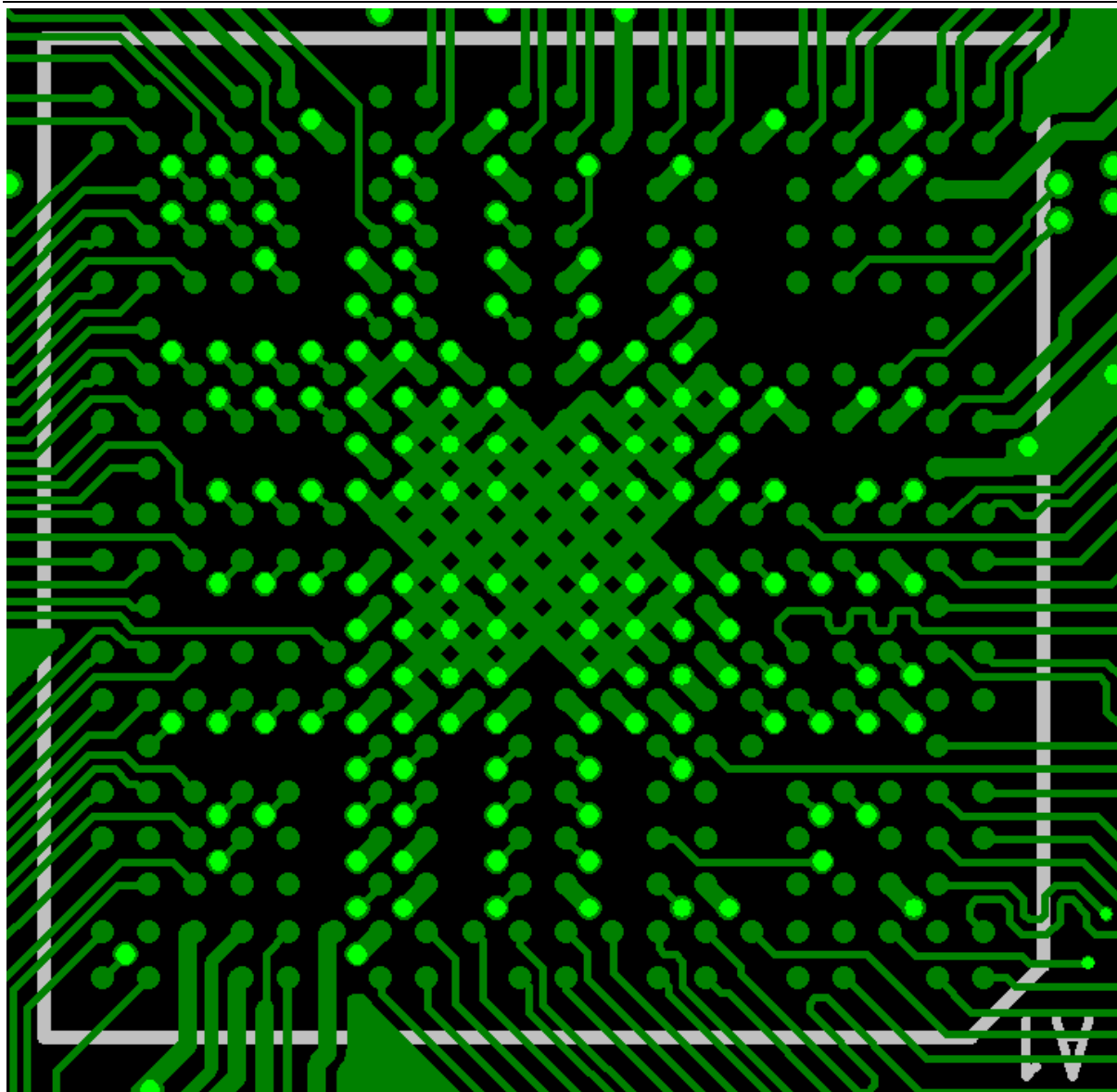


图4-9

小贴士：

- 如何设置电源铺铜的宽度：

根据PCB直线宽度允许最大电流的经验计算公式：

$$I = KT^{0.44} A^{0.75}$$

公式中的**K**为修正系数，一般铺铜在外层取**0.048**，铺铜在内层取**0.024**；**T**为允许的最大温升，单位为℃（摄氏度）；**A**为铺铜的截面积，单位为平方mil（注意，是平方mil，不是平方mm）；**I**为容许的最大电流，单位为**A**（安培）。

以RK3128的VDD_CPU电源为例，峰值电流达到**5A**，假设电源走内层，铜厚为**0.8mil**（**0.5oz**），允许最大温升**10℃**，那么PCB走线需要**312.5mil**，如果要进一步降低PCB电源走线的温升，就必需加大铺铜宽度。所以如果PCB空间足够，建议尽量采用更宽的铺铜，以降低温升。

- 如何设置电源换层过孔数量:

计算一个过孔能通过多大电流，也可以利用上述公式，过孔的铜皮宽度计算公式为： $L=\pi R$ ，这里的R指过孔的半径。

以0.2mm孔径的过孔为例，铜皮厚度为0.8mil（0.5oz），允许最大温升10℃，那么一个过孔约可通过420mA电流，想通过5A的电流至少需要13个0.2mm孔径的过孔。在面积有限的情况下，增大电源过孔的孔径可减少过孔数量。

4.5 PMIC RK818

RK818中也有个采样电阻，是电池端的电流采样电阻R2340以及差分线走线电阻R2342，如图4-10。Layout时请务必将R2342的2脚靠近R2340的2脚，将R2342周边禁空与R2340单点连接。，RK2340靠近电池端放置。SNSP与SNSN遵循差分走线后，如图4-11所示。

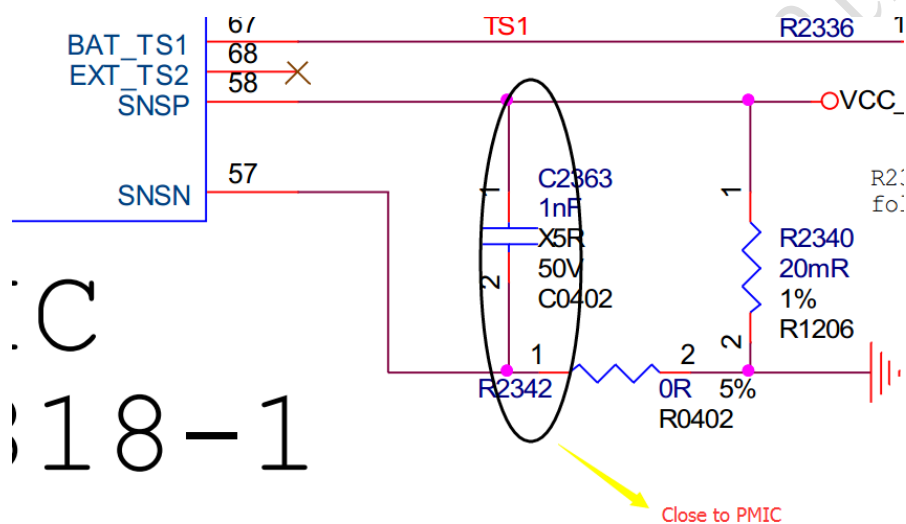


图4-10

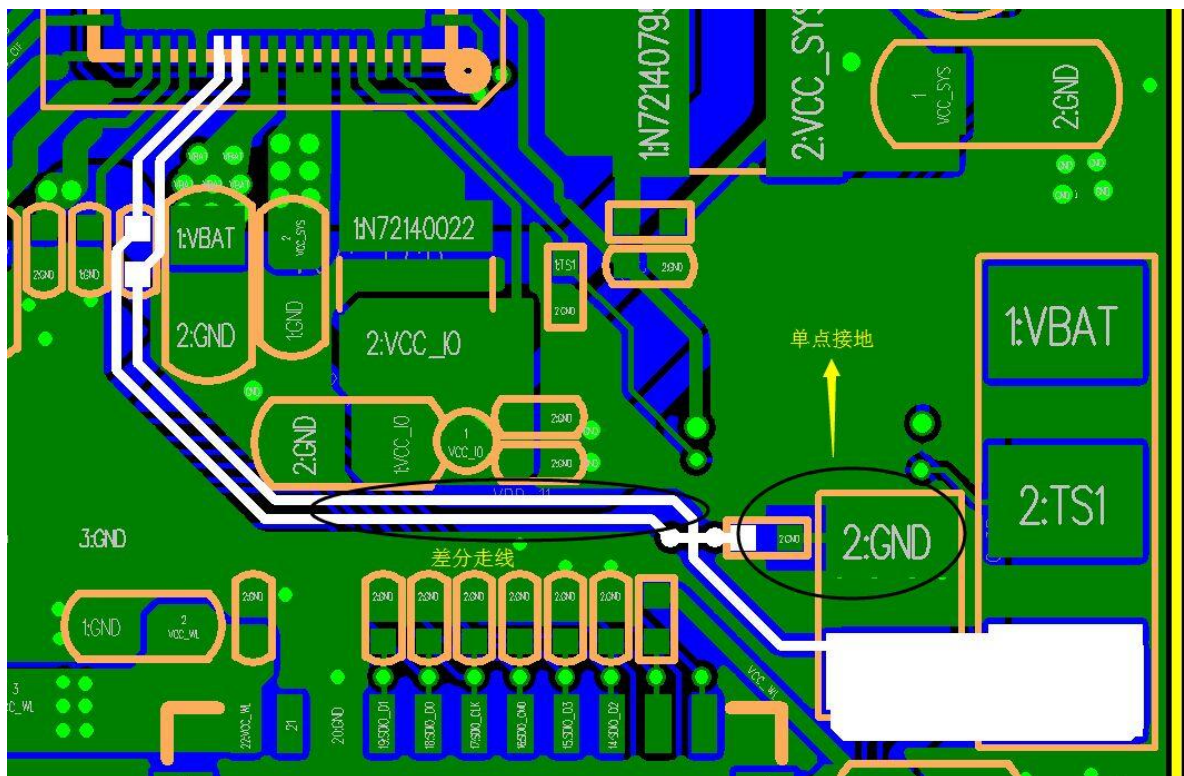


图4-11

为提高电池采样精度，反馈电路中的电容C2363（图5-）需靠近RK818引脚放置，如图4-12所示；

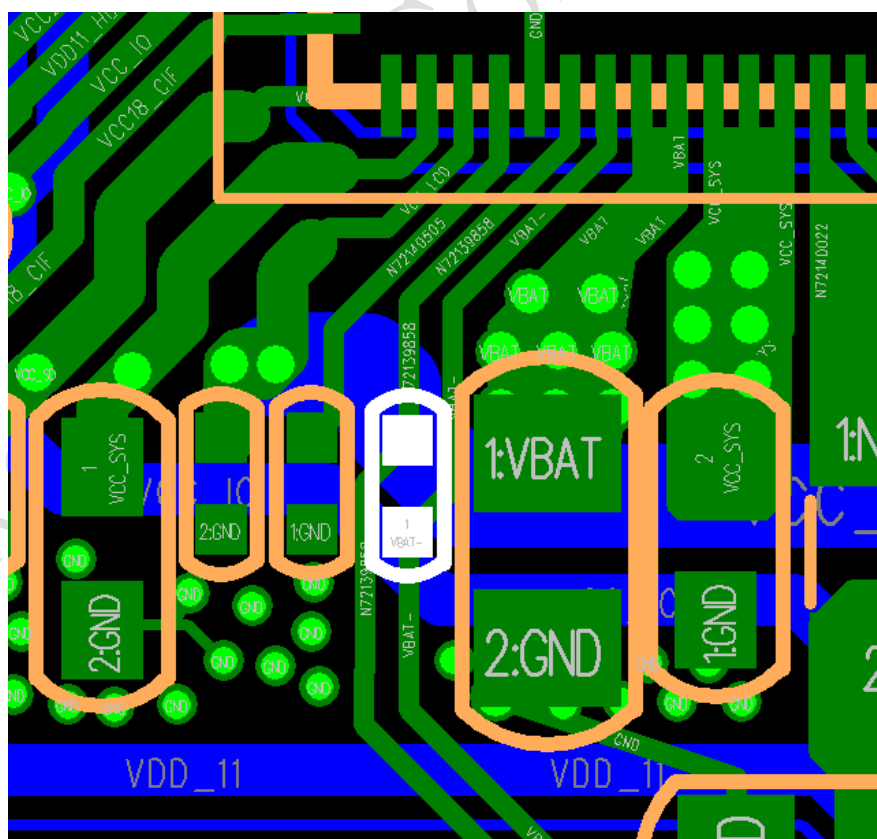


图4-12

为保证芯片性能及散热，请保证RK818有良好的接地，包括GND引脚连接到芯片下方的ePAD，且

ePAD需要有足够的地过孔，如图4-13所示；

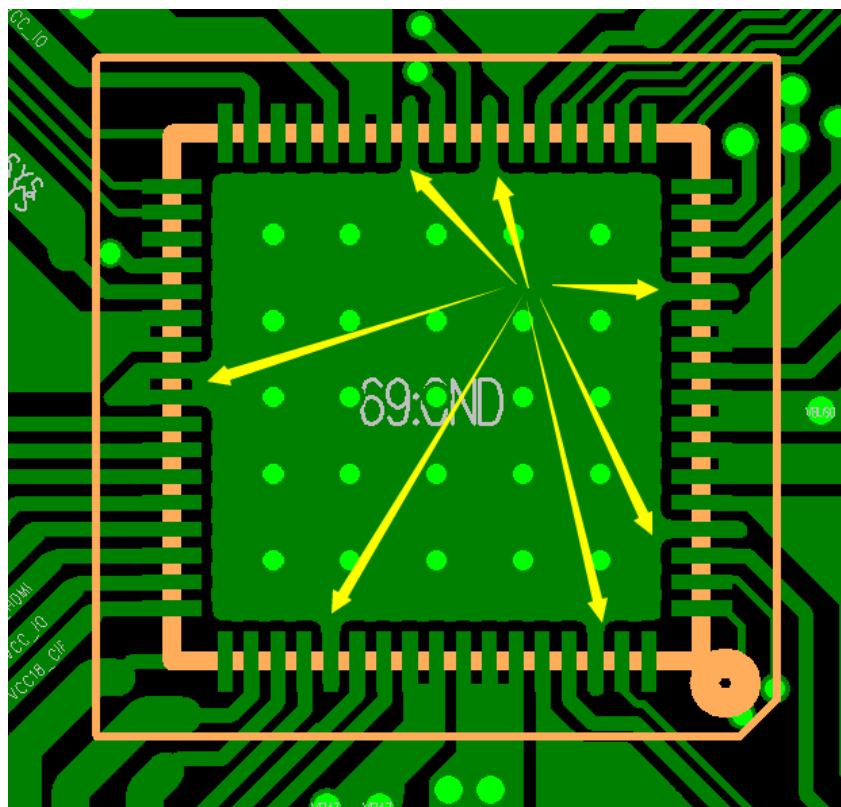


图4-13

SW5及SW6电感的间距必须保持在1.6mm以上，否则，电感间互感而产生的高压有可能会致RK818损坏；BOOST输出电容容值必须大于33uF，如图4-14、4-15所示。

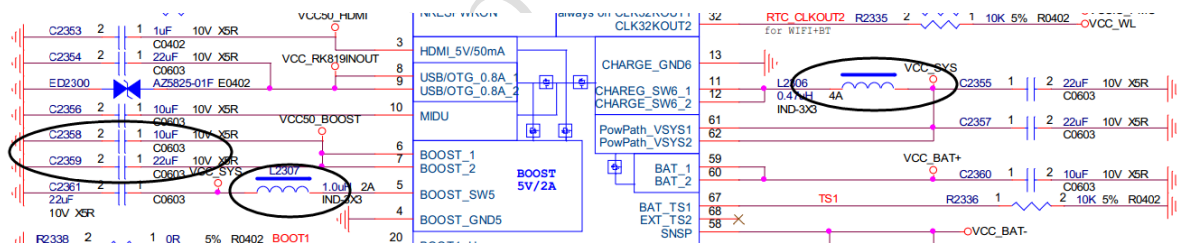


图4-14

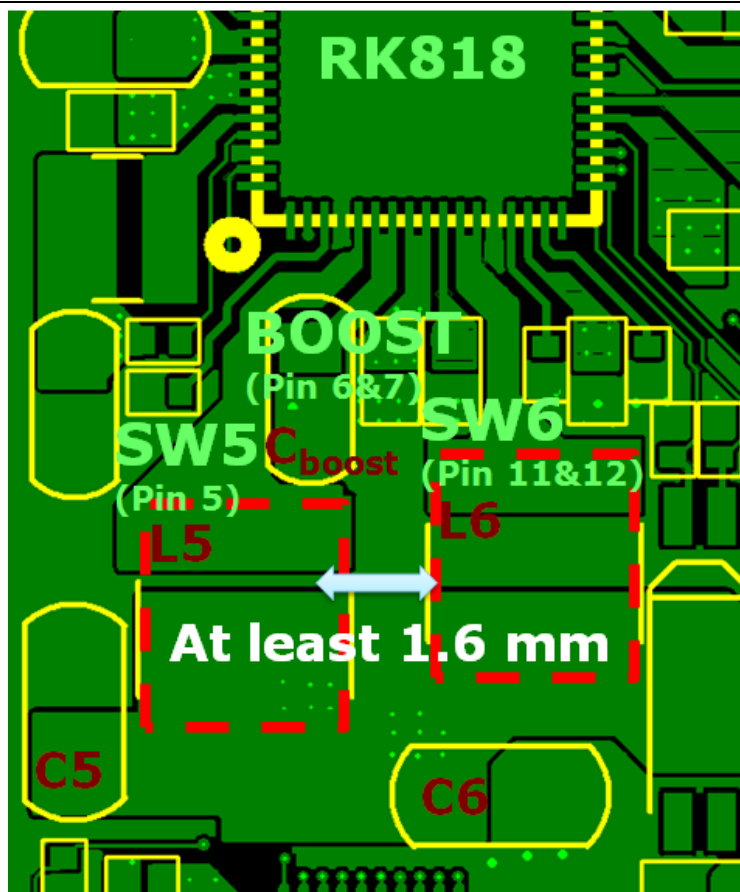


图4-15

电源反馈线必须伴随输出电源平面走线，否则有可能受其他信号串扰导致电压不稳定及振荡，如图4-16所示；

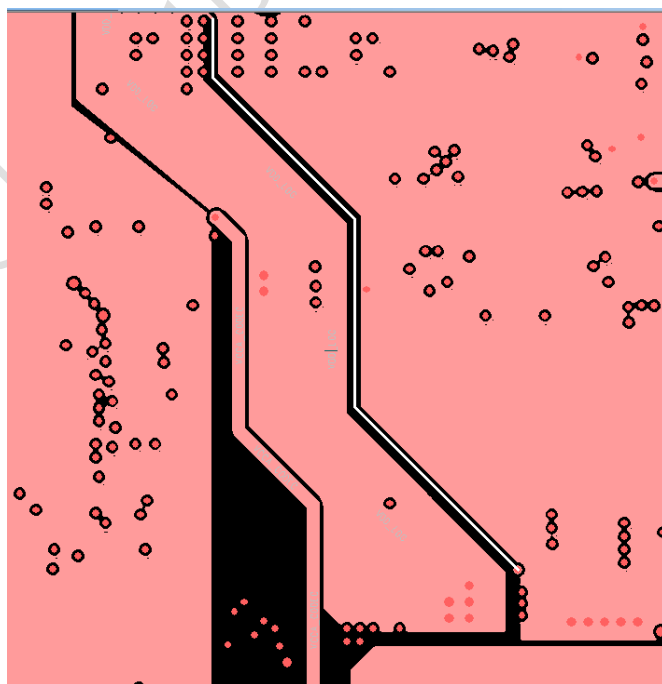


图4-16

所有输入、输出电容，必须靠近RK818放置，并要有足够的地过孔，以保证信号回流。尤其是

大电流电源的输入输出电容，如图4-17所示；

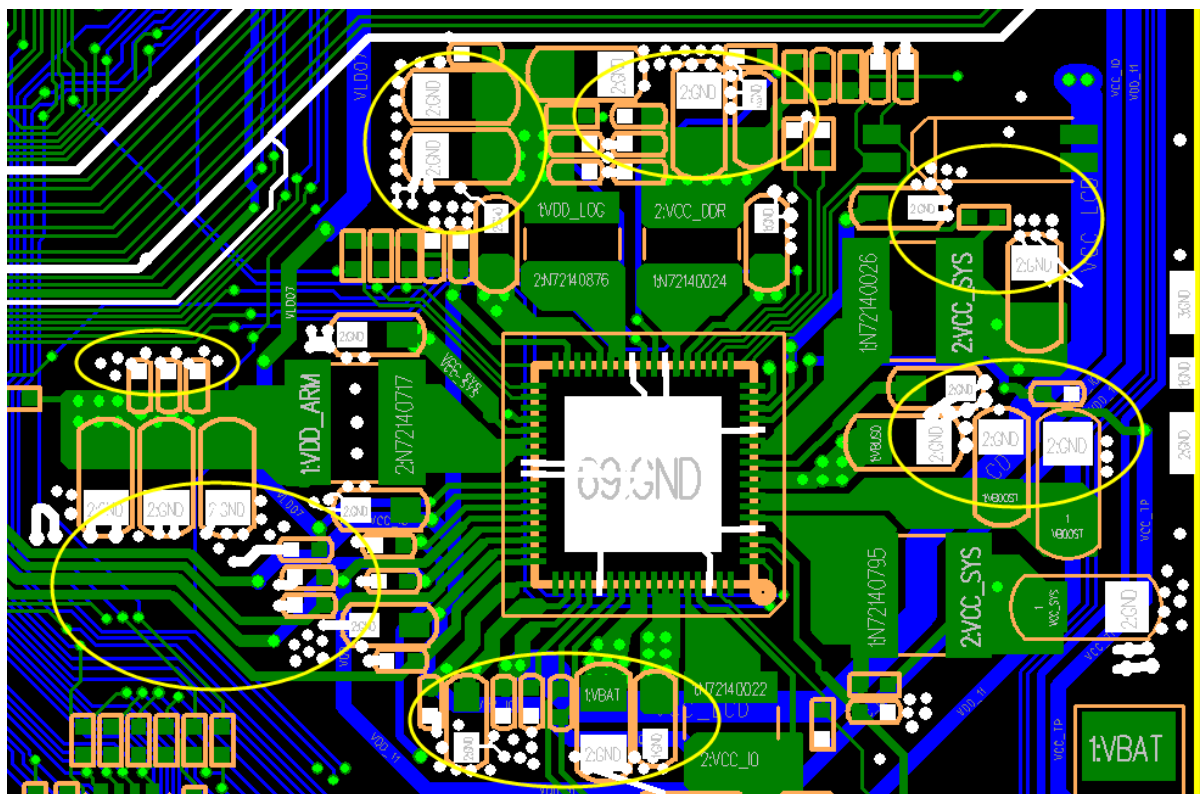


图4-17

5 GPIO

5.1 Schematic

在实际的产品设计中，如果要改变RK已定义好的GPIO功能，一定要注意IO电平匹配及GPIO的上下拉特性，否则可能造成功能的异常。RK3128中的GPIO上下拉是在上电后是不可配置的，但可以选择关闭。如图5-1，原理图封装中有标注“_d”的为上电默认内部下拉，标注“_u”的为上电默认内部上拉，如要修改请参考RK发布的《RK3128_IO_LIST》。

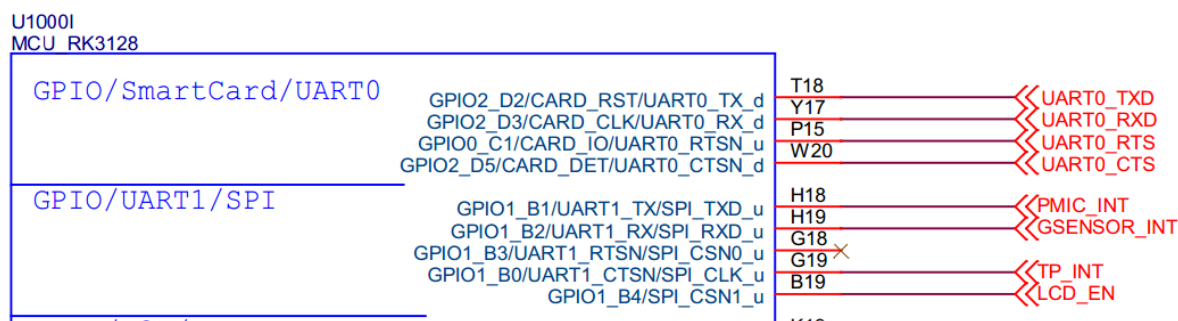


图5-1

小贴士：

1. GPIO分配请尽量按照《RK3128_IO_LIST》中已经分配好的IO列表进行产品设计，软件上可不修改直接使用，以提高产品的进度和可靠性。

6 CPU&PMU

6.1 Schematic

RK3128只需一个外接24MHz晶体，如图6-1。图中晶体Y1100需要采用频偏 $\pm 20\text{ppm}$ ，温度频差 $\pm 30\text{ppm}$ 的石英晶体，负载电容C1101、C1102的容值需要根据晶体的实际标称负载电容值选择，12pF为我司选用晶体所对应容值，不为通用值。

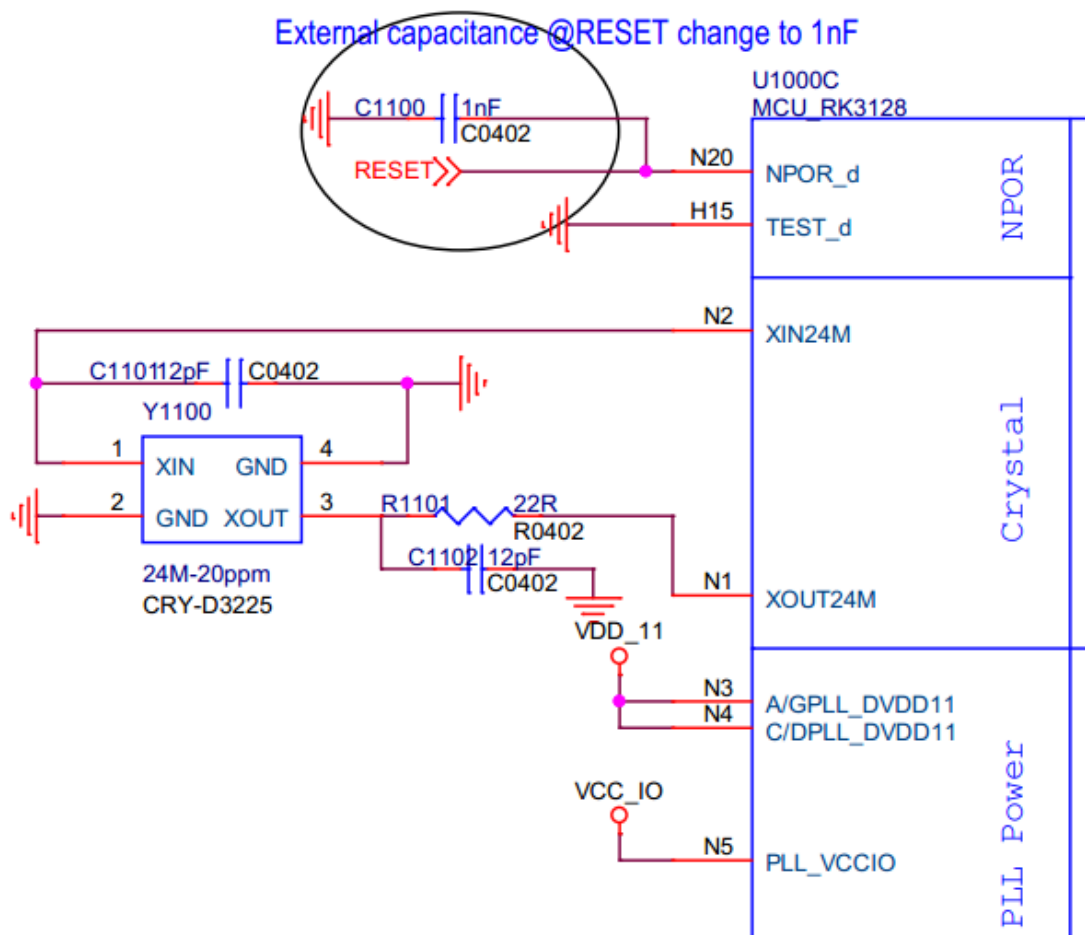


图 6-1

6.2 PCB Layout

24MHz晶体下方，表层及第二层禁止其他网络走线，晶体请靠近CPU放置，并注意在晶体引脚及负载电容处多打地过孔，如图6-2。

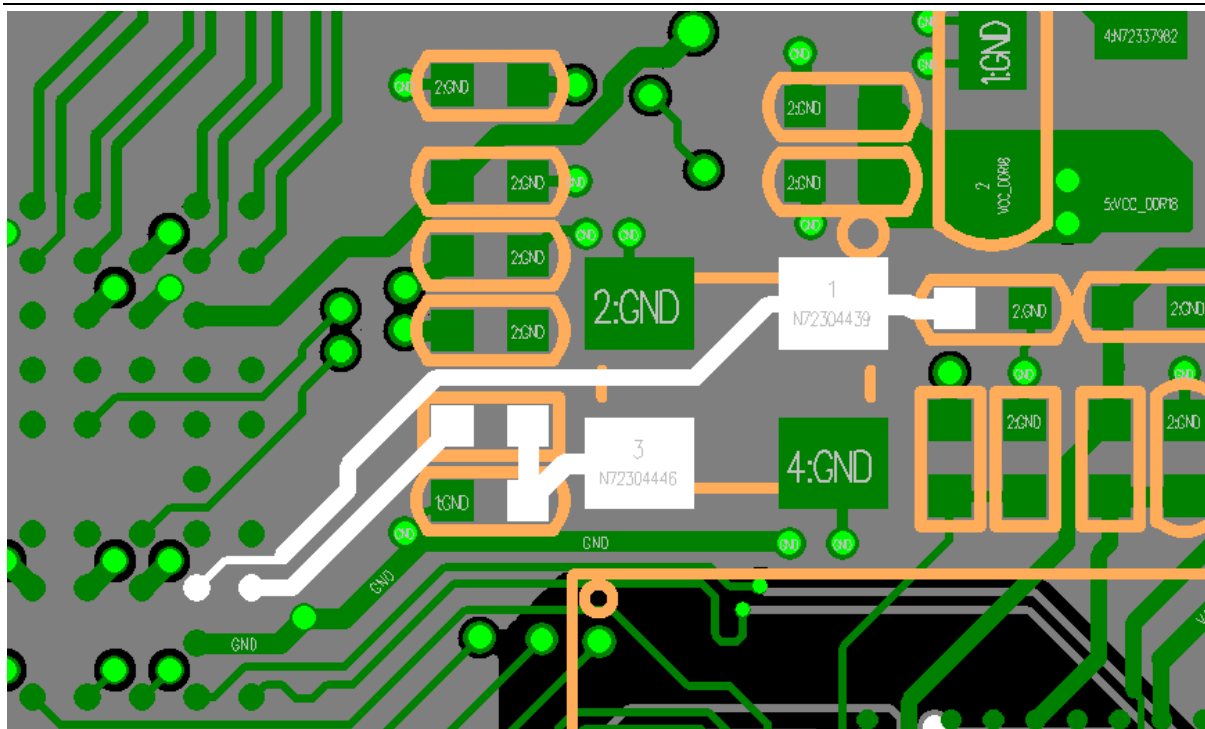


图6-2

7 DDR Controller & DRAM

7.1 Schematic

- RK3128 有 32bits 的 DDR 控制器，信号分组要求如下：
 - 4 组数据线 (DATA0—DATA31)、4 条 DATA MASKS (DQM0—DQM3)，4 对 DATA STROBES 差分线 (DQS0/ DQS0n—DQS3/ DQS3n)，这 36 条线和 4 对差分线分为四组：
GROUP A: (DATA0—DATA7, DQM0, DQS0/ DQS0n)
GROUP B: (DATA8—DATA15, DQM1, DQS1/ DQS1n)
GROUP C: (DATA16—DATA23, DQM2, DQS2/ DQS2n)
GROUP D: (DATA24—DATA31, DQM3, DQS3/ DQS3n)
 - 剩下的信号线分为三类：
GROUP E: Address: ADDR0—ADDR15 共 16 条地址线。
GROUP G: Control: 包括 WE、CAS、RAS、CS0、CS1、CKE、ODT0、ODT1、BA0、BA1、BA2 等控制信号。
GROUP F: Clock: CLK、CLKn 差分对。

Address、Control 与 CLK 归为一组，是因为 Address、Control 在 CLK 的下降沿由 DDR 控制器输出，DDR 颗粒在 CLK 的上升沿锁存 Address、Control 总线上的状态，所以需要严格控制 CLK 与 Address/Command、Control 之间的时序关系，确保 DDR 颗粒能够获得足够的、最佳的建立/保持时间。

- 不管使用 DDR3 还是 LPDDR2，都不允许调换地址线及控制信号线，即 GROUP E、GROUP G。
- 如果使用 DDR3，所有数据线 (GROUP A、B、C、D) 可以做组内调换 (如 DDR0_D8~D15 随意调换顺序)，或者是整组间调换 (如 GROUP A 与 GROUP D 整组进行调换) 根据实际需要任意调换，如图 7-1。

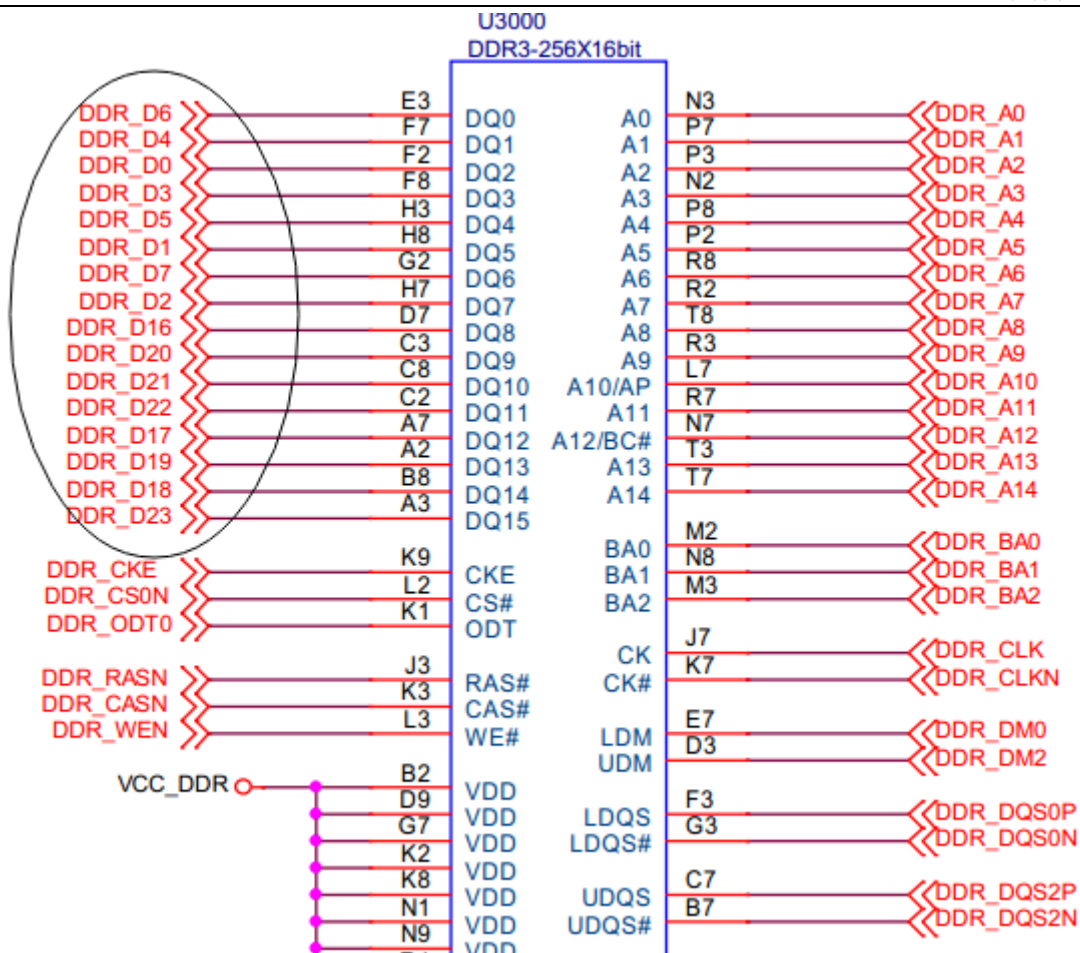


图 7-1

- 如果使用 LPDDR2, GROUP A 不能做组内及组间调换, 要求一一对应连接到颗粒的 D0~D7; 其余数据线 (GROUP B、C、D) 可以做组内调换 (如 DDR0_D8~D15 随意调换顺序), 或者是整组间调换 (如 GROUP B 与 GROUP C 整组进行调换); 如图 7-2 所示。

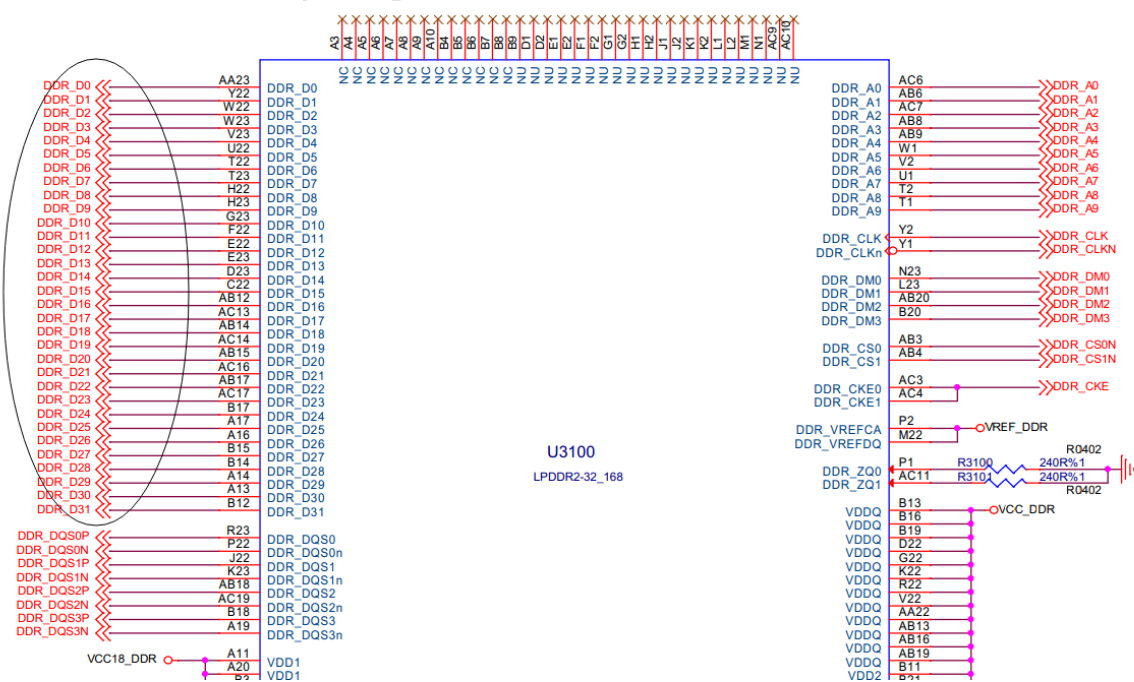


图 7-2

- 参考电源分压电阻请确保使用精度 1% 的电阻。VREF_DDR 电源在休眠时不可关闭，故采用 10K 的分压电阻以降低功耗，为保证电源的跟随特性，电阻需要分别并联 0.1uF 电容，如图 7-3 所示；

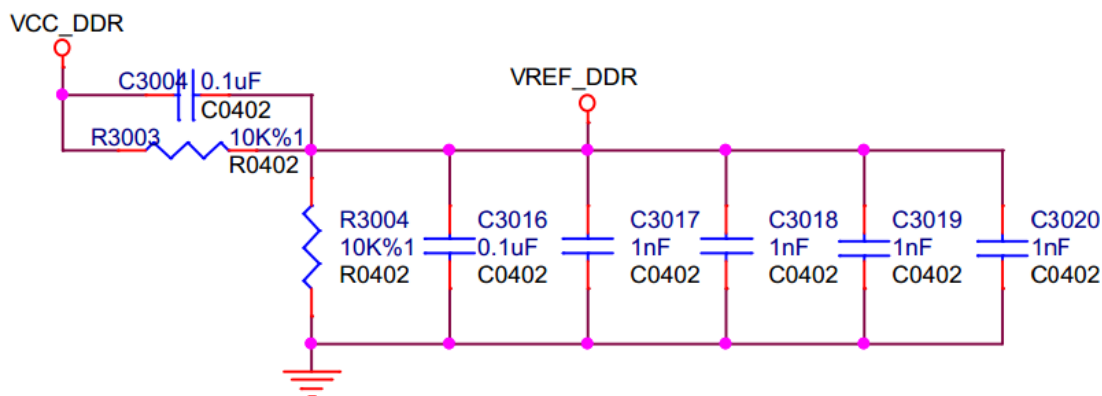


图7-3

7.2 PCB Layout (DDR0 channel、DDR1 channel)

为了保证DDR的性能及得到好的兼容性，请严格按以下要求进行，否则将降低产品的性能及稳定性，严重时系统可能将无法正常工作。

✧ 走线宽度及安全间距

- 走线宽度，所有的 DDR 相关走线线宽设置为 4mils。
- 由于主控的球距为 25.59mils，所以同一信号组内两相邻导线之间的间距为 12.795mils，即焊盘中心距离的一半，只要从主控端平行等距出线，都能符合 3W 原则。
- 不同信号组之间两相邻信号线之间的间距要求3W以上。
- 差分对线宽4mils，线间距4mils。

✧ 信号线长要求

GROUP A ~D中DQS/DQSn之间的线长误差控制在10mils以内；每个GROUP内的数据线DATA和DQM组内线长误差控制在50mils以内；组间的数据可适当放宽要求，控制在120mils以内。

GROUP E、GROUP G之间的线长误差控制在200mil以内。

GROUP F中的CLK、CLKn差分对的线长误差控制在10mil以内。

GROUP A ~D中DQSnP/DQSnM与GROUP F中CLK、CLKn的长度差为满足tDQSS时序参数，可参考以下设计原则（建议）：

- ◆DDR1600: Length (CLK) -Length (DQSn) <900mils
- ◆DDR1333: Length (CLK) -Length (DQSn) <1200mils
- ◆DDR1066: Length (CLK) -Length (DQSn) <1700mils

◆DDR800: $\text{Length (CLK)} - \text{Length (DQSn)} < 2600\text{mils}$

✧ 其它走线注意点

- DQS 信号线应布在组内 DQ 信号线中间。
- DQS 与时钟不要相邻。
- 蛇形线的线与线中心间距遵守 3W 原则，蛇形线振幅应控制在 180mils 以内，否则会破坏

信号质量，使传输延时低于预期。

➢ DDR3 的信号线必须有完整的参考面，以保证信号电路的回流路径阻抗最小、以及保证阻抗的连续性。

- 禁止 DDR3 所有信号线跨越不同的电源平面。
- 禁止其它类型的信号线穿越 DDR 走线区域。

➢ RK3128 和 DDR 颗粒的每个 VCC_DDR 管脚尽量在芯片背面放置一个退耦电容，而且过孔应该紧挨着管脚放置，以避免增加导线的电感。

✧ VREF 的处理

- DDR3颗粒的VREF尽量靠近芯片，VREF走线尽量短，且与任何数据线分开，保证其不受干扰（特别注意相邻上下层的串扰），且相对VCC_DDR有良好的跟随性，保证VREF的电压值在噪声、温度变化时，会随着VCC_DDR变化；
- VREF只需要提供非常小的电流（输入电流大概3mA），每一个VREF脚都要靠近管脚加1nF旁路电容（每路电容数量不超过5个，以免影响电源跟随特性），线宽建议不小于10mils。

✧ 阻抗要求

- 单线特征线宽 5mils，阻抗控制 50~75ohm，但内外层布线的阻抗突变应小于 10ohm。
- 差分对阻抗控制 100~130ohm，但内外层布线的阻抗突变应小于 20ohm。
- 电路板的填充材料的介电常数一般变化范围是 4.0~4.5，它的数值随着频率，温度等因素

变化。FR-4 就是一种典型的介电材料，在 100MHz 时的平均介电常数为 4.2；推荐使用 FR-4 作为 PCB 的填充材料。

✧ 保证铺铜的完整性

DDR部分的铺铜完整会直接影响DDR的性能及提高DDR的兼容性，按以下要求设计，就能达到如图7-4所示的效果。

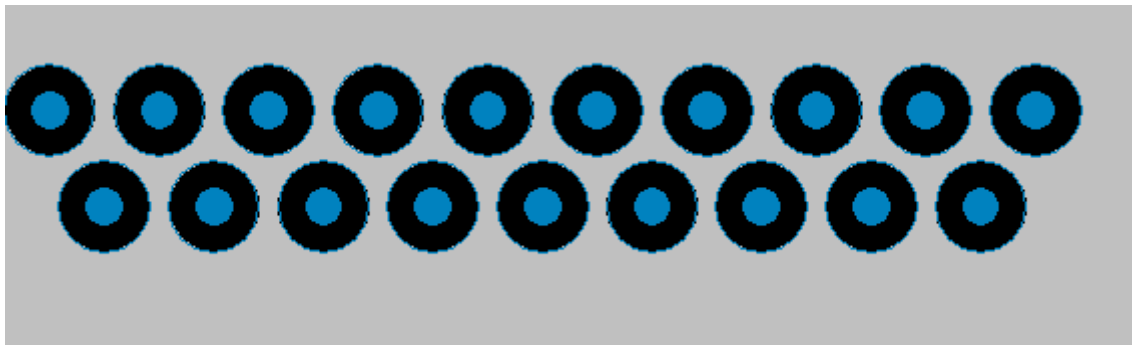


图7-4

- 确保信号线换层过孔均匀分布，两个过孔之间安全间距等于或大于 32mils。
- 采用 0.2mm 孔径，0.4mm 孔盘的过孔。
- 铺铜层属性设置成混合分割层。
- 过孔与铺铜的安全间距设置为 5.5mils。
- 铺铜线宽设置为 4mils。

注：详细请参考RK发布的DDR核心模板PCB文件以及相对应的设计说明文件。

Rockchip Confidential

8 Flash control & Memory

8.1 Schematic

RK3128支持Nand Flash、eMMC、eMCP等FLASH存储设备，控制器及颗粒供电为3.3V，不支持1.8V供电模式，如表8-1所示。

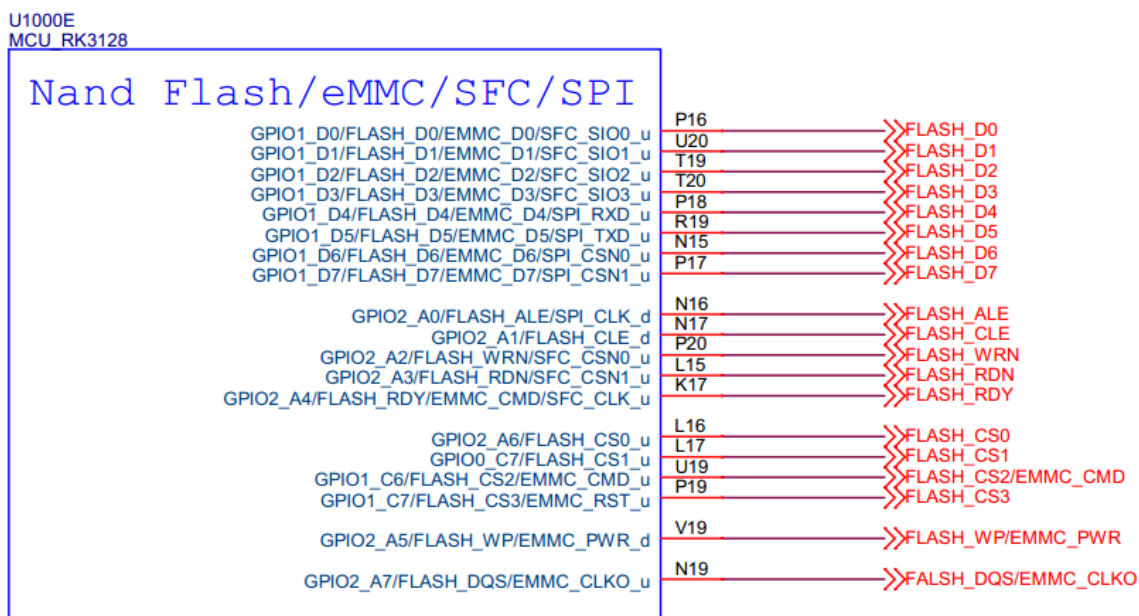


图8-1

如果使用 Nand Flash，原理图如图 8-2 所示。当使用 Toshiba 和 Sandisk 的 DDR 模式 Nand Flash 时，VCCQ1 和 VCCQ4 需要连接到 VCC_IO 供电，即 R4001、R4003、R4004、R4005 要贴 0R 电阻。

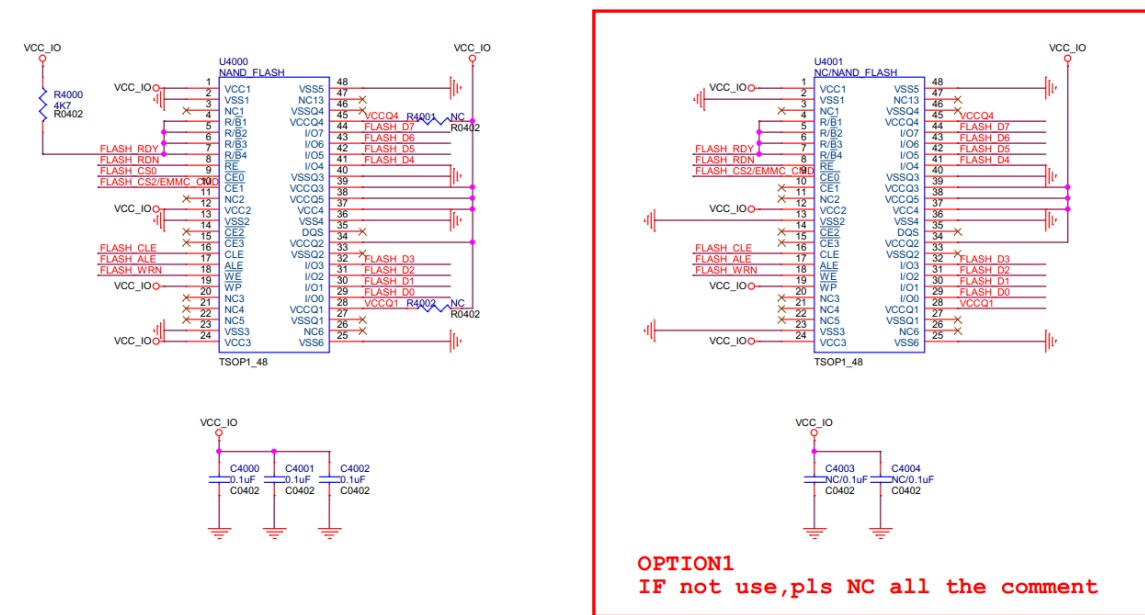


图8-2

如果使用 eMMC Flash，原理图如图 8-3 所示。eMMC-DATA/CMD 信号线上拉电阻使用 10K，电源为 VCC_IO，eMMC-CLK 不需要上拉。

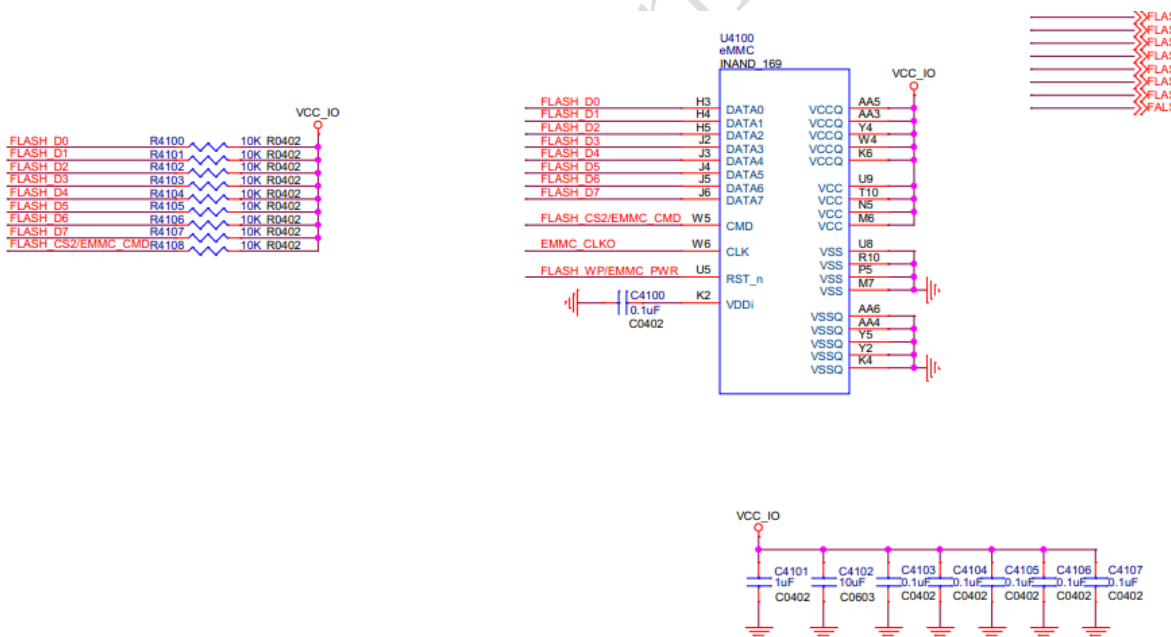


图8-3

为了方便在开发阶段进入MaskRom固件烧写模式（需要更新LOADER），使用Nand Flash时 FLASH_CLE需预留测试点，而在使用eMMC Flash时EMMC_CLK0要预留测试点，如图8-4、图8-5所示。

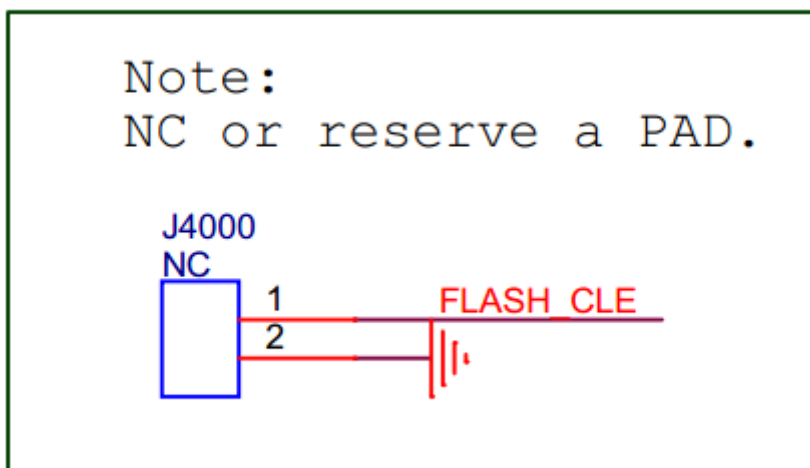


图8-4

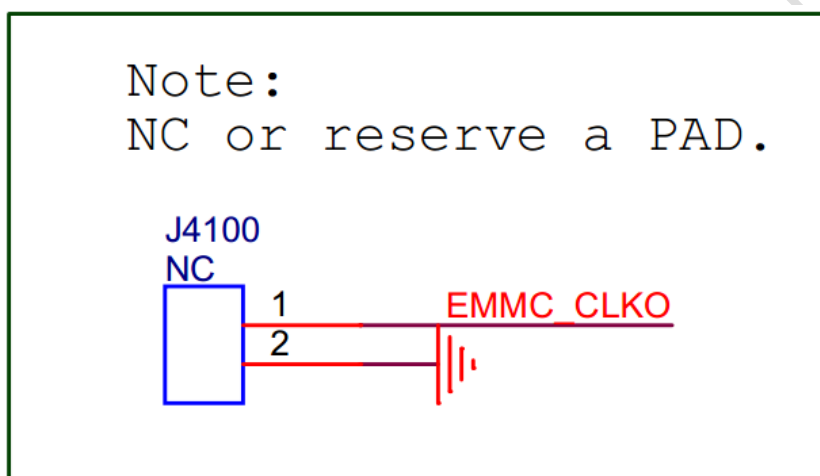


图8-5

8.2 PCB Layout

Nand Flash与eMMC Flash可以通过双Layout实现物料的切换，Layout结构如图8-6所示。eMMC芯片下方在铺铜时，焊盘部分需要增加铺铜禁布框，避免铜皮分布不均匀影响散热，导致贴片时出现虚焊现象。

eMMC Flash走线要求整组包地，信号组内任意两根信号的长度误差控制在400mil以内。eMMC的PCB Layout长度尽量控制在12.4inch以内。

Flash需要注意电源纹波不能大于80mV，所以电源走线需注意远离高速信号线。Flash的数据线不能与Vbus、Vdc、VCC_SYS等纹波较大的大电流信号铺铜层邻层走线。

固件升级模式测试点，建议靠近Flash就近放置，并放置于器件摆放层（非贴近LCM那面），便于升级操作，如图8-6。

采用如图8-7所示方式进行Layout，经过eMMC不用的引脚走线，可以降低PCB制板的间距要求。

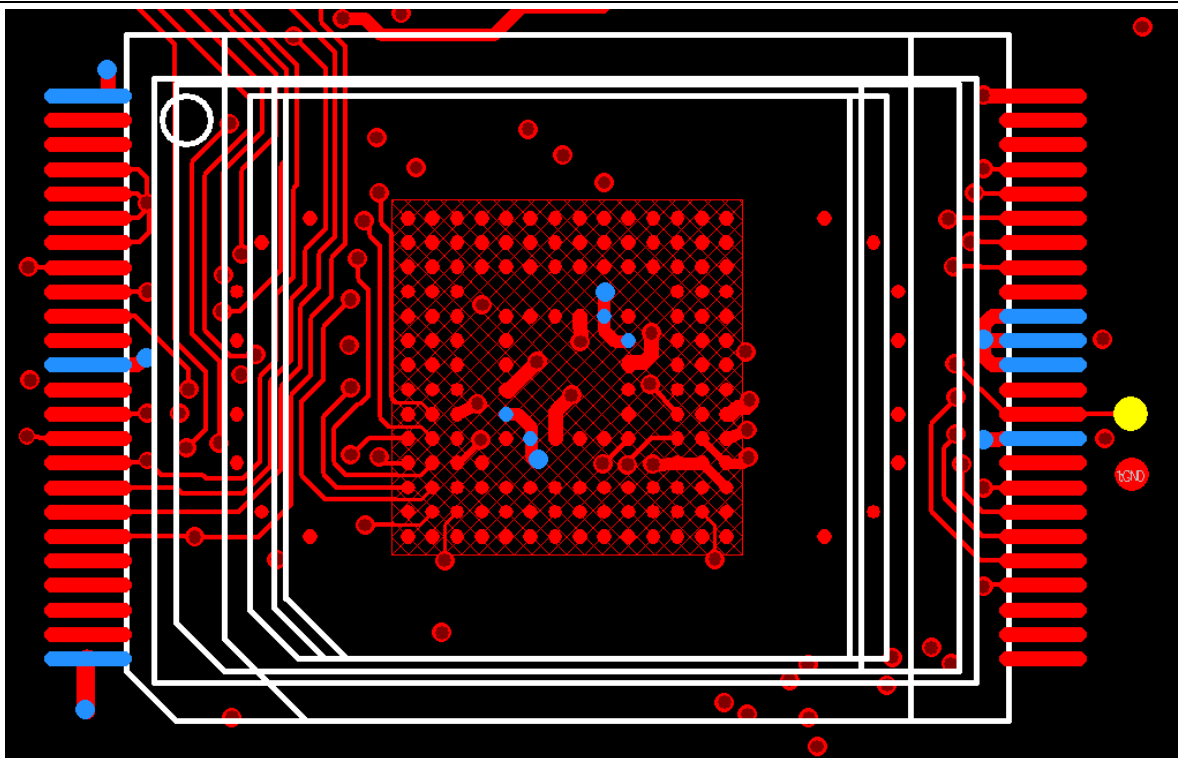


图8-6

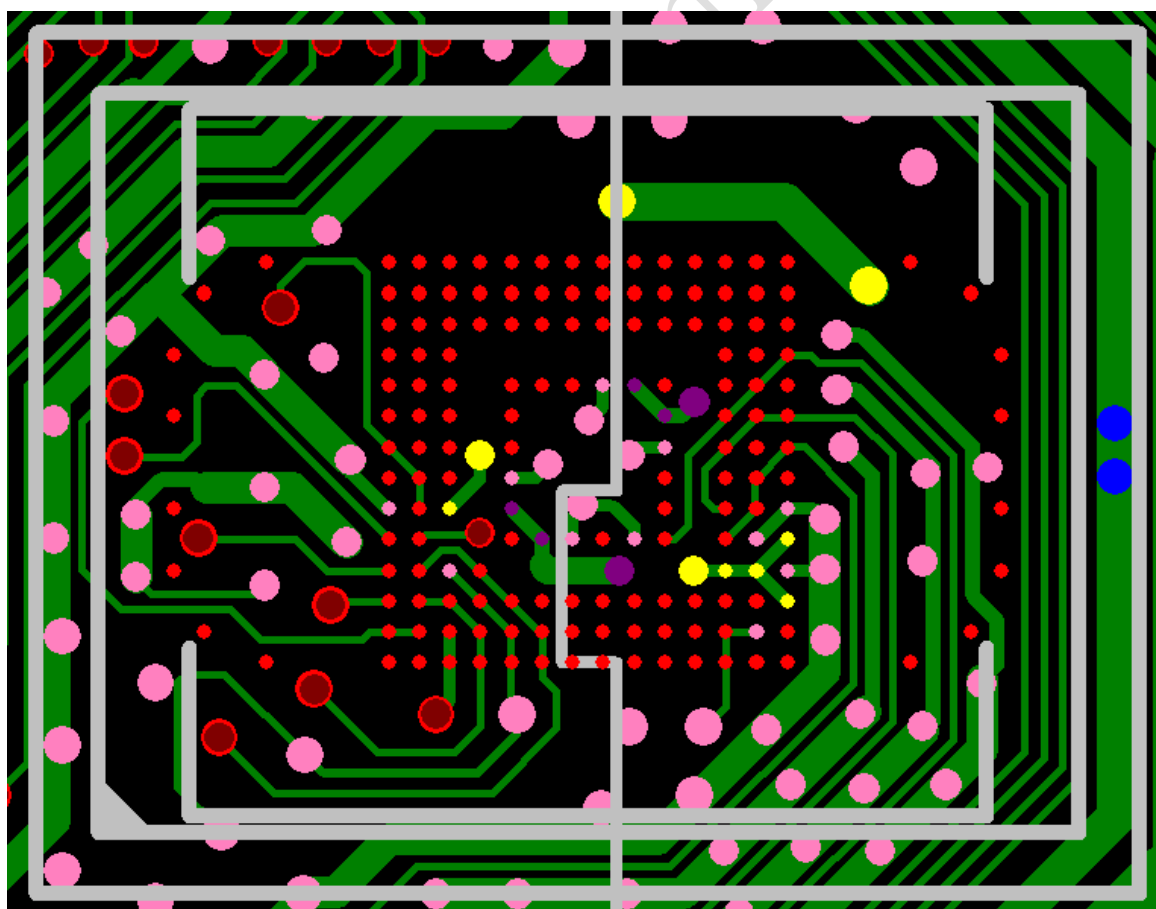


图8-7

9 TF Card

9.1 Schematic

RK发布的参考图采用的存储卡插座是TF card，如果要更换成SD card，请注意卡座的封装。

TF card电路支持SD 2.0，T卡供电VCC_SD为3.3V供电，如图9-1。

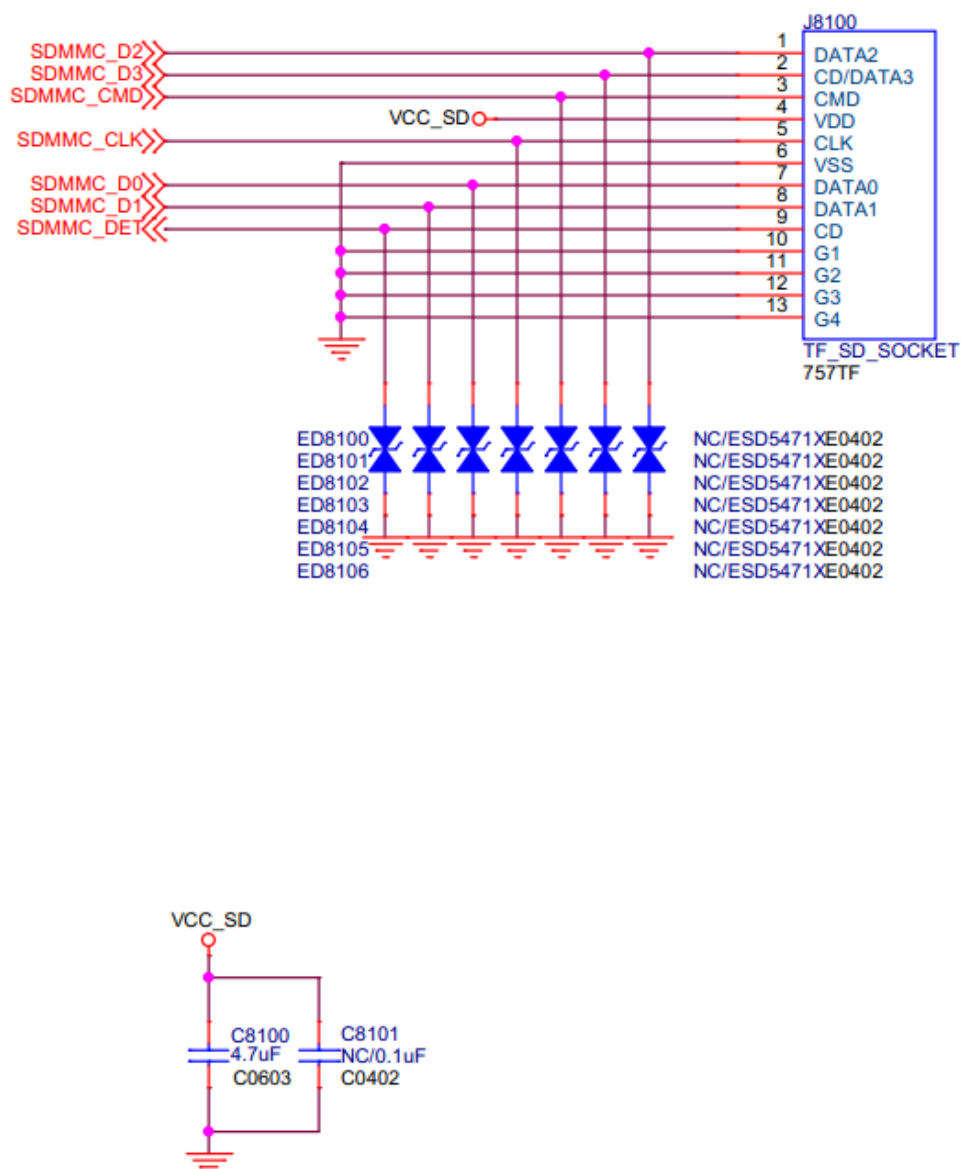


图9-1

9.2 PCB Layout

卡座VCC_SD电容C8100、C8101布局时靠近卡座引脚放置。

走线尽量与高频信号隔开，尽量整组包地处理。如果有空间的话，CLK建议单独包地。

Rockchip Confidential

10 USB & HSIC

10.1 Schematic

RK3128共有两组USB接口，其中一个为USB OTG，另一个为USB HOST，如图10-1。

- USB OTG接口可以通过检测USB_VBUS、USB_ID信号，配置为Host或者Device功能，支持USB2.0/1.1规范。
- USB HOST接口可以作为HOST接口外接设备，而HOST2可支持USB 2.0/1.1规范。

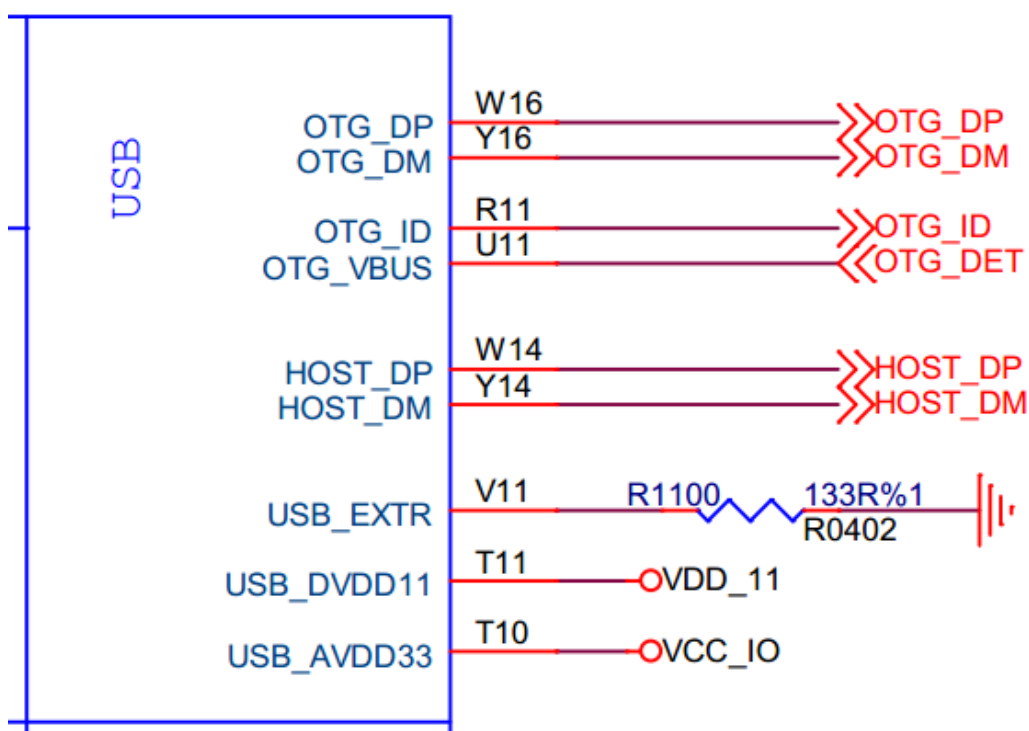


图 10-1

USB 控制器参考电阻 R1100 请选用 1%精度的电阻，该电阻关系到 USB 眼图好坏。

USB 具有高达 480Mbps 的传输速率，所以差分信号对于线路上的寄生电容非常敏感，所以要选降低结电容的 ESD 保护器件，结电容要小于 4pF。

为抑制电磁辐射，可以考虑在信号线上预留共模电感 (Common mode choke)，在调试过程中根据实际情况选择使用电阻或者共模电感，如图 10-2。

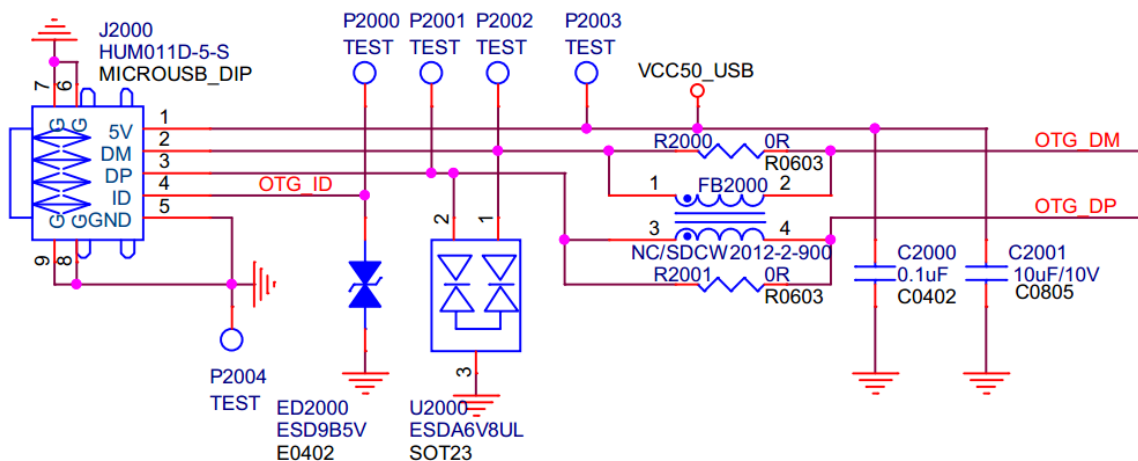


图 10-2

10.2 PCB Layout

USB PCB Layout注意点如下:

- USB接口应尽量靠近芯片放置，以缩短走线距离；
- USB的信号走线必须严格遵循差分规则要求走线。走线拐角尽量用弧线或者钝角，不能为直角或锐角，阻抗要求 $Z=90\pm 10\text{ohm}$ ，如图10-3；

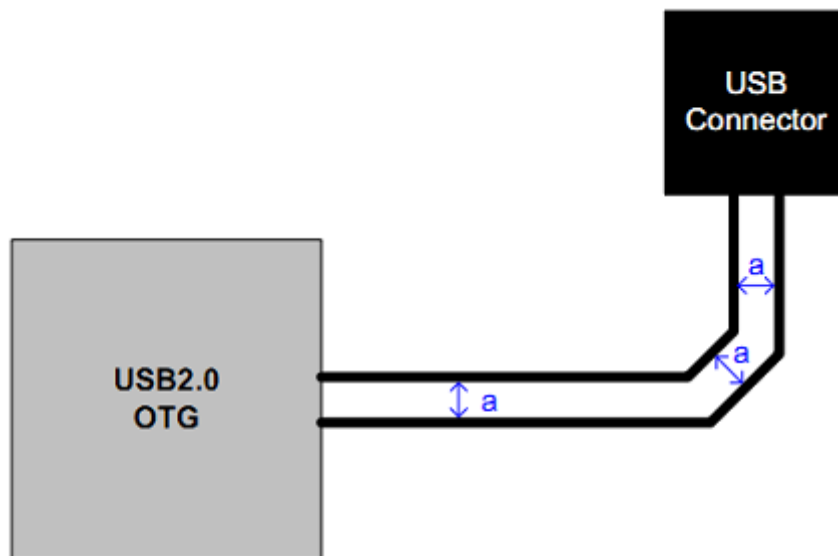


图10-3

- 为抑制电磁辐射，USB建议在內层走线，并保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并增加外部噪声对差分线的影响，如图10-4；如在表层走线，请注意用地线做包地处理，如图10-5；

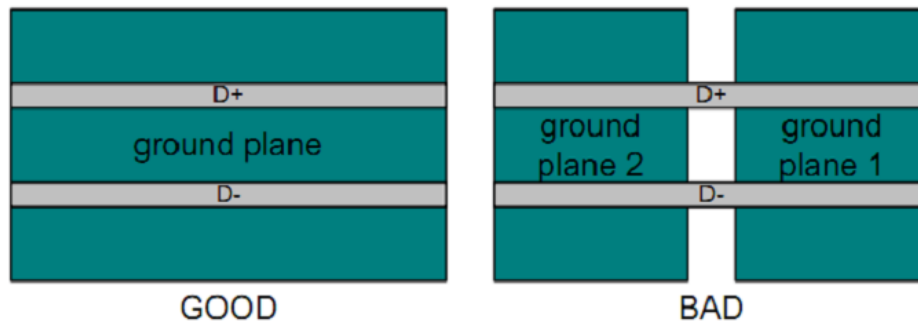


图10-4

Minimizing Crosstalk Between Signal Traces

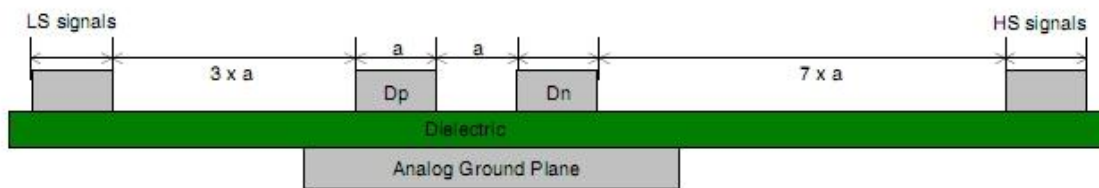


图10-5 高速信号隔离

- 走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续；
- USB 2.0规范定义的电流为500mA，但是VBUS走线最好能承受1A的电流，以防过流。如果是在使用USB充电的情况下，VBUS走线需能承受2.5A的电流；
- ESD保护器件、共模电感和大电容在布局时应尽可能的靠近USB接口，如图10-6、图10-7所示；

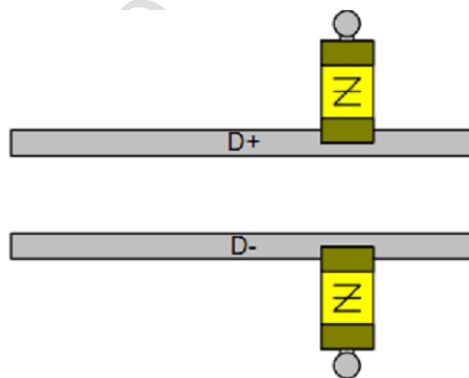


图10-6

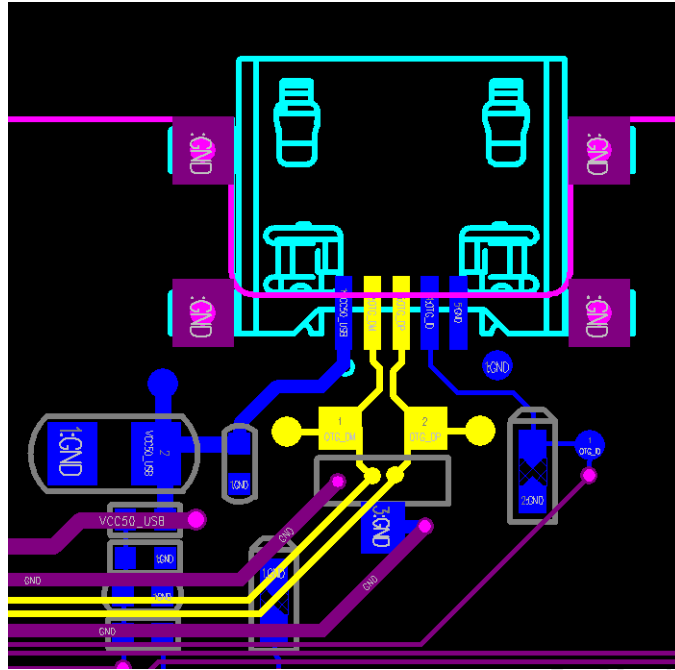


图 10-7

11 SarADC & Key

11.1 Schematic

RK3128采用SARADC的ADC_IN1做为键值输入采样口，并复用为RECOVER模式（不需要更新LOADER），如图11-1。在系统有固件的前提下，开机时按下SW4600，将ADC_IN1保持为0V电平（最高不超过100mV），则RK3128进入Rockusb烧写模式。当PC识别到USB设备时，松开按键使ADC_IN1恢复为高电平（3.3V），即可进行固件烧写。

RK3128上，SARADC采样范围为0~3.3V，采样精度为10bit。按键阵列可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求，设计中建议任意两个按键键值电压差必须大于250mV。

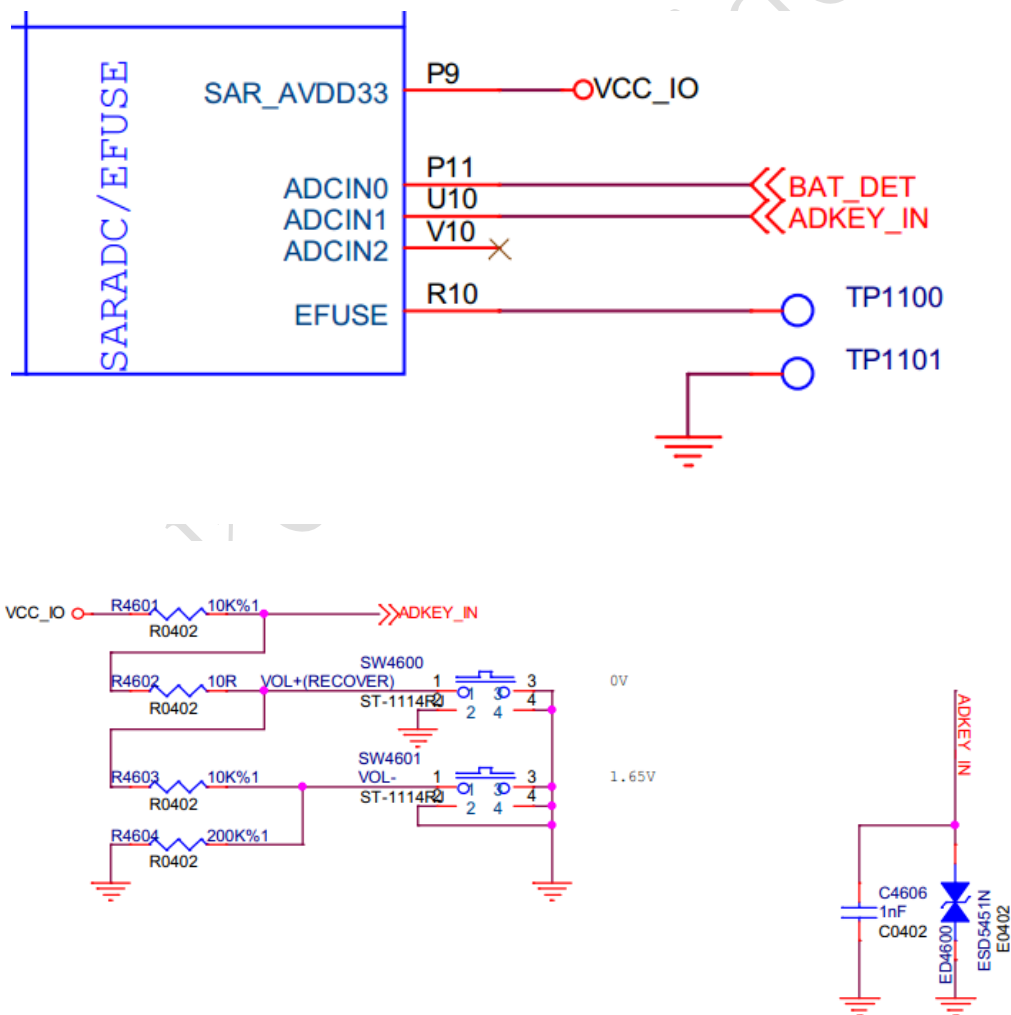


图11-1

12 DVP Interface & Camera

12.1 Schematic

DVP接口电源域为VCC_I0供电，不支持1.8V供电。实际产品设计中，需要根据产品Camera的实际IO供电要求（1.8V or 2.8V）选择合适的型号，如图12-1。由于RK3128内部没有ISP处理器的原因，Camera选型时请选择带ISP的型号。

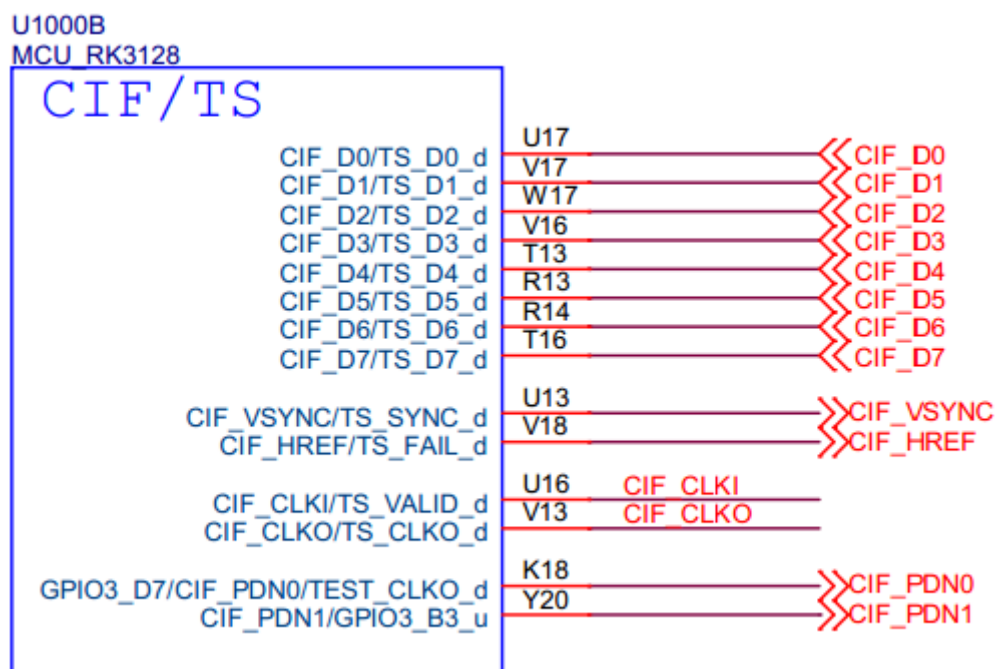


图12-1

为了避免在实际产品中因CAMERA走线过长，而造成的时序问题，引起数据采集异常，需要增加如图12-2所示的RC延迟电路。注意时钟信号的流向，对应的器件靠近信号输出端放置。

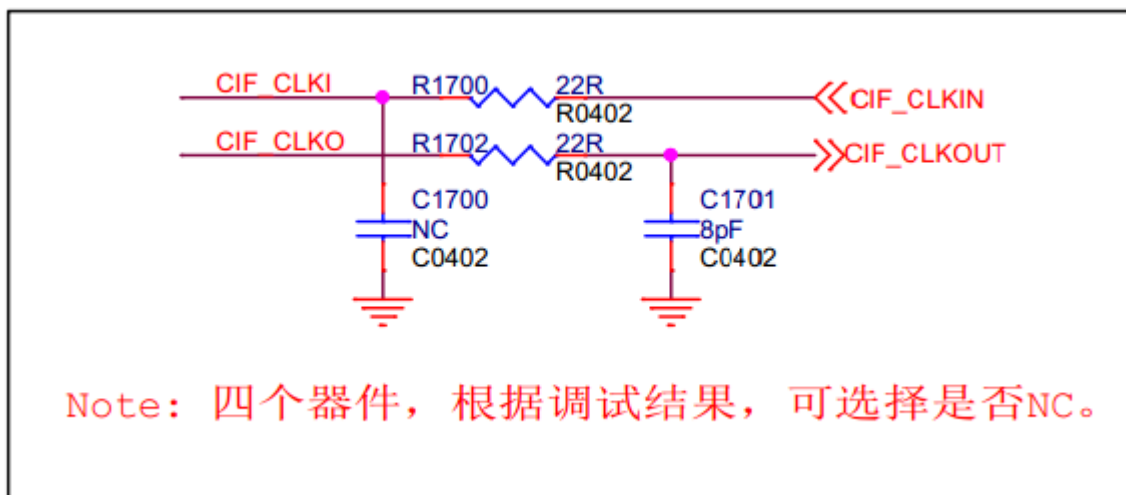


图 12-2

12.2 PCB Layout

DVP PCB Layout注意点如下：

- Camera连接座应尽量靠近芯片放置，缩短走线距离；
- Camera信号走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续；
- CIF_CLKI、CIF_CLKO等时钟走线，建议单独包地处理，并远离其他高速信号线；
- Camera信号数据走线CIF_D0-D7，建议整组做包地处理；

13 Display Interface

13.1 Schematic

RK3128支持Parallel RGB、LVDS、MIPI、HDMI等多种视频输出模式，LVDS/MIPI、HDMI PHY的参考电阻，请选择1%精度电阻，如图13-1~图13-2；

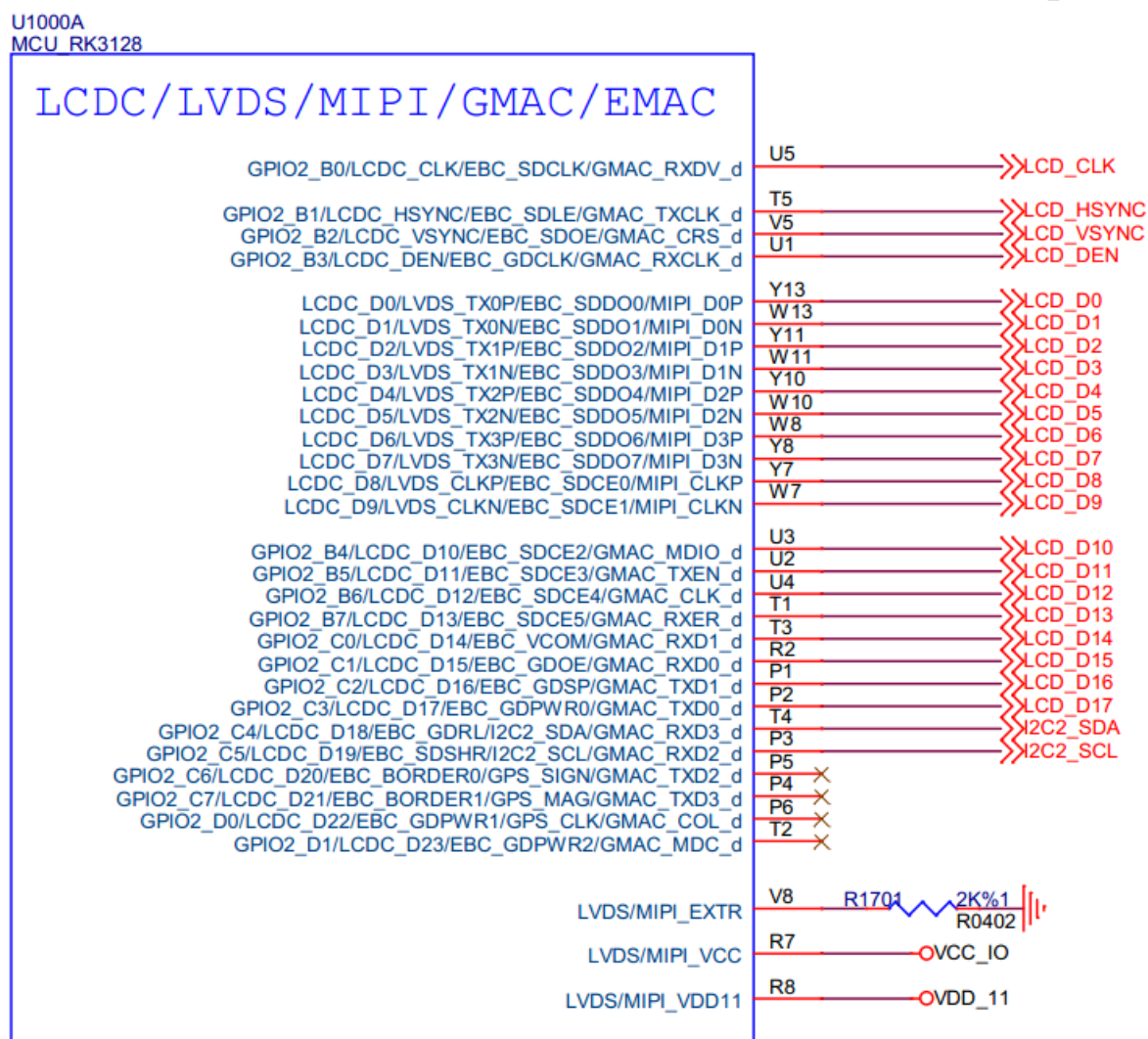


图13-1

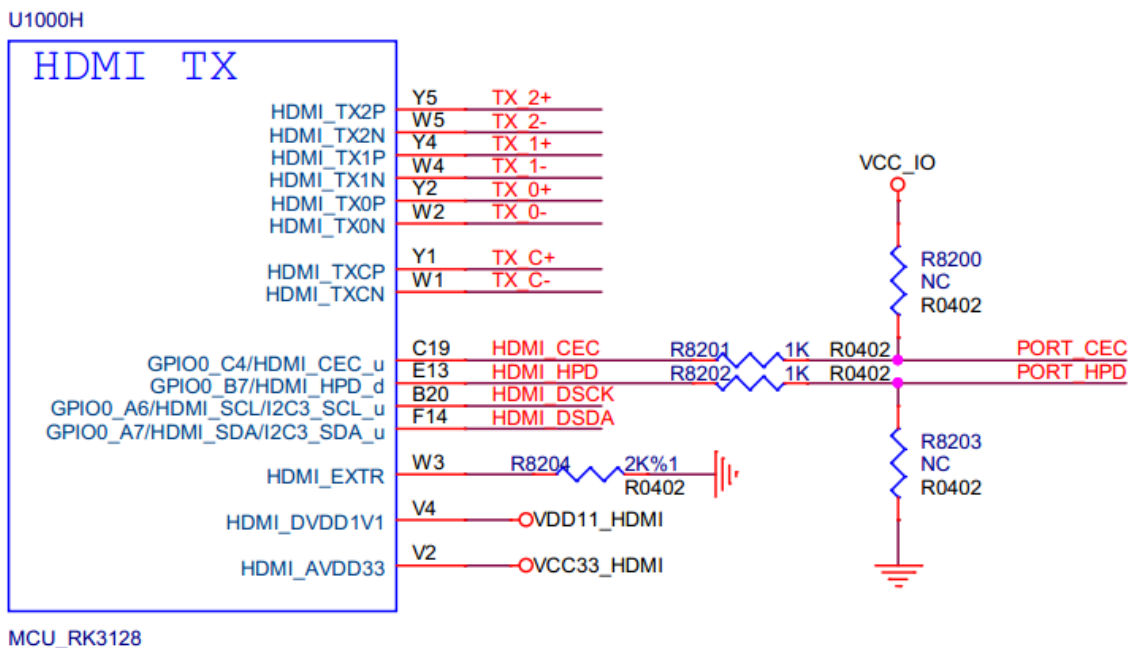


图13-2

如图13-3，各模块的电源去耦电容请尽量靠近芯片引脚放置；

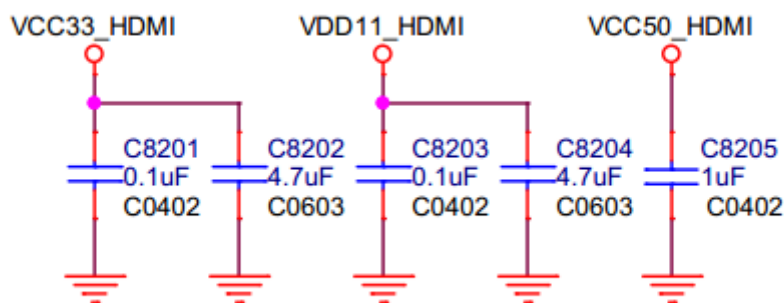


图13-3

13.2 PCB Layout

- 信号连接座应尽量靠近芯片放置，以缩短走线距离；
- MIPI、HDMI的信号走线需严格遵循差分规则要求走线，线对内两根信号的长度误差控制在10mil以内，线对与线对之间的长度误差控制在30mil以内；走线拐角尽量用弧线或者钝角，不能为直角或锐角，阻抗要求 $Z=100\text{ohm} \pm 10\text{ohm}$ ；
- LVDS的信号走线需严格遵循差分规则要求走线，线对内两根信号的长度误差控制在30mil以内，线对与线对之间的长度误差控制在100mil以内；走线拐角尽量用弧线或者钝角，不能为直角或锐角，阻抗要求 $Z=100\text{ohm} \pm 10\text{ohm}$ ；
- RK3128平台上，MIPI网络的总长度（包括PCB Layout长度、FPC连接线长度以及接收端PCB的走线长度）尽量控制在10inch以内，最好不要超过15inch，否则会对信号质量造成影响；

- RK3128平台上，HDMI网络的PCB Layout长度要求小于5inch，尽量控制在3inch以内。如果无法避免换层的阻抗连续性，建议将换层的阻抗变化控制在10%以内，在每对换层的差分对旁边就近安排一个GND过孔用于信号回流换层；
- 为抑制电磁辐射，MIPI、HDMI等高速差分信号建议于PCB内层走线，并保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并增加外部噪声对差分线的影响。如在PCB表层走线，请注意用地线做包地处理；
- MIPI、HDMI等高速信号走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续；
- ESD器件需靠近HDMI插座放置，如图13-4；

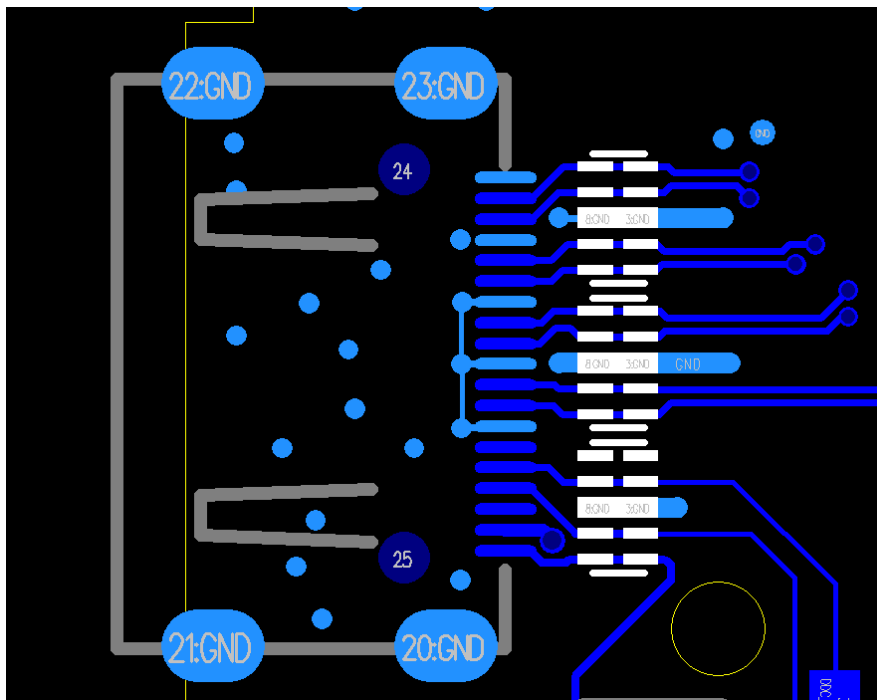


图13-4

14 LCM

14.1 Schematic

LCM接口设计时，请预留测试点，便于信号测试，如图14-1所示。

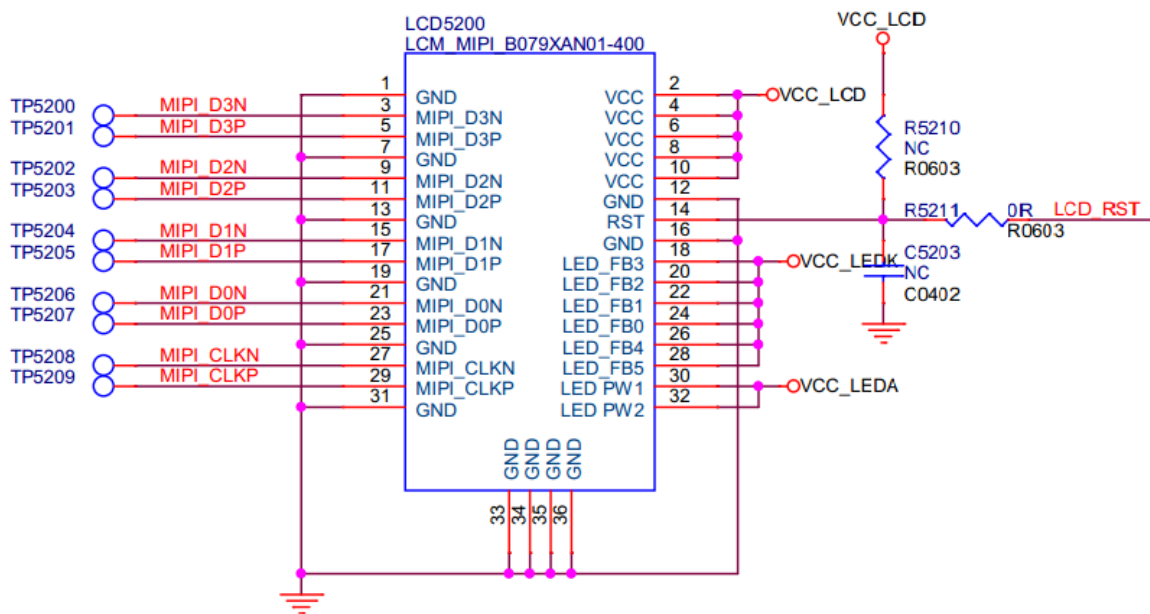


图14-1

14.2 PCB Layout

高速信号走线请参考第13节PCB Layout中的设计要求。

背光限流电阻R5114、R5115和电源电容C5104需靠近屏座放置，如图14-2、图14-3所示。

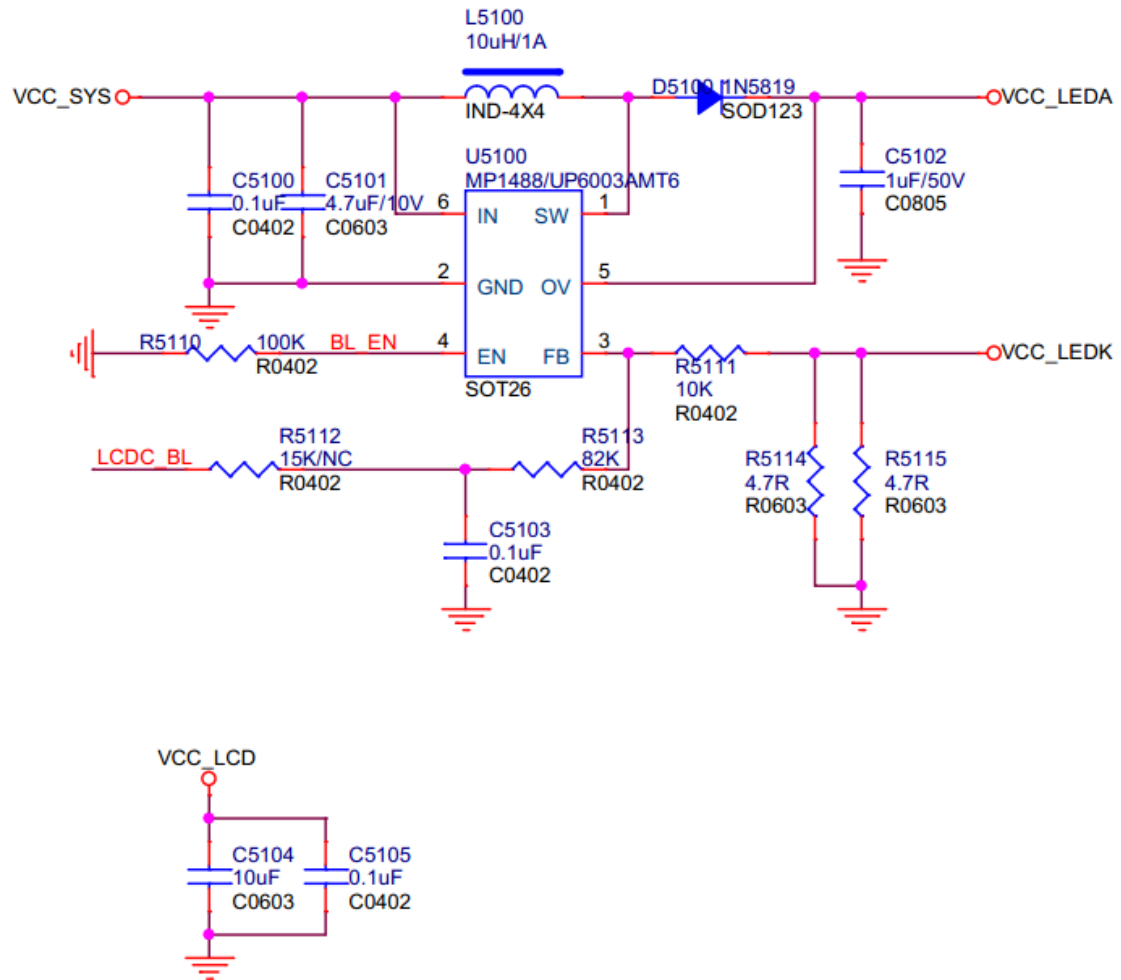


图14-2

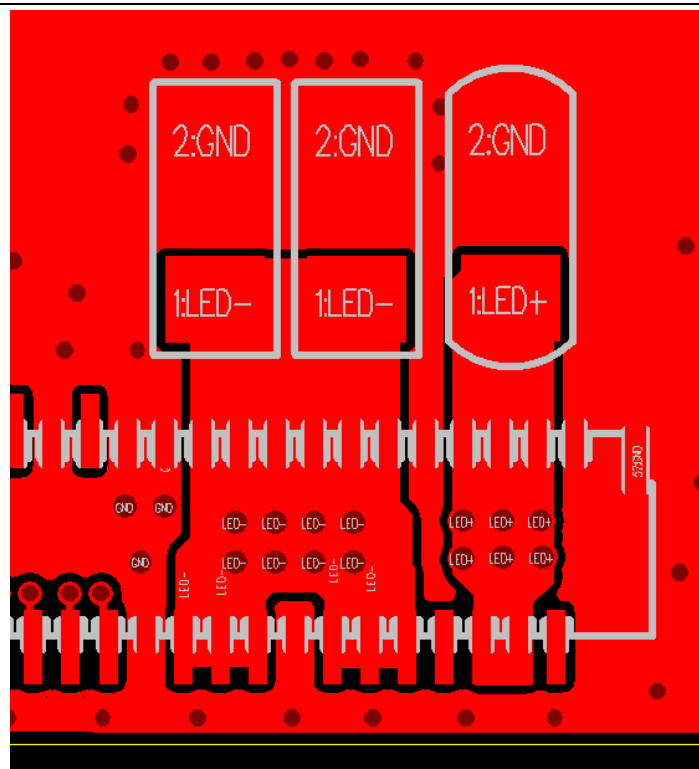


图14-3

15 Debug

15.1 Schematic

RK3128的Uart2与SDMMC0复用，实际应用中建议预留一个用来作Debug的测试点，方便产品的软件调试。

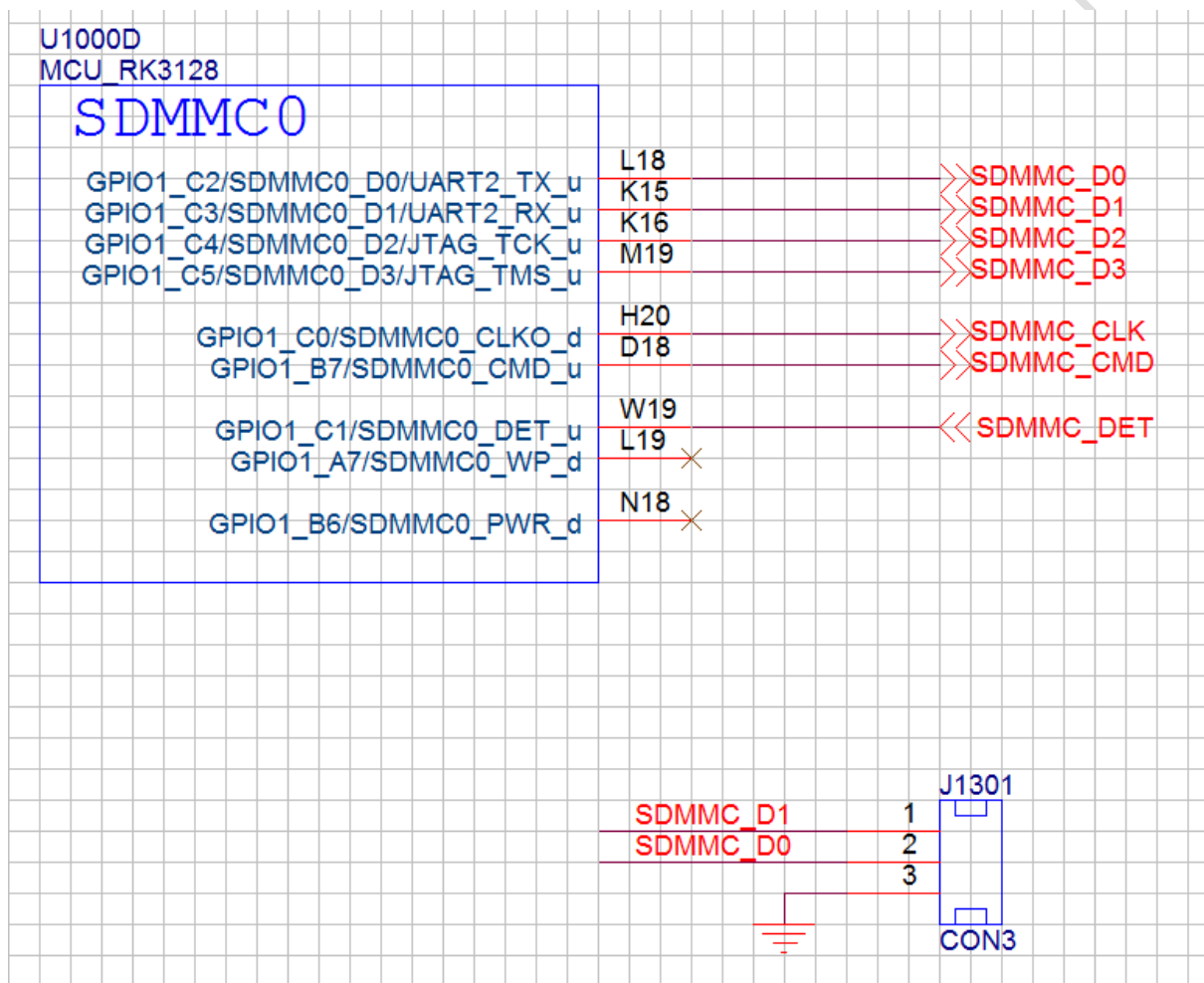


图15-1

如果使用RS232电平转换芯片，需要注意TXD、RXD方向。

15.2 PCB Layout

较常使用Debug功能的话（如开发板、SDK等），建议在接口增加ESD器件，对芯片提供保护；

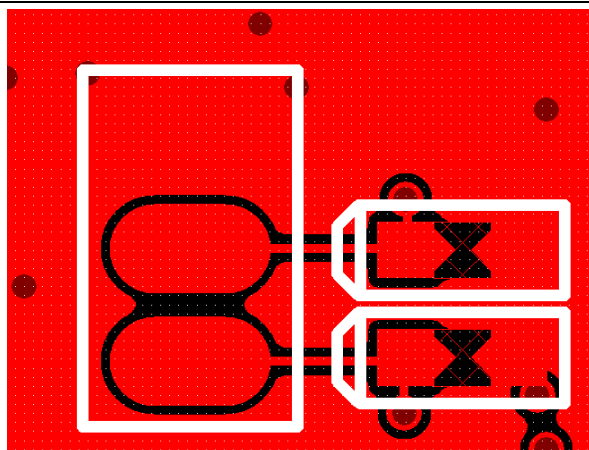


图15-2

16 Audio Codec

16.1 Schematic

RK3128内置了一个高性能CODEC，支持一路双声道耳放输出，一路线性输入，两路单端Mic或者一路差分Mic输入。如图16-1。

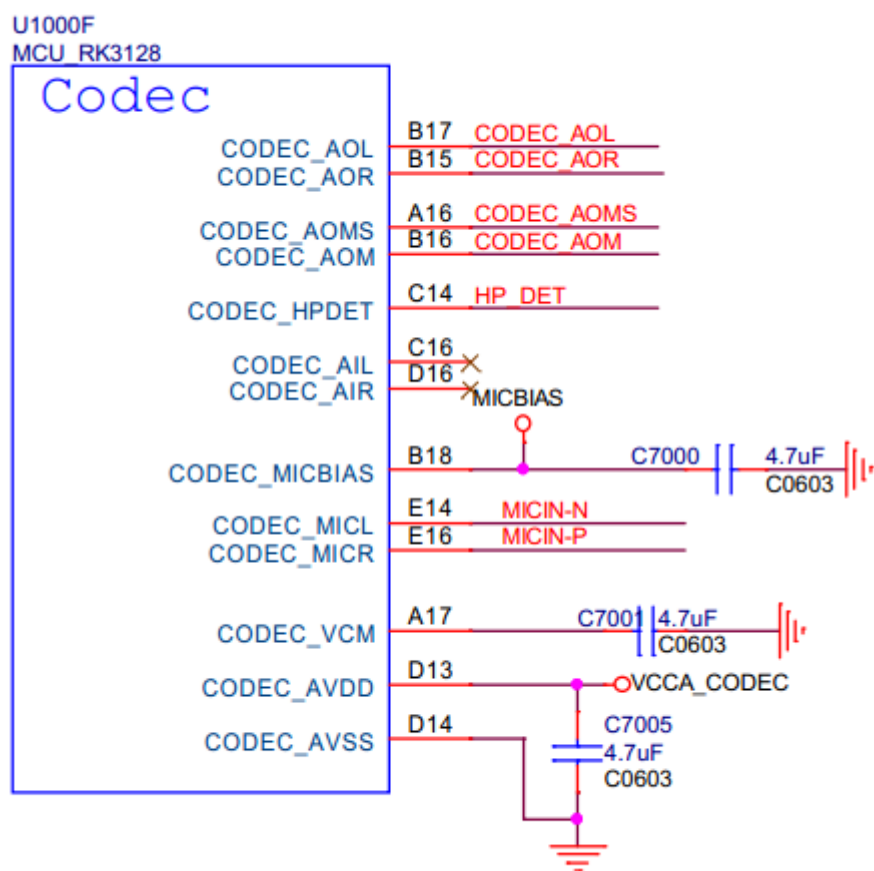


图16-1

MIC请根据驻极体麦克风规格，选择合适的分压电阻R7012、R7014，如图16-2。

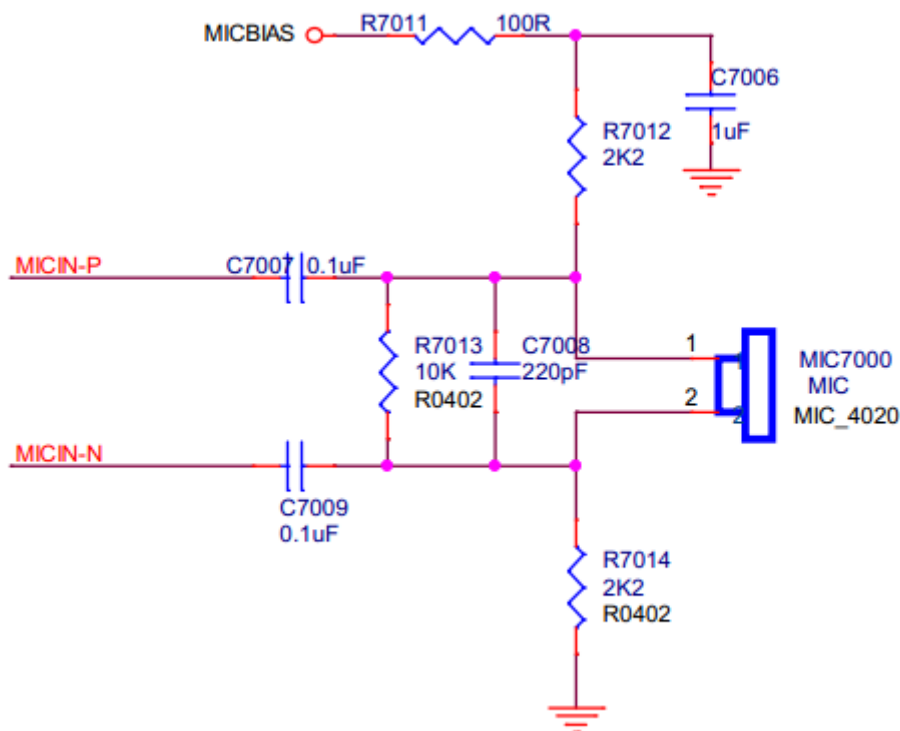


图16-2

Codec如果使用电容耦合输出方式，理想情况下100uF的电容可以保证频响测试曲线的平坦度，如降低成本选用较小的耦合电容，会造成低频频响的偏离，如图16-3中EC7000、EC7001；

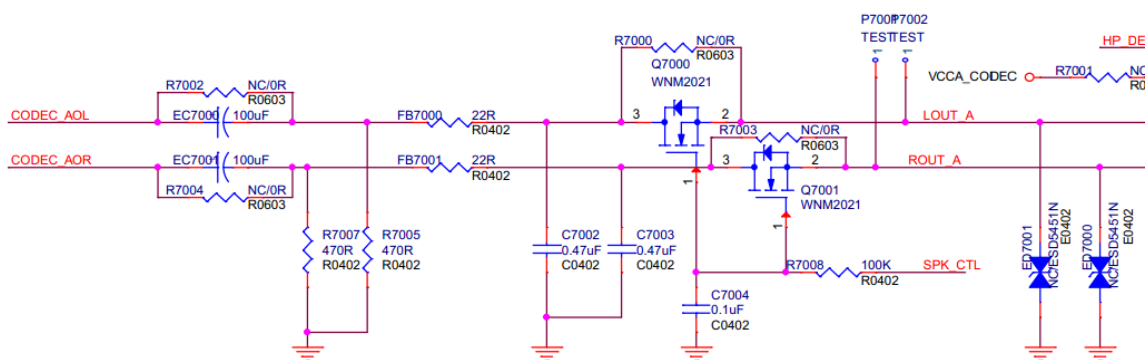


图16-3

16.2 PCB Layout

- Codec各路电源走线线宽要求大于15mils，VCC_SPK走线线宽要求大于30mils。
- Codec各输入、输出信号，包括HP out、LINE in、LINE out、MIC in、Speaker out等信号，为避免信号间串扰引起的输出失真及噪声，均需要做信号包地处理（包地处理应包括

同层包地与邻层包地), 并与其他数字信号隔离。

- HP out输出信号线宽建议大于15mils。
- LINE in/out输出信号线宽建议大于10mils。
- Codec信号较敏感, 为避免引入噪声, Codec的耦合电容C7000、C7001、C7005要靠近Codec端放置, 如图16-4。

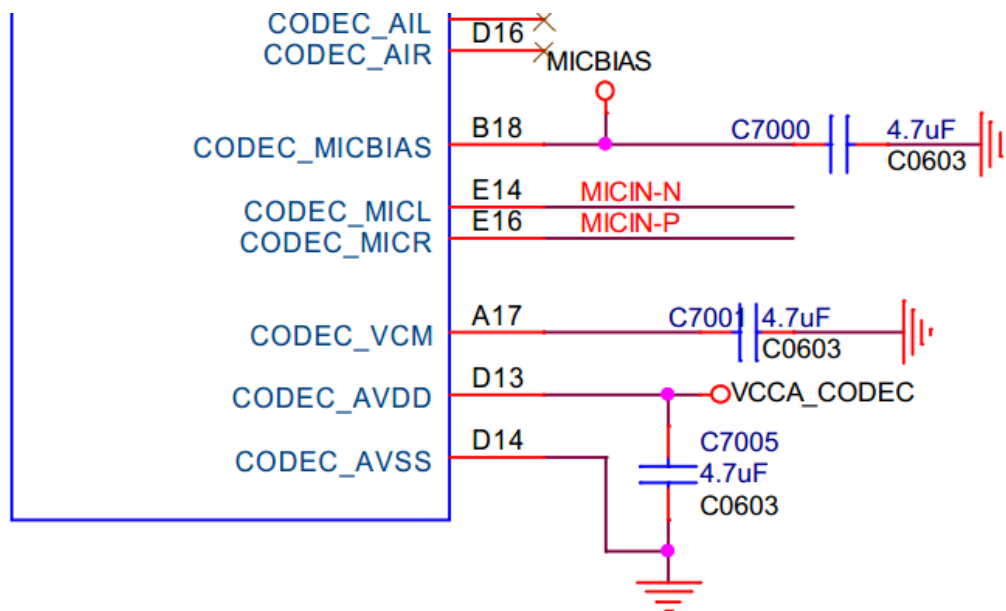


图16-4

- 为抑制功放电磁辐射, 需把功放到喇叭的走线长度缩短, 走线加粗, 尽量少走弯角。为避免噪声干扰, 建议差分走线, 线宽大于20mils, 线距小于10mils, 并在靠近喇叭输出端预留LC滤波电路。

17 Touch Panel

17.1 Schematic

Touch Panel I2C上拉电阻请选择TP电源VCC_TP，以免出现在休眠情况下，电源通过I2C总线向TP屏漏电而增加额外的功耗。

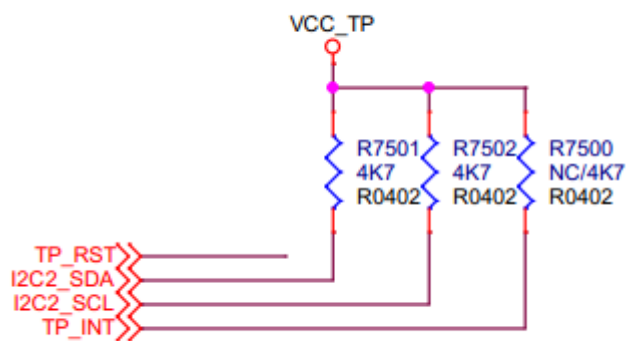


图17-1

17.2 PCB Layout

大屏ESD容易打坏主控接口数据线，Sensor信号线要注意保护；

TP onboard设计，Sensor与Driver信号间需要用地隔离；

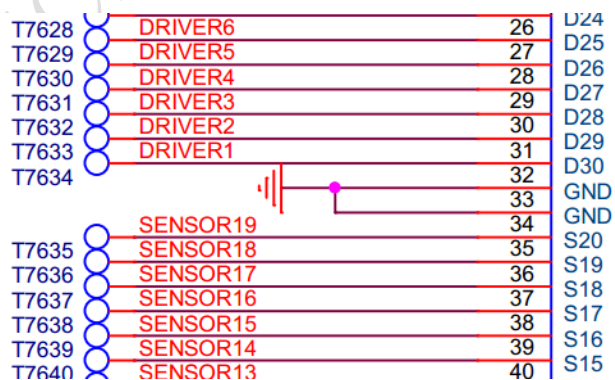


图17-2

18 Sensor

18.1 Schematic

马达为感性器件，必须加二极管，注意二极管的方向。

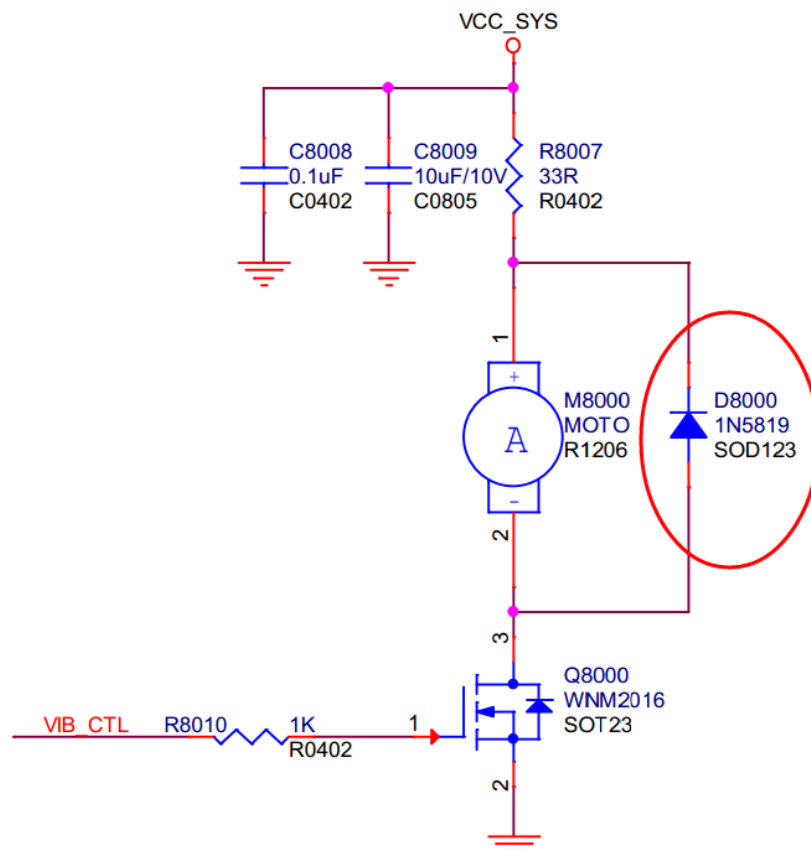


图18-1

18.2 PCB Layout

- 地磁传感器布局时需远离强磁场、易磁化器件、大电流器件等，如听筒、喇叭、马达、摄像头、大电感等，同时不能放在屏蔽罩内。
- 重力加速度传感器摆放时需注意方向，第一脚建议放置在产品正视图的左上角位置，方便软件调试。

19 eFUSE

19.1 Schematic

暂无。

Rockchip Confidential

20 MAC

20.1 Schematic

RK3128芯片上以太网与RGB功能复用在一起，所以如果要使用以太网功能，那么RGB就不能使用，只能使用LVDS或是MIPI作为显示输出。

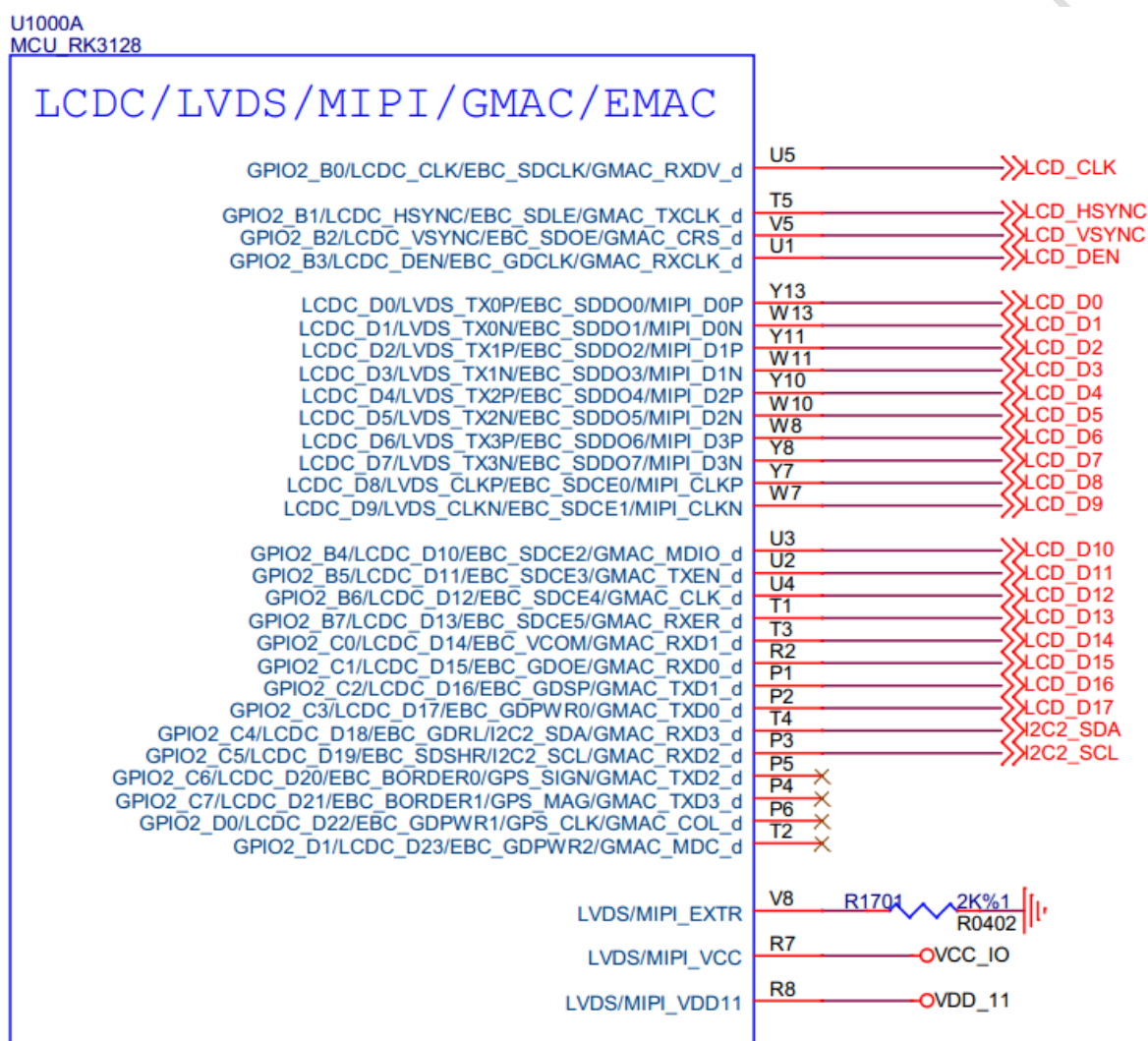


图20-1

图20-2所示的25MHz晶体的负载电容（C251、C252）容值需要根据实际采用晶体标称负载电容值，12pF为我司选用晶体所对应容值，不为通用值。

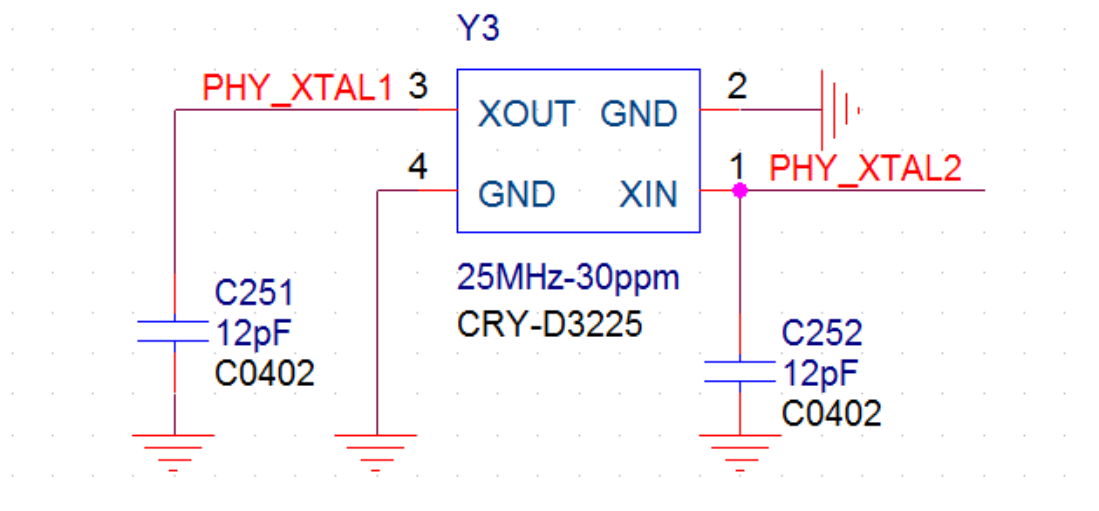


图20-2

图20-3中的L9电感需满足下面条件：IDC>=600Ma；Tolerance<=20%；DCR<=0.8ohms@1MHz；Measure Efficiency>=75%@GbE link speed；

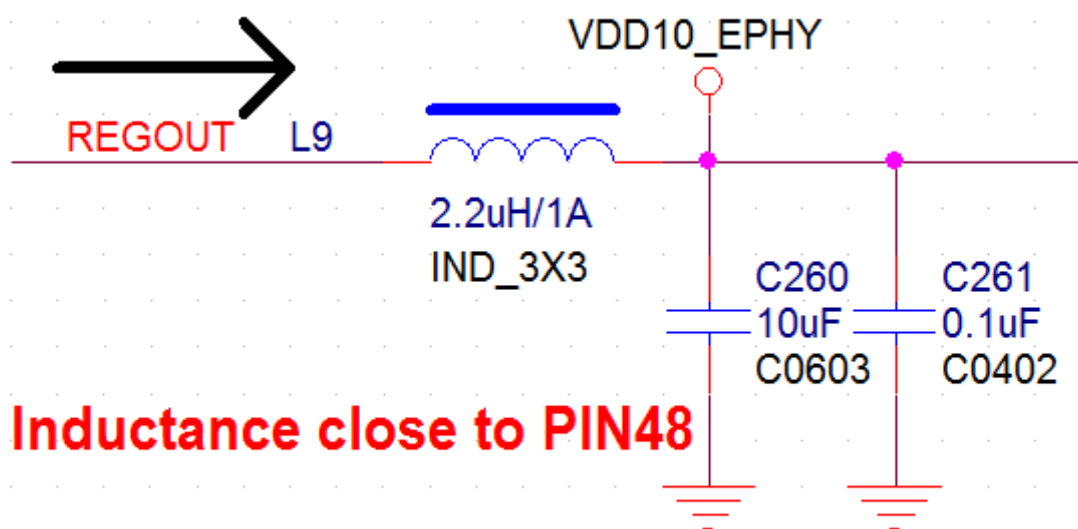


图20-3

如果要过EMI测试，图20-4中差分线串接的0R电阻需考虑换成共模电感（Common mode choke is 90-120ohm）。

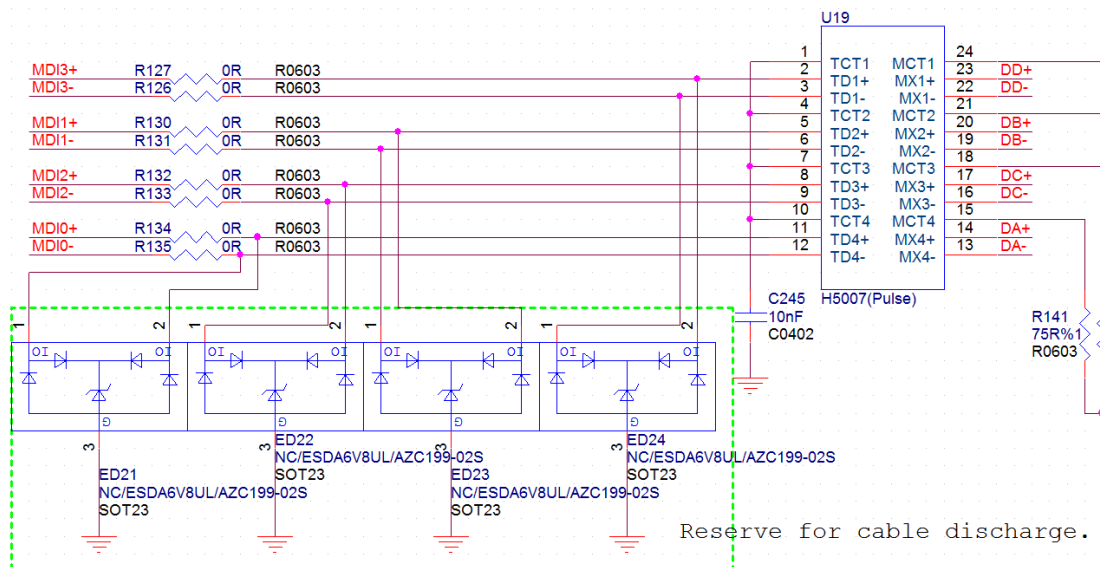


图20-4

建议RJ45座子采用带金属屏蔽的。如果RJ45有LED灯，LED0-2要预留一个对地100pF电容，改善EMI，如图20-5。

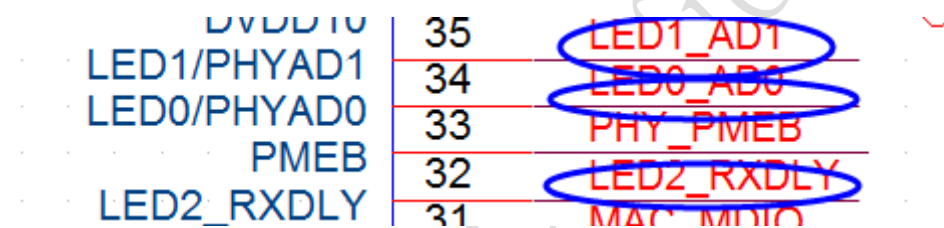


图20-5

3. 3V和1.05V的纹波要求小于100mV。

RSET电阻必须采用1%的，如图20-6所示。

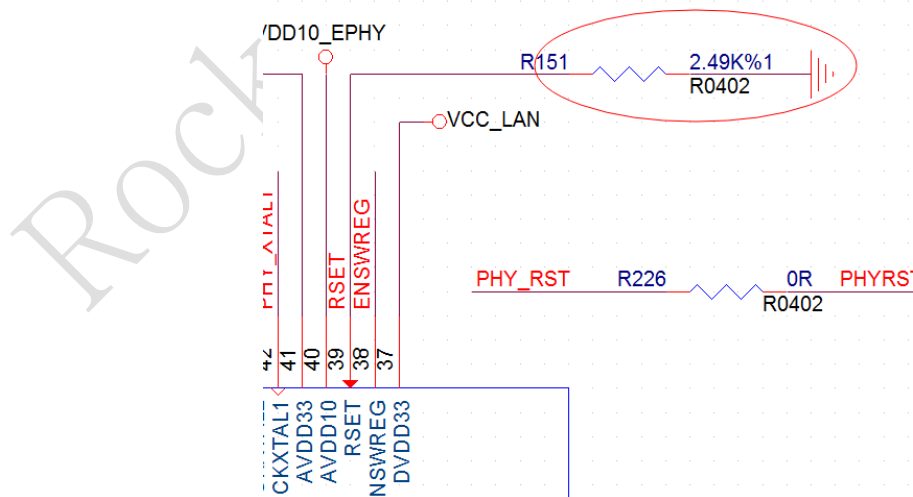


图20-6

网络变压器需满足图20-7所示条件：

Turn Ratio TX/RX: 1:1

Primary Inductance: 350 μ H OCL with 8mA bias

Insertion Loss: -1.0 dB Max, 1 ~ 100MHz

Return Loss: -18dB Min @ 100 Ω , 1 ~ 30MHz

-14dB Min @ 100 Ω , 30 ~ 60MHz

-12dB Min @ 100 Ω , 60 ~ 80MHz

Differential to Common Mode Rejection:

-40dB Min @ 1 ~ 60MHz

-30dB Min @ 60 ~ 100MHz

Hi-Pot: 1500Vrms @ 60sec

Operating Temperature: 0°C to 70°C

Recommended Magnetics: Pulse H5007 or similar

图20-7

20.2 PCB Layout

整体布局应遵循如下规则：

- PHY越靠近RK3128，EMI效果会越好，即RGMI I走线越短EMI效果越好，必须小于15cm。
- RJ45最好靠近PHY放置，即MDI走线应尽量短，必须小于12cm，如图20-8所示。

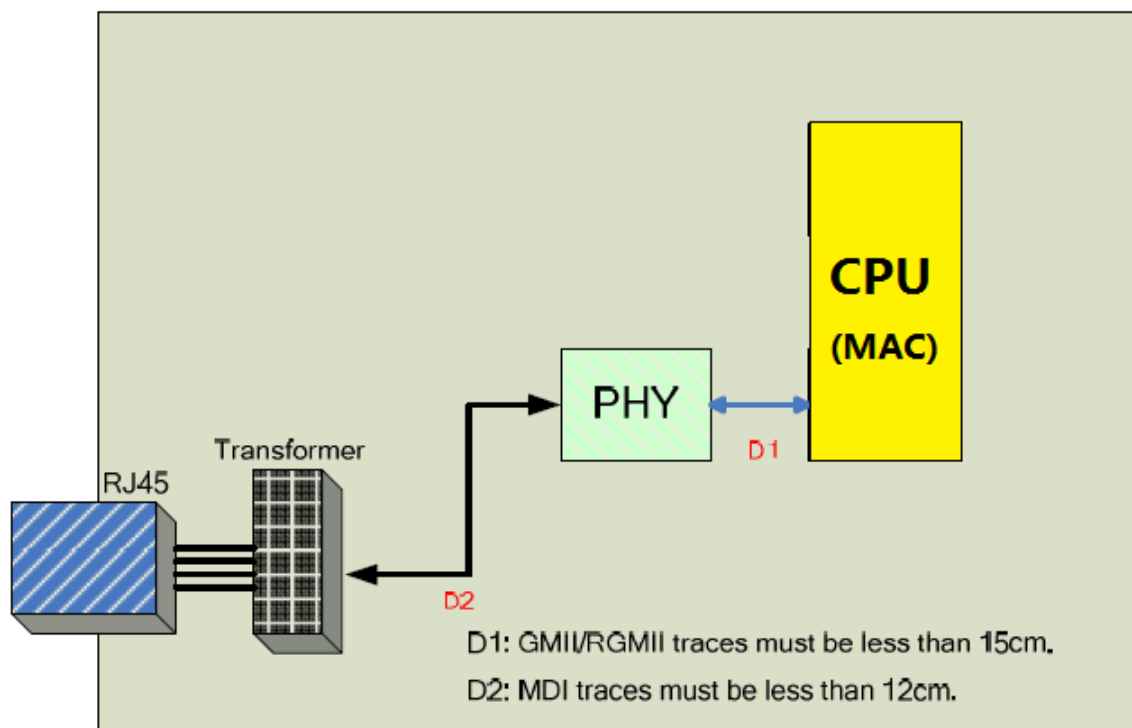


图20-8

- 如果RJ45和变压器是分离器件的，那么10/100/1000M网络变压器要靠近RJ45放置，如果旁边有其它变压器，要远离一些，然后最好成90度放置。
- MDI的4对差分线要等长处理，线对内两根信号长度误差小于10mil，线对与线对之间的长度误差控制在30mil以内；走线拐角尽量用弧线或者钝角，不能为直角或锐角，阻抗要求 $Z=100\Omega \pm 10\Omega$ ；走线要尽量短，差分走线总长度要小于12CM，要有完整的参考面（如果不完整，可能产生最大的EMI问题），尽量少打换层过孔。
- 25MHz晶体要靠近PHY放置，其它信号不要经过晶体，晶体周围最好用地包围起来，然后有良好的接地。
- 电源的0.1uF去耦电容分别靠近电源管脚放置，走线方式最好是先经过电容再进电源管脚。
- PHY的ePAD至少保证有9个以上地过孔，如图20-9所示。

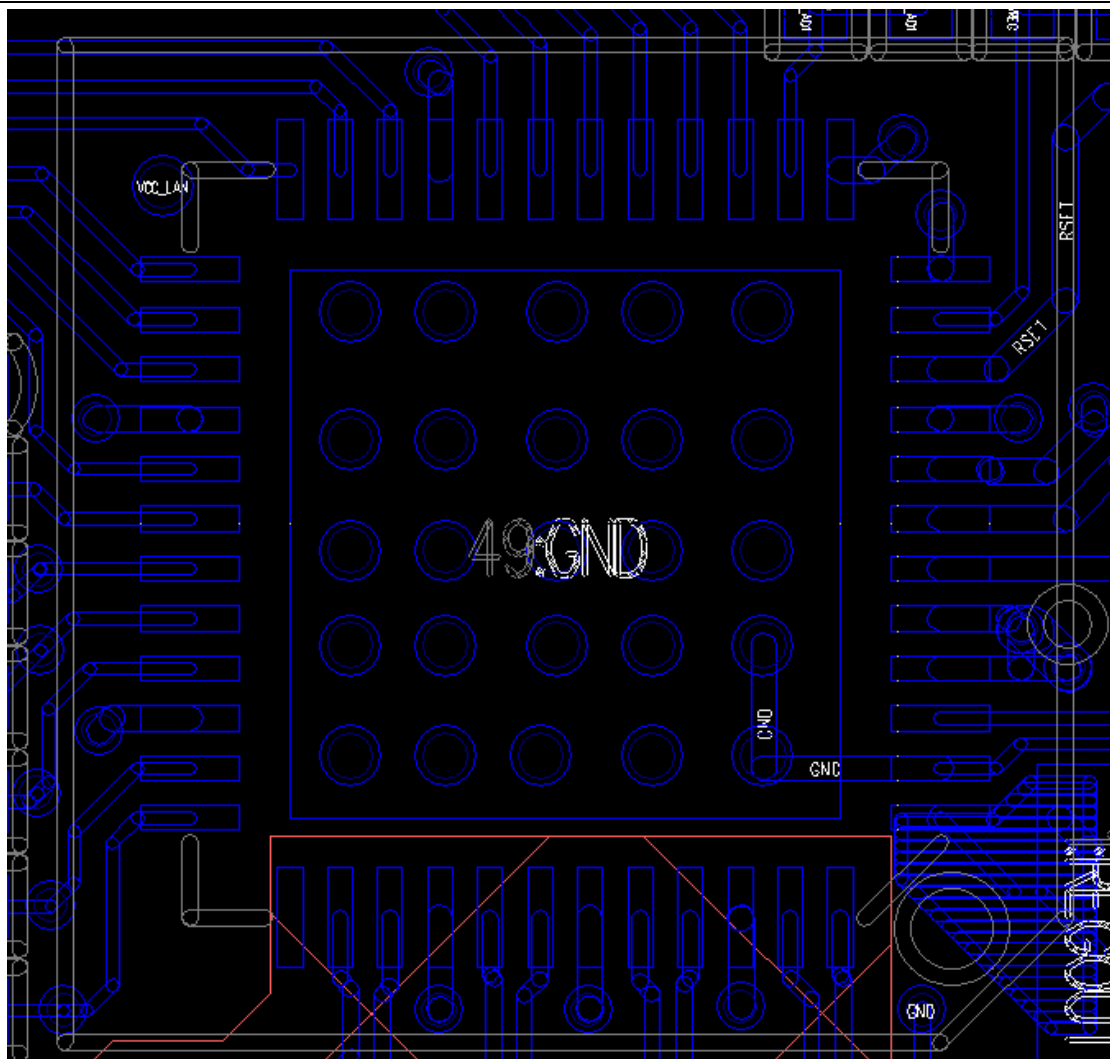


图20-9

- 图21-10中的R146要靠近PHY放置，需包地处理，走线要尽量短，要有完整的参考面。

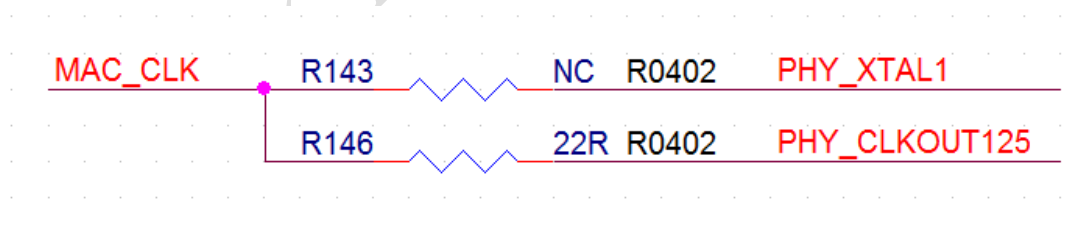


图20-10

- RSET电阻R151必须靠近PHY（小于800mil），而且要远离（VDDREG，REG_OUT，MDI0+/-，MDI1+/-等）以及 clock signals（最小距离50mils）。

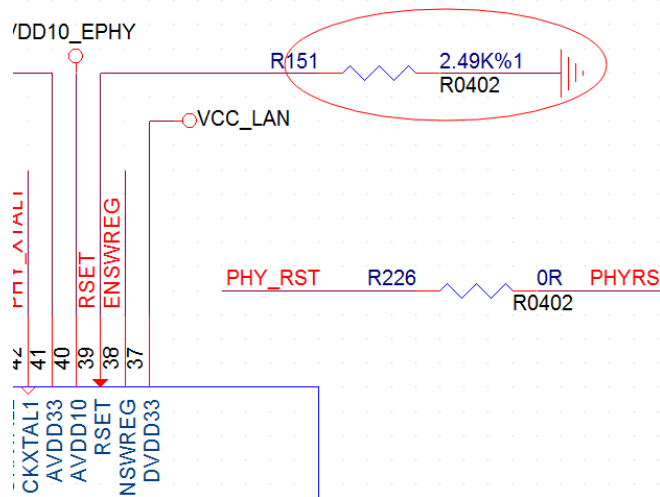


图20-11

- 下图串接电阻要靠近PHY放置，改善EMI。
 - MAC_RXCLK必须包地处理。
 - 下图中的其它信号间距要满足3W布线原则。
 - RXD[0:3], RXCLK, RXDV走线要等长处理，整条相差小于100mil，走线要尽量短，整条长度要小于15CM。
 - 要有完整的参考面。

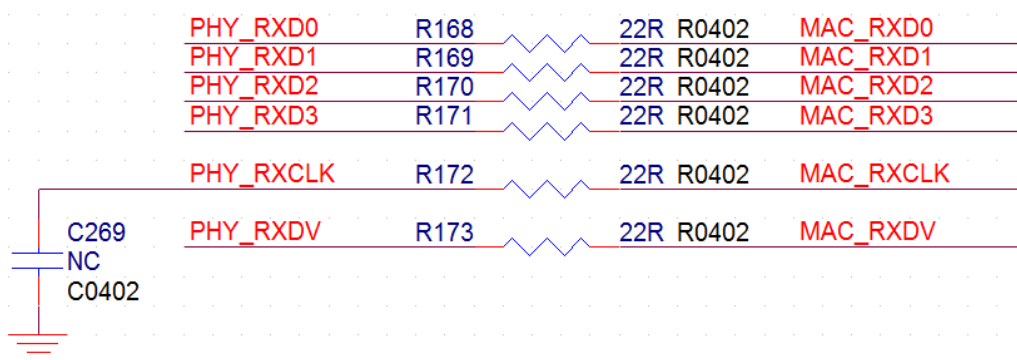


图20-12

- 下图串接电阻要靠近RK3128放置。
 - 为改善EMI，PHY_TXCLK必须包地处理。
 - 下图中的其它信号间距要满足3W布线原则。
 - TXD[0:3], TXCLK, TXEN走线要等长处理，整条相差小于100mil，走线要尽量短，整条长度要小于15CM。
 - 要有完整的参考面。

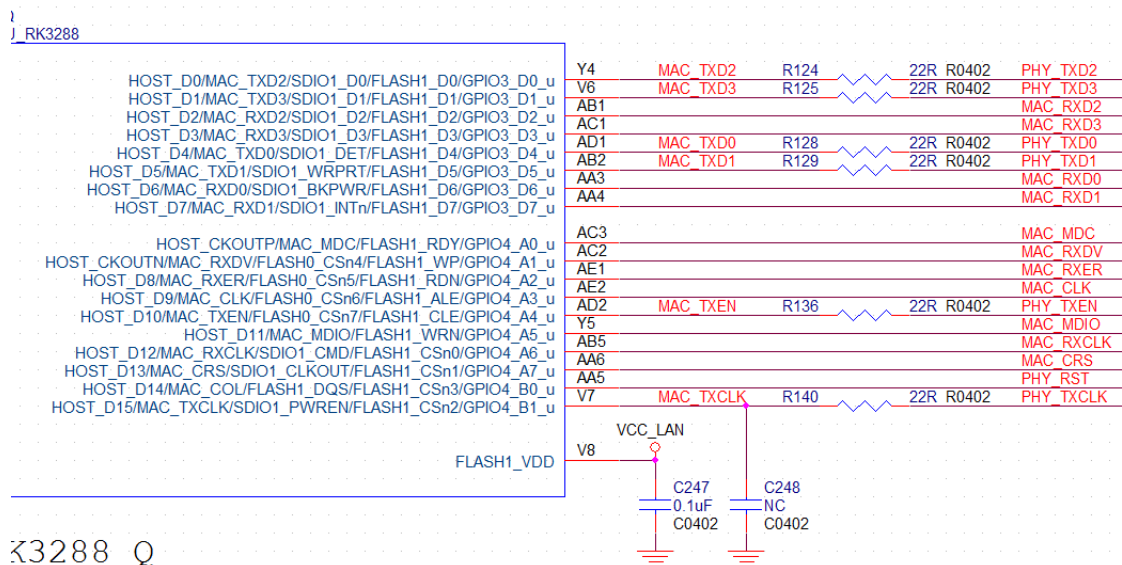


图20-13

- 内部Switching Regulator LAYOUT 注意点：
 - VDDREG电源的电容C270, C271要靠近PIN44, 45放置，走线宽度不小于40mil。
 - L9, C260要靠近PIN48脚放置，走线宽度不小于60mil。

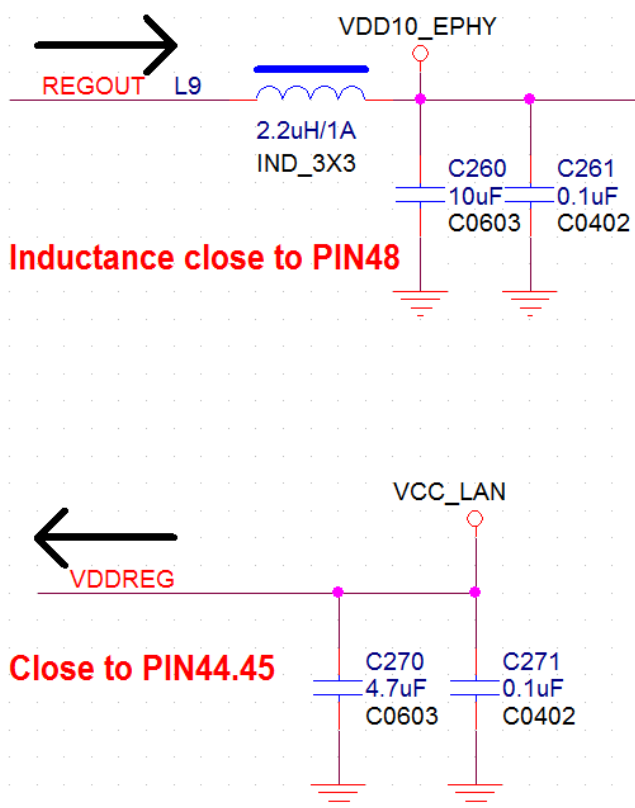


图20-14

21 2G/3G/4G

21.1 Schematic

暂无。

21.2 PCB Layout

暂无。

Rockchip Confidential

22 WIFI & BT

22.1 Schematic

RK3128仅支持USB及SDIO 2.0接口的WIFI模组。采用SDIO、UART接口的WIFI/BT模组时，需要注意RK3128的SDIO为引脚为默认下拉，所以需要在外部增加上拉电阻，如图22-1、图22-2所示。

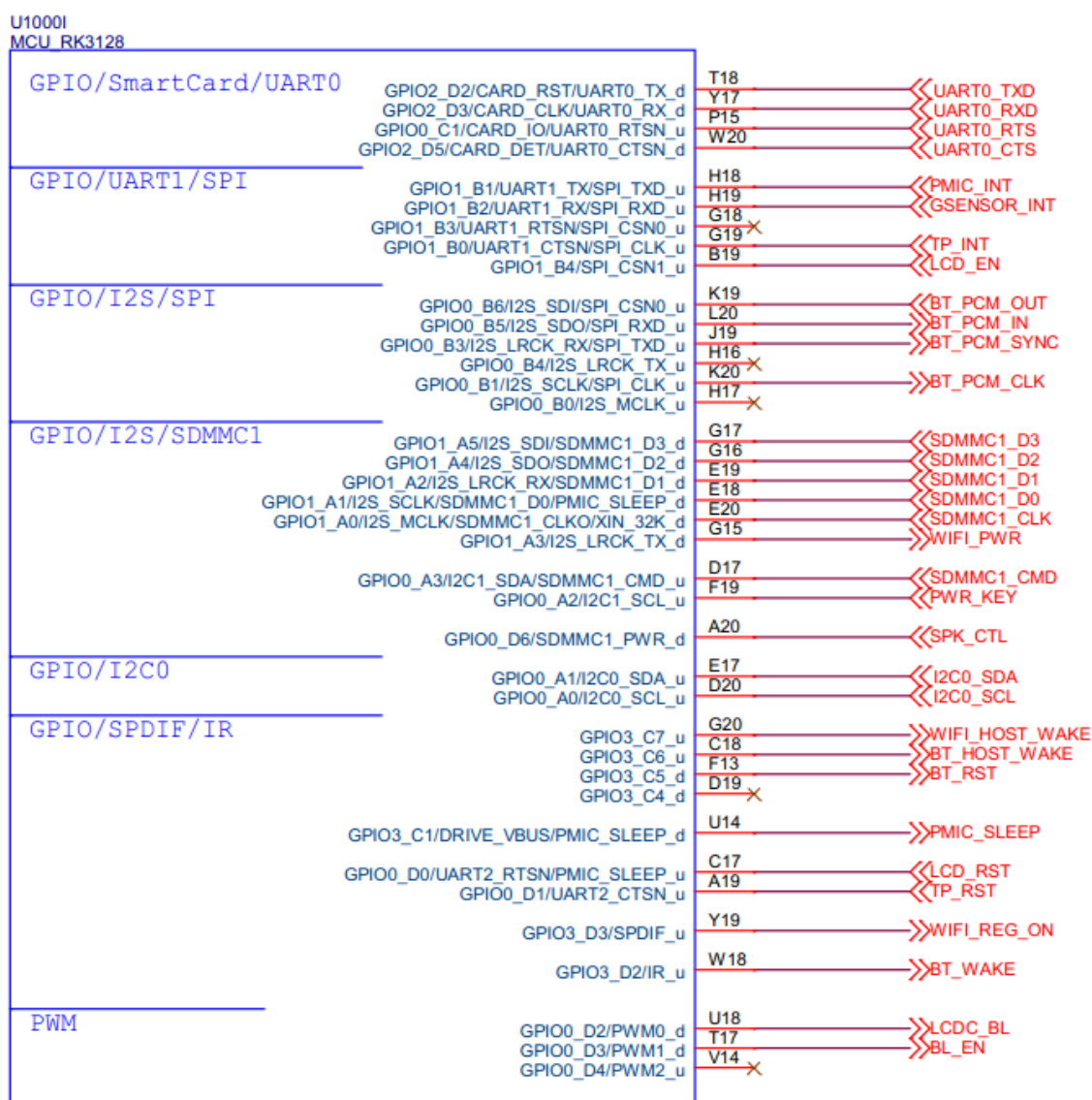


图22-1

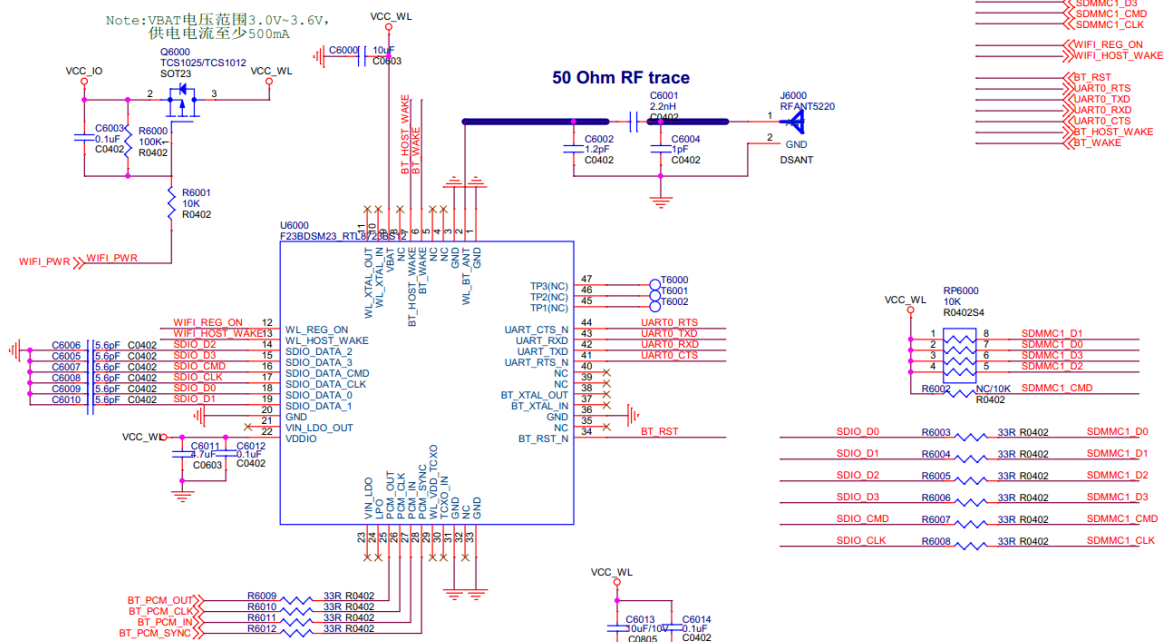


图22-2

请注意WIFI需选择ESR小于60ohm，频偏误差20ppm的晶体。晶体的匹配电容，请根据晶体规格选择合适的容值，避免频偏太大而出现的工作异常（如热点数较少等），如图22-3所示。

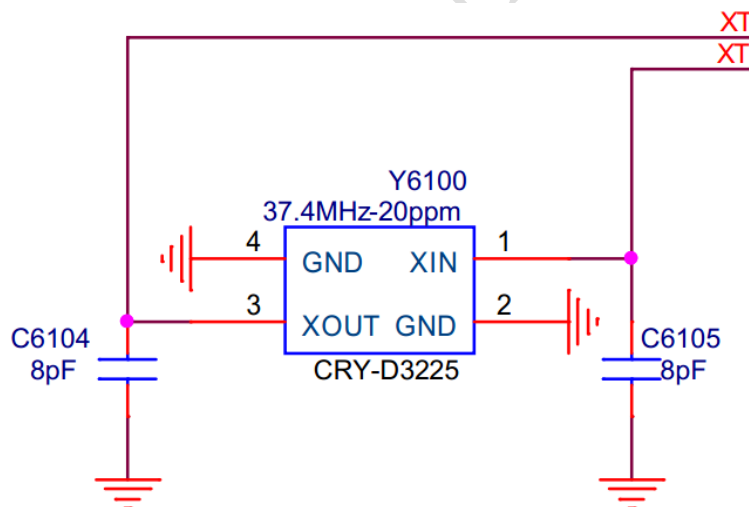


图22-3

WIFI模组的VBAT供电电压范围为3.0V~3.6V，供电电流至少500mA。

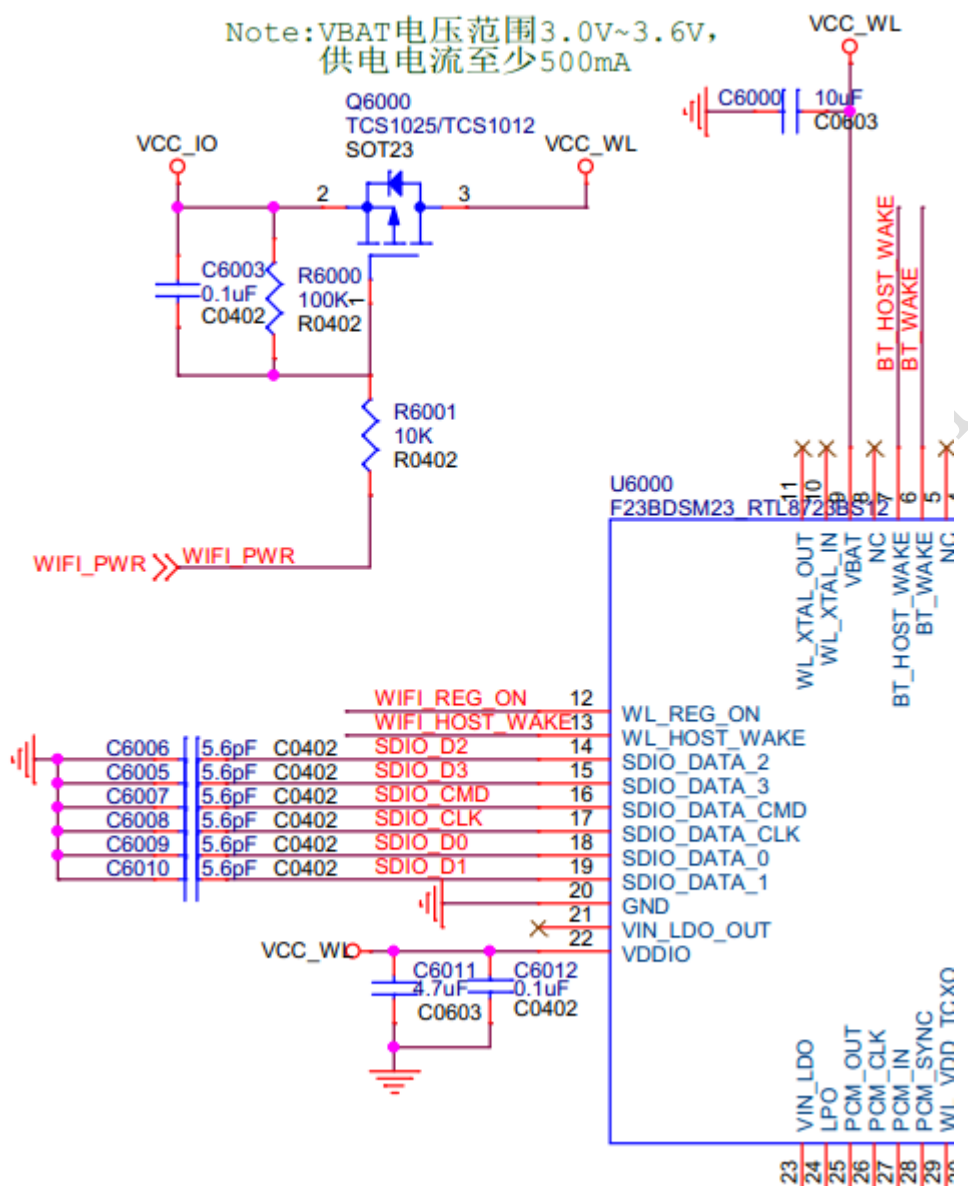


图22-5

- 模组下方第一层保持完整的地，不要有其他信号走线，如图22-6。

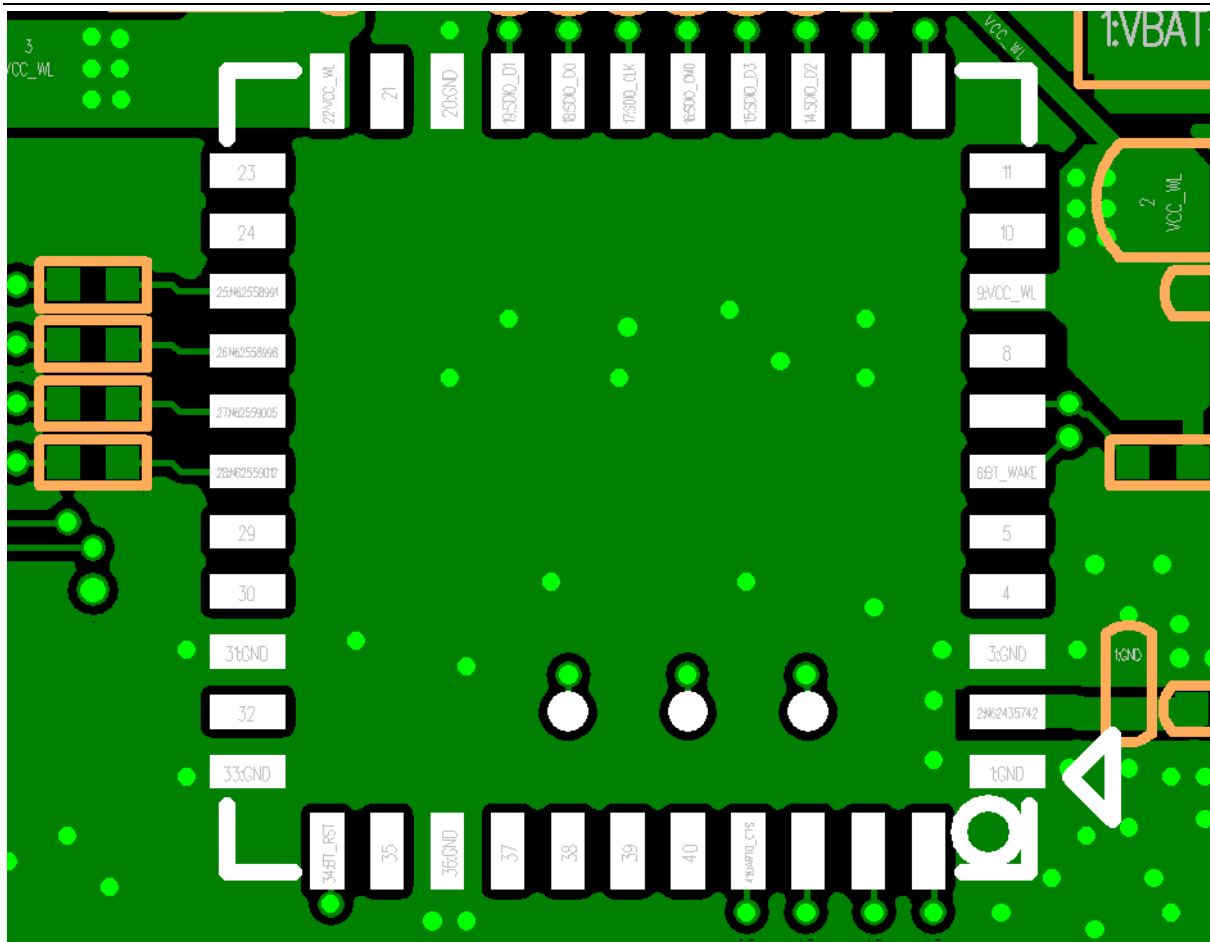


图22-6

- 天线以及微带线宽度设计需考虑到阻抗，阻抗要求为 $Z=50 \pm 10\Omega$ ，走线下方需有完整的参考平面做为RF信号的参考地；
- 天线布线越长，能量损耗越大，因此在设计时，天线路径越短越好，不能有分支出现，不能打过孔，如图22-7所示，图22-8为错误的走线方式。
- 天线走线有遇到需转向时，不可以用转角的方式，需用弧形走线，如图22-9所示，图22-8为错误的走线方式。

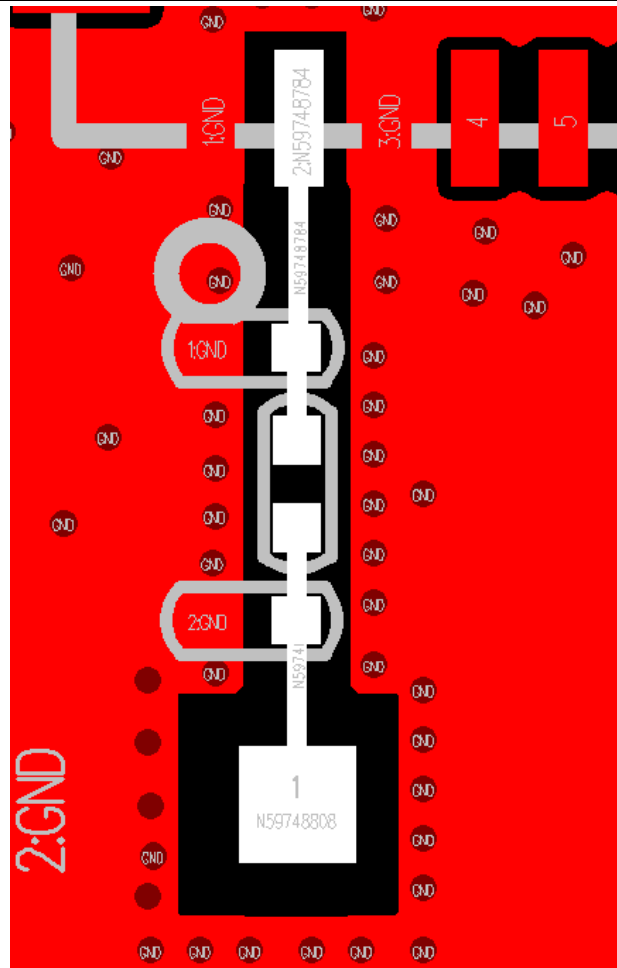


图22-7

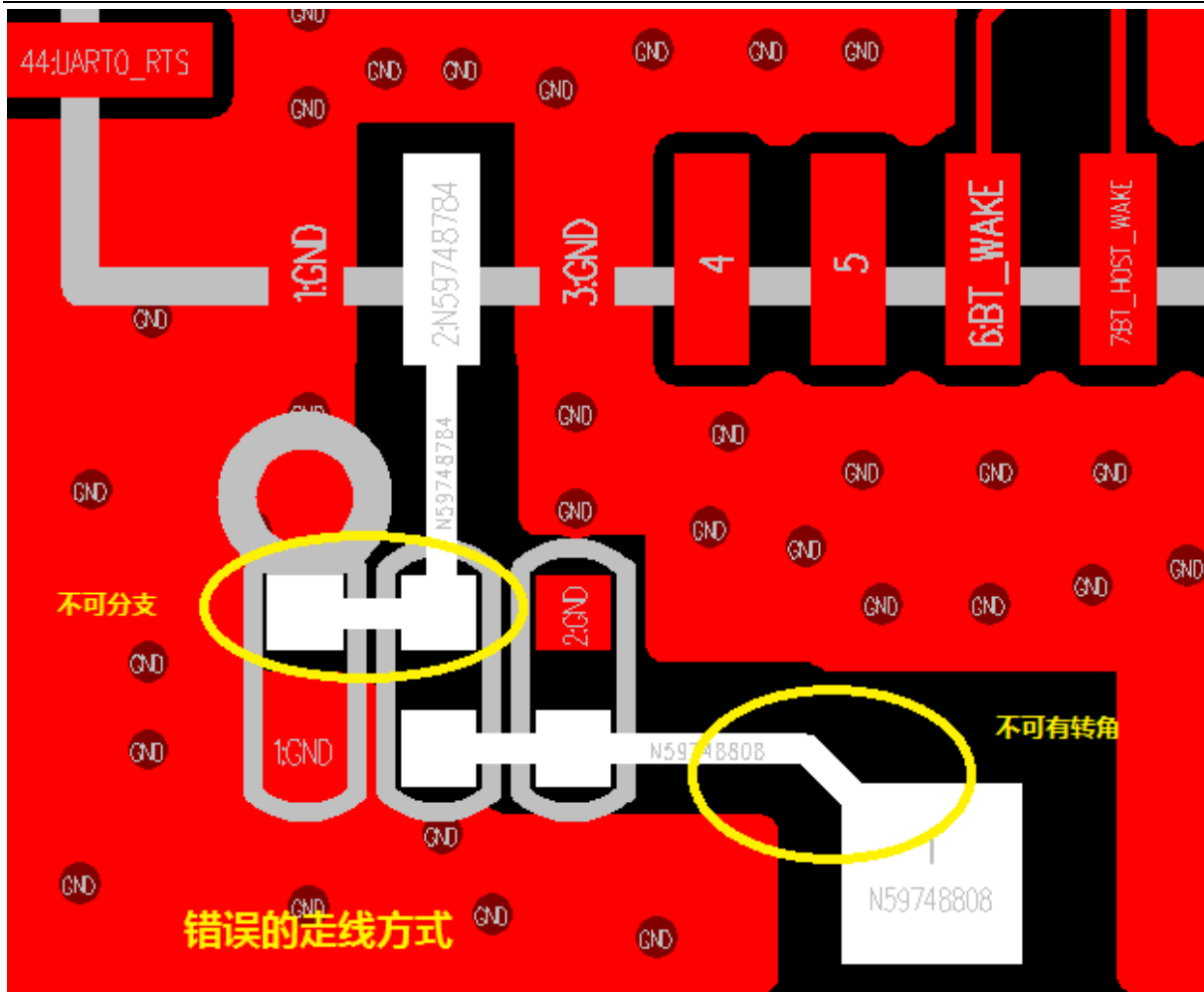


图22-8

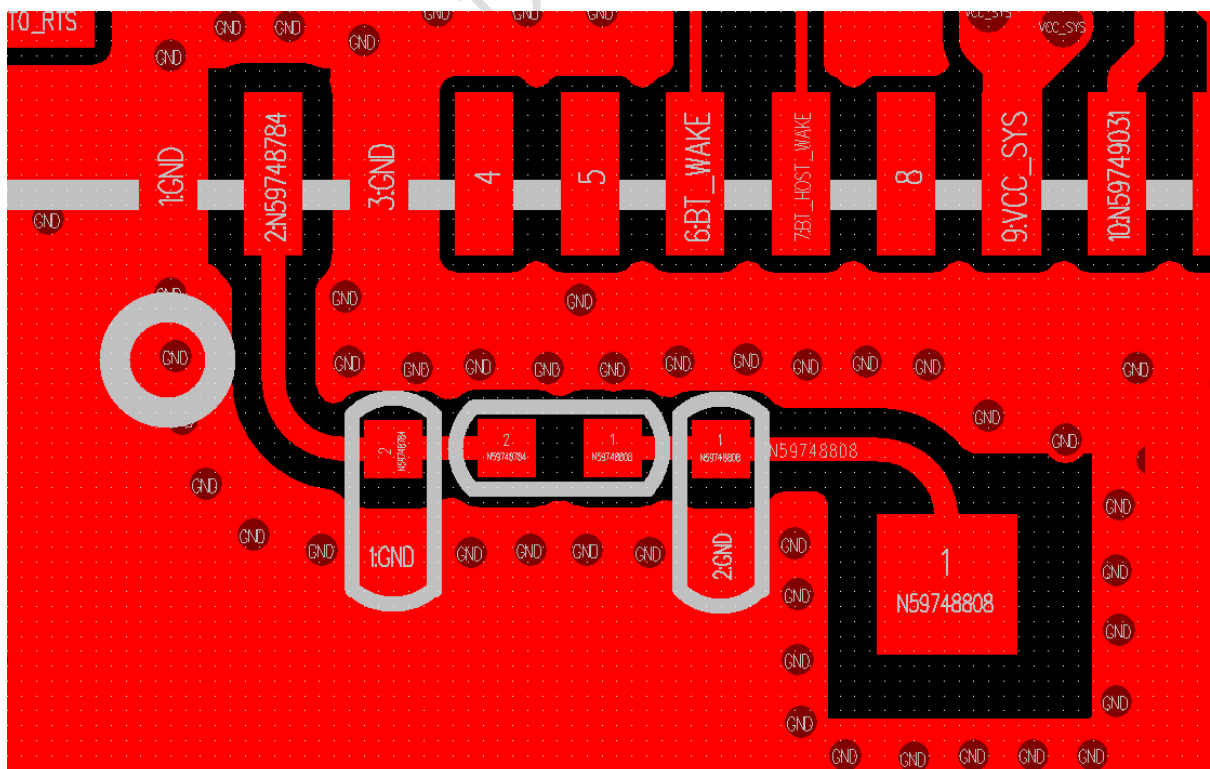


图22-9

- 建议模块及天线摆放位置可参考图22-10所示，不要放在人手握持部位，尽量远离金属器件。



图22-10

- 天线要做匹配，组装时不要和电池喇叭线绞在一起，不能经过FPC及DDR区域；
- 天线的馈线走线切勿过长，过长的馈线会造成过多的RF能量损失，建议馈线长度小于7公分。馈线在剥线时，切勿剥除过多的屏蔽网，导致50ohm阻抗不连续，如图22-11所示。

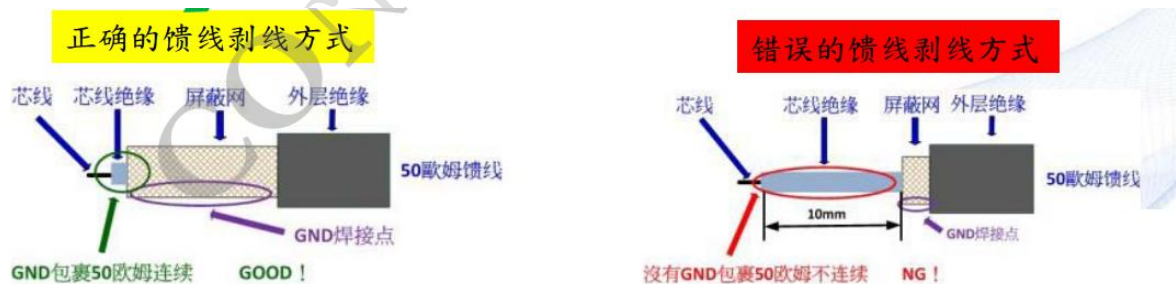


图22-11

23 GPS

23.1 PCB Layout

暂无。

Rockchip Confidential

24 NFC

24.1 Schematic

暂无。

24.2 PCB Layout

暂无。

Rockchip Confidential