

RK1808

硬件设计指南

发布版本：V1.0

发布日期：2019年01月16日

免责声明

您购买的产品、服务或特性等应受福州瑞芯微电子股份有限公司商业合同和条款的约束，本档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，福州瑞芯微电子股份有限公司对本档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本档内容会不定期进行更新。除非另有约定，本档仅作为使用指导，本档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为福州瑞芯微电子股份有限公司的商标，并归福州瑞芯微电子股份有限公司所有。

本档提及的其他所有商标或注册商标，由各自的所有人拥有。

版权所有 © 2019 福州瑞芯微电子股份有限公司

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本档内容的部分或全部，并不得以任何形式传播。

福州瑞芯微电子股份有限公司

Fuzhou Rockchips Semiconductor Limited Co., Ltd

地址：福建省福州市铜盘路软件园A区18号

网址：www.rock-chips.com

客户服务电话：+86-591-83991906

客户服务传真：+86-591-83951833

客户服务邮箱：fae@rock-chips.com

前言

概述

本文档主要介绍RK1808处理器硬件设计的要点及注意事项，旨在帮助RK客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求以及RK产品PCB设计要求进行。

芯片型号

本文档对应的芯片型号为：RK1808

适用对象

本文档主要适用于以下工程师：

- 产品硬件开发工程师
- 技术支持工程师
- 测试工程师

更新记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

版本	修改人	修改日期	修改说明	备注
V1.0	阮志芳	2019.01.16	第一次正式版本发布	

Rockchip Confidential

缩略语

缩略语包括文档中常用词组的简称：

DDR	Double Data Rate	双倍速率同步动态随机存储器
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
I ² C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议（IEEE 1149.1兼容）
LDO	Low Drop Out Linear Regulator	低压差线性稳压器
PCIE	Peripheral Component Interconnect Express	高速串行扩展总线
MAC	Media Access Control	以太网媒体接入控制器
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
RK	Rockchip Electronics Co.,Ltd.	瑞芯微电子股份有限公司
SD Card	Secure Digital Memory Card	安全数码卡
SDIO	Secure Digital Input and Output	安全数字输入输出
SDMMC	Secure Digital Multi Media Card	安全数字多媒体存储卡
SPI	Serial Peripheral Interface	串行外设接口
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
USB	Universal Serial Bus	通用串行总线

目录

前言	3
概述	3
芯片型号	3
适用对象	3
更新记录	4
缩略语	5
目录	6
插图目录	8
插表目录	10
1 系统概述	11
1.1 概述	11
1.2 芯片框图	11
1.3 应用框图	12
1.3.1 RK1808 单芯片应用框图	12
1.3.2 RK1808 的EDGE COMPUTING应用框图	12
2 原理图设计建议	13
2.1 最小系统设计	13
2.1.1 时钟电路	13
2.1.2 复位电路	14
2.1.3 系统启动引导顺序	14
2.1.4 系统初始化配置信号	14
2.1.5 JTAG Debug电路	14
2.1.6 DDR电路	14
2.1.7 eMMC电路	16
2.1.8 SPI电路	17
2.1.9 GPIO电路	17
2.2 电源设计	18
2.2.1 最小系统电源介绍	18
2.2.2 电源设计建议	18
2.2.3 RK809-2方案介绍	23
2.2.4 其他	26
2.2.5 电源峰值电流表	28
2.3 功能接口电路设计指南	29
2.3.1 存储卡电路	29
2.3.2 USB电路	29
2.3.3 音频电路	32
2.3.4 RGMII/LCDC/CIF (BT1120) 电路	36
2.3.5 摄像头电路	40
2.3.6 ADC电路	41
2.3.7 SDIO/UART/SWD JTAG电路	42
2.3.8 Debug电路	43
2.3.9 PCIE电路	44
2.3.10 RK1808+AP互联	47
3 热设计建议	48
3.1 热仿真结果	48
3.1.1 结果概要	48

3.1.2	PCB描述	48
3.1.3	术语解释	48
3.2	芯片内部热控制方式	49
3.2.1	温度控制策略	49
3.2.2	温度控制配置	50
4	ESD/EMI防护设计	51
4.1	概述	51
4.2	术语解释	51
4.3	ESD防护	51
4.4	EMI防护	51
5	焊接工艺	52
5.1	概述	52
5.2	术语解释	52
5.3	回流焊要求	52
5.3.1	焊膏成分要求	52
5.3.2	SMT曲线	52
5.3.3	SMT建议曲线	53
6	包装和存放条件	55
6.1	概述	55
6.2	术语解释	55
6.3	防潮包装	55
6.4	产品存放	56
6.4.1	存放环境	56
6.4.2	暴露时间	56
6.5	潮敏产品使用	56

插图目录

图 1-1 RK1808 框图.....	11
图 1-2 RK1808 单芯片应用框图.....	12
图 1-3 RK1808 edge computing应用框图.....	12
图 2-1 RK1808 晶体连接方式及器件参数.....	13
图 2-2 RK1808 待机时钟输入.....	13
图 2-3 RK1808 复位输入.....	14
图 2-4 RK1808 LPDDR3的拓扑结构图.....	15
图 2-5 LPDDR3 DRAM上电时序.....	15
图 2-6 eMMC颗粒上下电时序.....	16
图 2-7 RK1808 待机电路方案.....	18
图 2-8 RK1808 芯片PLL电源.....	19
图 2-9 RK1808 芯片VDD_CPU电源.....	19
图 2-10 RK1808 芯片VDD_CPU电源的去耦.....	20
图 2-11 RK1808 芯片VDD_LOG电源.....	20
图 2-12 RK1808 芯片VDD_LOG电源的去耦.....	20
图 2-13 RK1808 芯片DDR控制器电源.....	21
图 2-14 RK1808 LPDDR3 DRAM的VREF电源设计.....	21
图 2-15 NPU 电源设计.....	22
图 2-16 RK1808 NPU控制器电源.....	22
图 2-17 RK1808 NPU电源滤波电容.....	22
图 2-18 RK809-2 框图.....	23
图 2-19 RK809-2 电源架构.....	25
图 2-20 RK809-2 PWRON管脚.....	26
图 2-21 RK1808 TSADC_SHUT (OTP_OUT) 保护输出.....	27
图 2-22 RK809-2 TSADC_SHUT (OTP_OUT) 过温保护输入.....	27
图 2-23 RK1808 PMIC_SLEEP输出.....	27
图 2-24 RK809-2 PMIC_SLEEP输入.....	28
图 2-25 RK1808 SDMMC模块电路.....	29
图 2-26 RK1808 USB 2.0模块电路.....	30
图 2-27 RK1808 USB3.0电路.....	30
图 2-28 RK1808 USB插入检测.....	31
图 2-29 RK1808 USB/PCIE控制器参考电阻.....	31
图 2-30 RK1808 USB控制器电源防浪涌.....	31
图 2-31 RK1808 USB预留共模电感.....	31
图 2-32 RK1808 I2S0模块电路.....	32
图 2-33 RK1808 I2S1模块电路.....	33
图 2-34 RK1808 I2S0模块的PDM接口.....	34
图 2-35 RK809-2 Codec电路.....	34
图 2-36 RK1808 Headphone电路.....	35
图 2-37 RK1808 Speaker电路.....	35
图 2-38 RK1808 MIC电路.....	35
图 2-39 RK1808 RGMII/CIF/LCDC接口.....	36
图 2-40 RK1808 PHY时钟电路.....	36
图 2-41 RK1808 RGMII对PHY复位电路.....	37
图 2-42 RK1808 RGMII MDIO信号.....	37
图 2-43 RK1808 18bit连接方式.....	38
图 2-44 LCD连接电路.....	38
图 2-45 CIF/BT1120连接电路.....	40
图 2-46 RK1808 MIPI-CSI CAMERA电路.....	40
图 2-47 RK1808 DPHY_RX电路.....	41
图 2-48 RK1808 SAR-ADC模块.....	42
图 2-49 RK1808 SDIO/UART模块电路.....	42

图 2-50 RK1808 UART2复用关系	43
图 2-51 RK1808 串口配置	44
图 2-52 RK1808 PCIE/USB3.0模块电路	45
图 2-53 PCIE当EP电路	45
图 2-54 PCIE当RC电路	46
图 2-55 PCIE控制信号	46
图 2-56 RK1808 USB3.0/PCIE控制器电源防浪涌	47
图 3-1 θ_{JA} 的定义	48
图 3-2 θ_{JC} 的定义	49
图 3-3 θ_{JB} 的定义	49
图 5-1 锡-铅工艺器件封装体耐热标准	52
图 5-2 无铅工艺器件封装体耐热标准	52
图 5-3 回流焊曲线分类	53
图 5-4 无铅回流焊接工艺曲线	53
图 5-5 无铅回流焊接工艺建议曲线参数	54
图 6-1 芯片干燥真空包装	55
图 6-2 六点湿度卡	56

插表目录

表 2-1 RK1808 24MHz时钟要求	13
表 2-2 RK1808 32.768KHz时钟要求	13
表 2-3 RK1808 系统初始化配置信号描述	14
表 2-4 RK1808 JTAG Debug接口信号	14
表 2-5 RK1808 eMMC接口设计	16
表 2-6 RK1808 SPI0接口设计	17
表 2-7 RK1808 GPIO电源脚描述	17
表 2-8 RK1808 内部PLL介绍	19
表 2-9 RK1808 峰值电流表	28
表 2-10 RK1808 SDMMC接口设计	29
表 2-11 RK1808 USB2.0 OTG接口设计	32
表 2-12 RK1808 I2S0接口设计	32
表 2-13 RK1808 I2S1接口设计	33
表 2-14 LCDC IO功能描述列表	39
表 2-15 CIF 接口对应DVP接口列表	39
表 2-16 RK1808 SDIO0接口设计	42
表 2-17 RK1808 UART2接口设计	43
表 2-18 RK1808 JTAG接口设计	44
表 3-1 RK1808 热阻仿真报告结果	48
表 3-2 RK1808 热阻仿真的PCB结构	48
表 6-1 暴露时间参照表 (MSL)	56
表 6-2 RK1808 Re-bake参考表	56

1 系统概述

1.1 概述

RK1808是一颗高性能、低功耗，内置了硬件神经网络处理单元的SOC，集成了双核 Cortex-A35, 易于编程；灵活性和兼容性好，使它成为目前智能物联网设备的主流解决方案之一。

RK1808内置多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能，嵌入了超强的神经网络处理单元(NPU)；支持全格式的H.264 1080p@60fps解码，也支持H.264 1080p@30fps编码，以及高品质的JPEG编/解码器。

RK1808具有高性能的存储器接口（DDR3/DDR3L/LPDDR3），能够提供高内存带宽。

RK1808芯片工作温度：0-80 ℃； RK1808K（宽温）芯片工作温度：-20-85℃。

1.2 芯片框图

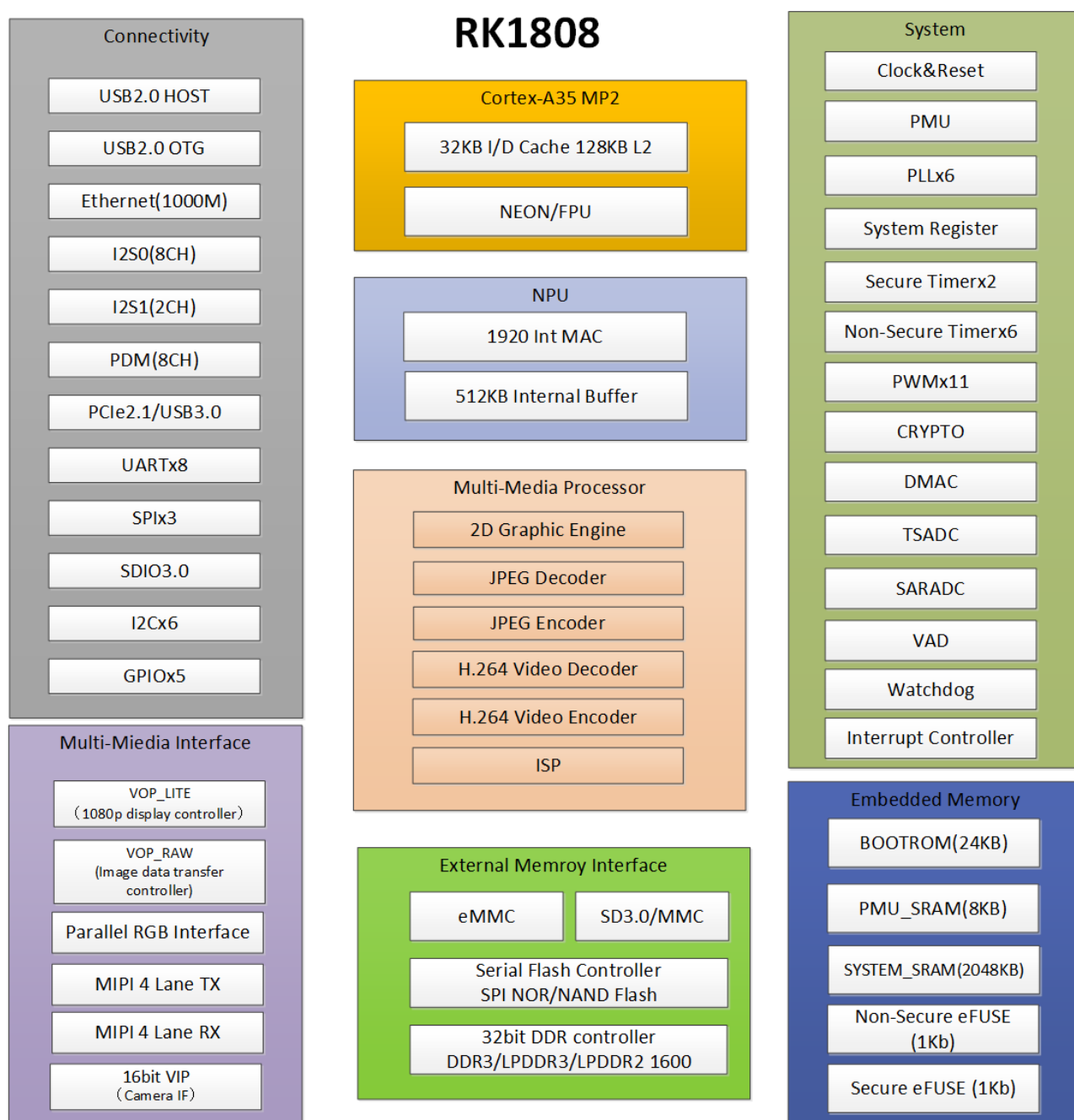


图 1 - 1 RK1808 框图

1.3 应用框图

1.3.1 RK1808 单芯片应用框图

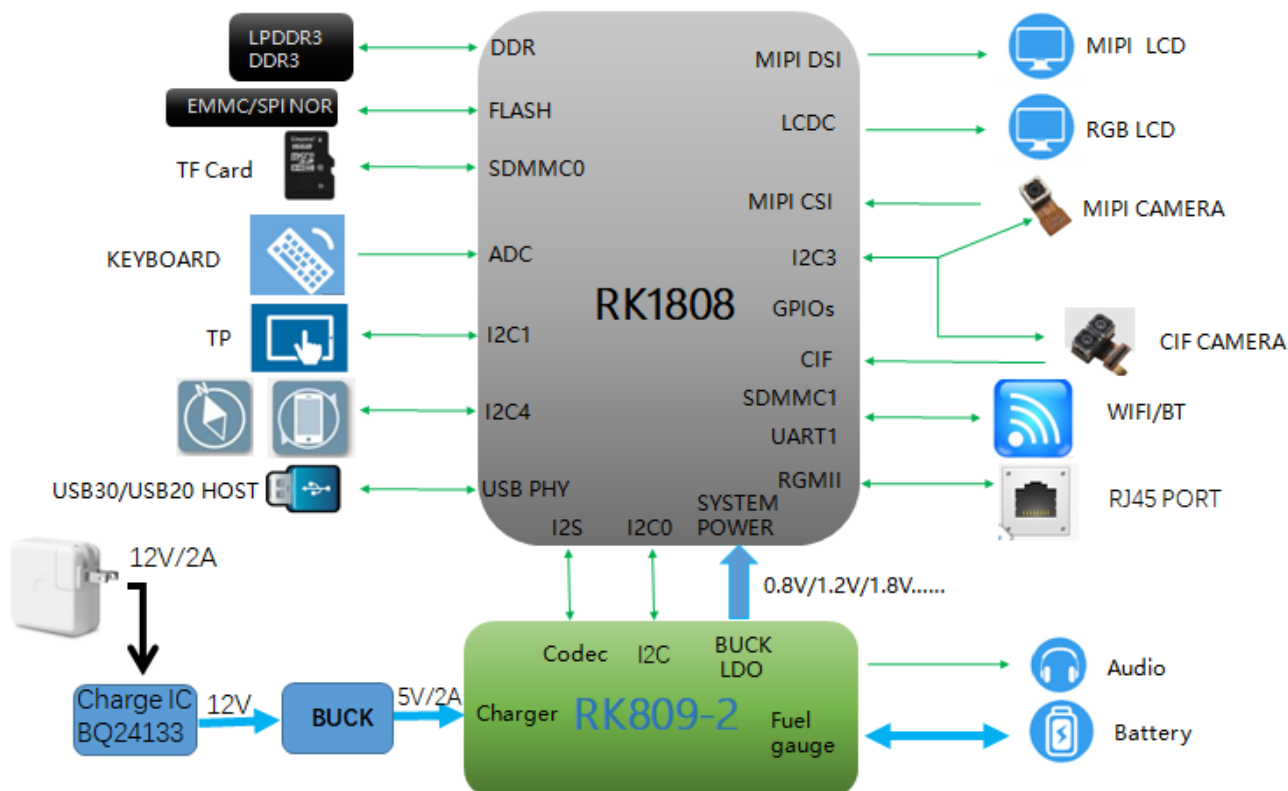


图 1 - 2 RK1808 单芯片应用框图

1.3.2 RK1808 的EDGE COMPUTING应用框图

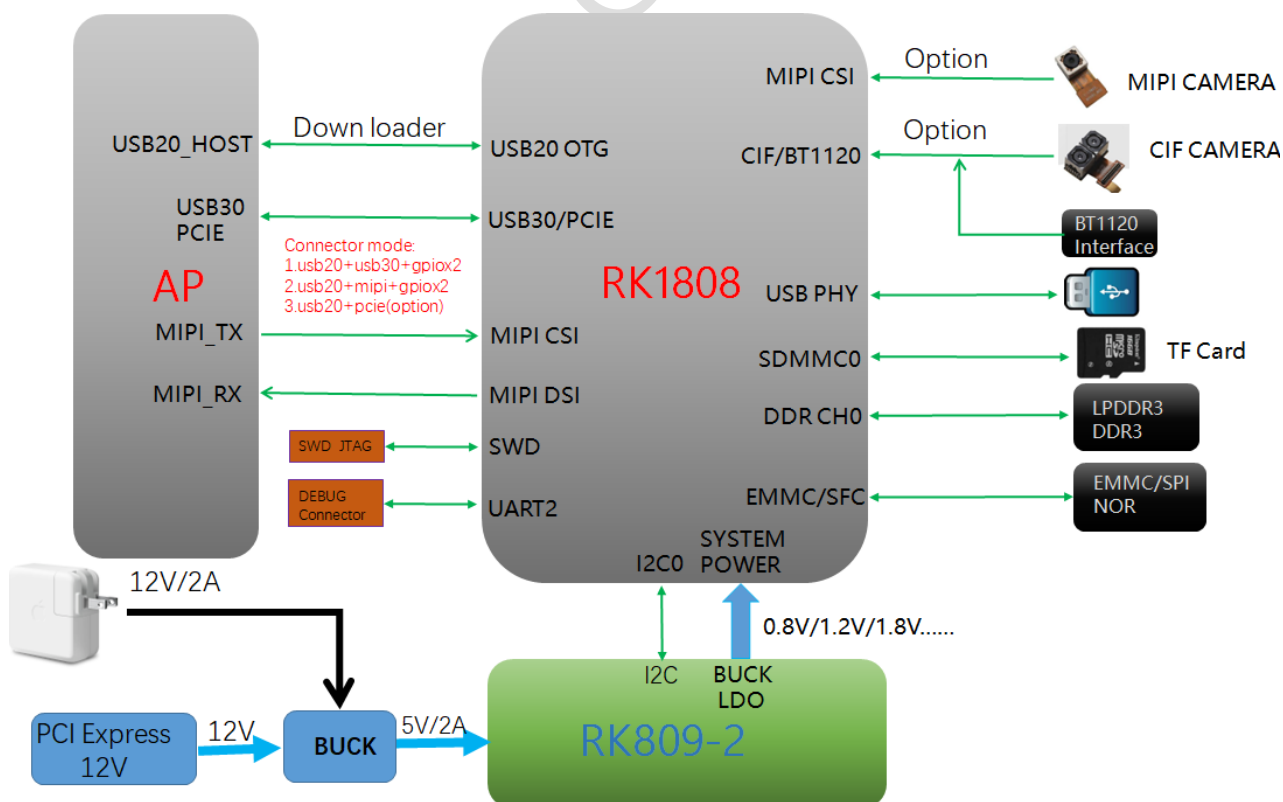


图 1 - 3 RK1808 edge computing应用框图

以上是RK1808芯片方案的应用框图，更详细的请参考我司发布的参考设计原理图。

2 原理图设计建议

2.1 最小系统设计

2.1.1 时钟电路

RK1808芯片的24M时钟有两种提供方式，一种是通过24M晶振提供，一种是通过外部时钟源24M从OSC_24M_IN脚输入提供，两种时钟输入通过管脚OSC_BPASS(Pin AV24)来配置，OSC_BPASS=0，使用24M晶振提供，OSC_BPASS=1，由外部时钟源提供24M时钟从OSC_24M_IN脚输入。如图2-1所示。

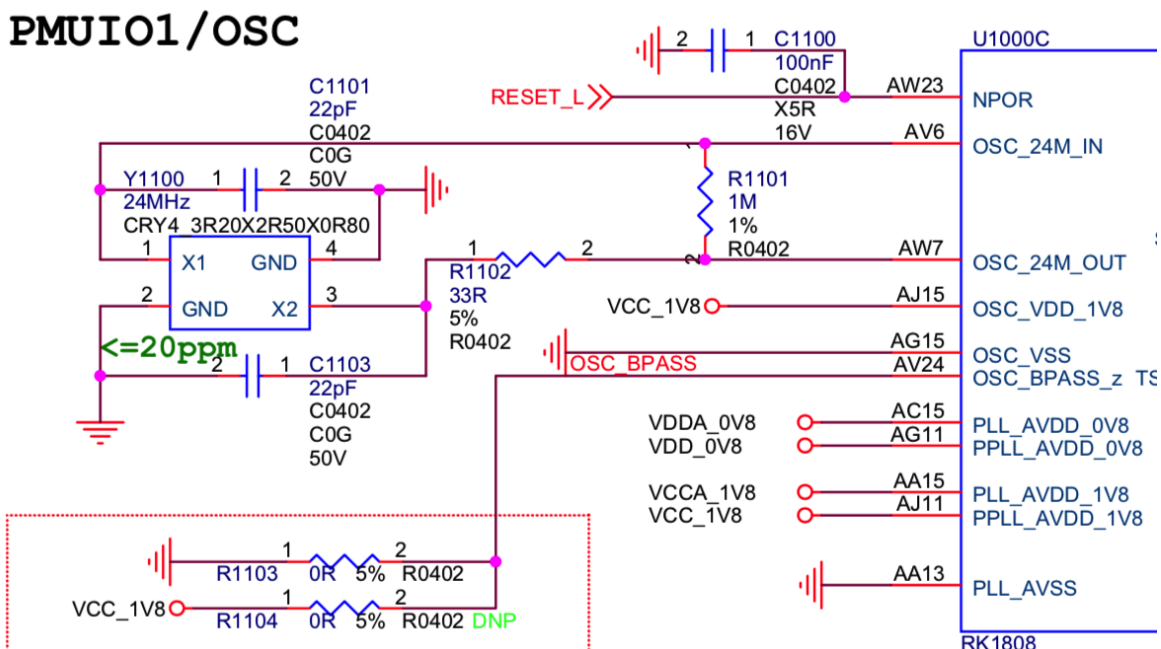


图 2 - 1 RK1808 晶体连接方式及器件参数



注意

电容C1101、C1103的值需要根据晶体的实际标称负载电容值选择，22pF为我司选用晶体所对应容值，不为通用值。

24M时钟参数如下表2-1所示：

表 2 - 1 RK1808 24MHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	24.000000			MHz
频率偏差	+/-20			ppm
工作温度	-20	80	°C	Frequency tolerance
ESR	/	40	Ohm	

RK1808芯片在待机时，将会从24M时钟源切换到外部输入的32.768KHz时钟或者芯片内部的PVTM输出的32.768KHz时钟，通过降低系统时钟频率达到降低系统功耗的目的，外部32.768KHz信号可以从PMIC或是外置RTC时钟源获取，如图2-2所示。

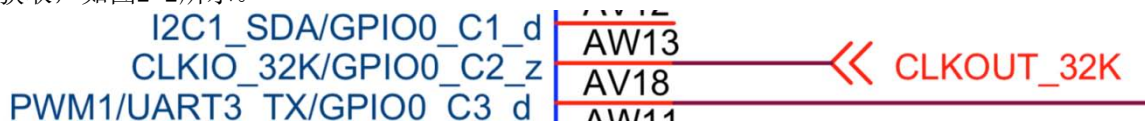


图 2 - 2 RK1808 待机时钟输入

外置32.768KHz RTC时钟参数如下表2-2所示：

表 2 - 2 RK1808 32.768KHz时钟要求

参数	规范			描述
	最小	最大	单位	

频率	32.768000		kHz	
频率偏差	+/-30		ppm	Frequency tolerance
工作温度	-20	70	°C	
占空比	45-55		%	

2.1.2 复位电路

RK1808芯片的复位信号脚NPOR，低电平有效，电容C1100用来消除抖动，布局时请靠近RK1808的NPOR脚放置。为保证芯片稳定和正常工作，所需的最短复位时间为100个24MHz主时钟周期，即至少4us以上。

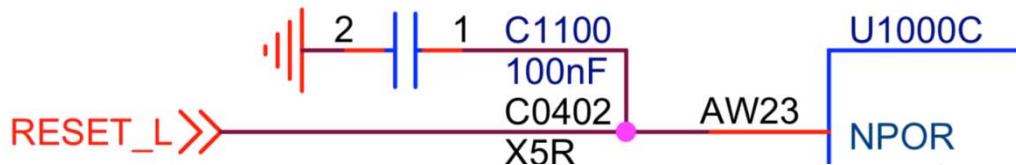


图 2-3 RK1808 复位输入

2.1.3 系统启动引导顺序

RK1808芯片的系统启动引导顺序优先级从高到低依次为：

- SPI2APB interface (也称为SPI0)
- eMMC interface
- SFC interface
- SDMMC interface
- USB OTG interface

2.1.4 系统初始化配置信号

RK1808中有两个重要信号，需要在上电前配置完毕，分别是OSC_BPASS（时钟源选择）的配置以及UART/JTAG/SDMMC复用功能控制管脚。

RK1808的24M时钟源需要通过配置OSC_BPASS管脚来选择，配置如表2-3所示。

RK1808为减少IO引出，所以将JTAG\UART功能与SDMMC功能复用在一起，需要通过管脚来切换输出方式，配置如表2-3所示：

表 2-3 RK1808 系统初始化配置信号描述

信号名	内部上下拉	描述
OSC_BPASS	高阻	时钟源选择： 0：24M晶振；（default） 1：外部24M时钟提供；（RK1808做从设备时，建议采用此方式）
SDMMCO_DET	上拉	JTAG管脚复用选择控制信号： 0：识别为SD卡插入，SDMMC/JATG/UART管脚复用为SDMMC输出； 1：识别为SD卡未插入，SDMMC/JATG/UART管脚复用为JTAG/UART输出（default）；

2.1.5 JTAG Debug电路

RK1808芯片的JTAG接口符合IEEE1149.1标准，PC可通过SWD模式（两线模式）连接DSTREAM仿真器，调试芯片内部的ARM Core。

在连接仿真器前，需要保证SDMMCO_DET管脚处于高电平，否则无法进入JTAG调试模式。接口说明如表2-4所示：

表 2-4 RK1808 JTAG Debug接口信号

信号名	描述
JTAG_TCK	AP JTAG时钟输入。
JTAG_TMS	AP JTAG模式选择输入。

2.1.6 DDR电路

2.1.6.1 DDR控制器介绍

RK1808 DDR控制器接口支持JEDEC SDRAM标准接口，控制器有如下特点：

- 支持DDR3-1600/DDR3L-1600/LPDDR3-1600标准;
- 提供一个32bit的DDR控制器接口, 支持数据总线位宽32bit/16bit可配置, 地址总线最大支持18bit;
- 支持的最大DDR容量为2GB;
- 支持Power Down、Self Refresh等低功耗模式;

● 2.1.6.2 DDR拓扑结构与连接方式

以LPDDR3为例, RK1808的SDRAM拓扑结构如图2-4所示:

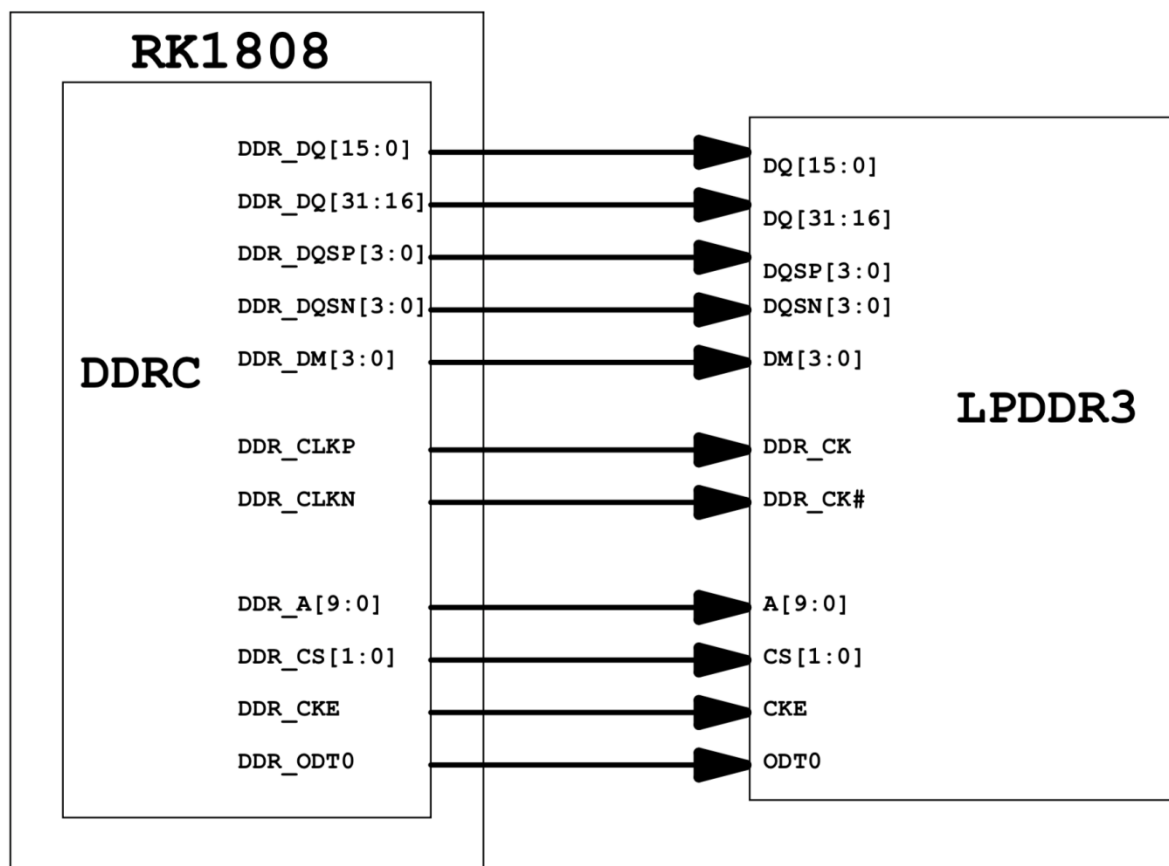


图 2 - 4 RK1808 LPDDR3的拓扑结构图

● 2.1.6.3 DDR上电时序要求

RK1808 DDR控制器仅包括一组电源:

- DDRIO_VDD: DDR控制器的Core供电、接口I/O供电以及缓冲器电源;

DRAM颗粒包括两组电源, 上电时序请参考JEDEC标准, 例如LPDDR3 DRAM的上电时序如下图所示:

After...	Applicable Conditions
Ta is reached	V_{DD1} must be greater than $V_{DD2}-200\text{mV}$
	V_{DD1} and V_{DD2} must be greater than $V_{DDCA}-200\text{mV}$
	V_{DD1} and V_{DD2} must be greater than $V_{DDQ}-200\text{mV}$
	V_{Ref} must always be less than all other supply voltages

图 2 - 5 LPDDR3 DRAM上电时序

● 2.1.6.4 DDR支持的型号列表

RK1808 DDR接口DDR3/LPDDR3最高工作频率支持到800MHz，支持器件请参考瑞芯微电子公布的《RK DDR Support List》文档。

2.1.7 eMMC电路

● 2.1.7.1 eMMC控制器介绍

RK1808 eMMC接口支持eMMC 4.51, 并兼容4.41, 控制器有如下特点:

- 支持SFC FLASH、eMMC FLASH, 不支持并行nand FLASH;
- 支持1-bit, 4-bit和8-bit三种数据总线宽度;
- 最高传输速率达到150MB/s;

● 2.1.7.2 eMMC拓扑结构与连接方式

eMMC接口支持上下拉和匹配设计推荐如表2-5所示。

表 2-5 RK1808 eMMC接口设计

信号	内部上下拉	连接方式	描述（芯片端）
eMMC_DQ[7:0]	上拉	直连	eMMC数据发送/接收
eMMC_CLK	上拉	串联22ohm电阻	eMMC时钟发送
eMMC_CMD	上拉	串联22ohm电阻	eMMC命令发送/接收

● 2.1.7.3 eMMC上电时序要求

RK1808芯片eMMC控制器仅包括一组电源:

- VCCI00: eMMC控制器的I/O电源;

eMMC颗粒有两组电源, 上电时序请参考JEDEC标准:

- VCC与VCCQ在上电时序上没有先后要求;
- VCC与VCCQ必须在RK1808的CMD命令发出前上电, 并保持稳定的工作电压;
- 在颗粒进入睡眠模式后, RK1808 可以关断VCC电源以降低功耗;
- 在颗粒从睡眠模式被唤醒前, VCC电源必须先上电, 并保持稳定的工作电压;

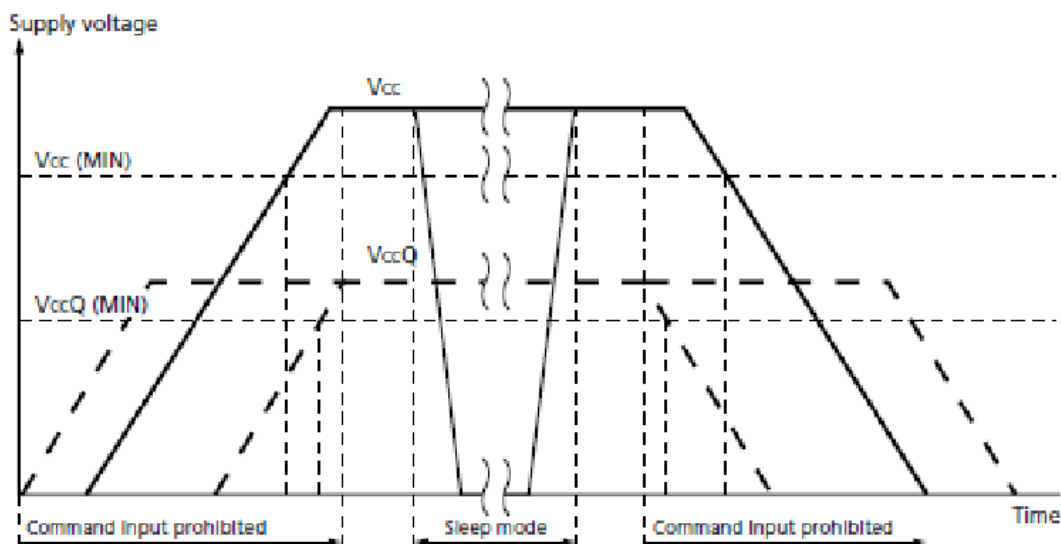


图 2-6 eMMC颗粒上下电时序

● 2.1.7.4 eMMC支持的型号列表

RK1808 eMMC接口支持器件请参考瑞芯微电子《RK eMMC Support List》文档。

2.1.8 SPI电路

2.1.8.1 SPI控制器介绍

RK1808芯片中有3个SPI控制器SPI0(1CS)、SPI1(2CS)、SPI2(1CS)，可用来连接SPI设备，其中SPI0嵌入APB master接口，仅支持slave模式，被用来做boot使用；SPI1和SPI2支持master和slave两种模式。

2.1.8.2 SPI0拓扑结构与连接方式

SPI0接口上下拉和匹配设计推荐如表2-6所示。

表 2-6 RK1808 SPI0接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SPI0_MOSI	上拉	直连	SPI0数据接收
SPI0_MISO	上拉	直连	SPI0数据发送
SPI0_CLK	下拉	串联22ohm电阻	SPI0时钟输入
SPI0_CSN	上拉	直连	SPI0片选信号

2.1.8.3 SPI0上电和时序要求

SPI0控制器的上电时序要求请遵守GPIO电源域的上电时序要求。

SPI0只有一路电源，所以对上电时序没有要求。

SPI0的电源脚（VCCI05）：在任何时候（不管有没有用到SPI0），都需要供电。

SPI0 CS在系统启动时，必须保持上拉状态，不能下拉，否则系统无法正常启动。

2.1.9 GPIO电路

在RK1808中，GPIO类型为1.8V only和1.8V/3.3V可配两种模式，只需要硬件供电1.8V或者3.3V即可，芯片内部自动检测IO供电的电压，并配置相应的寄存器，无需软件参与配置。

2.1.9.1 GPIO驱动能力

RK1808中，GPIO提供4档驱动强度可调，分别是2mA/4mA/8mA/12mA，根据GPIO的类型不同，初始默认驱动强度也不同，请参考芯片TRM进行配置修改。

2.1.9.2 GPIO电源

GPIO电源域的电源脚描述如下：

表 2-7 RK1808 GPIO电源脚描述

电源域	GPIO类型	管脚名	描述
PMUI01	1.8V only	PMU_VDD_0V8	0.8V logic power for this GPIO domain (group).
		PMUI01_VDD_1V8	1.8V IO supply for this GPIO domain (group).
PMUI02	1.8V/3.3V	PMUI02	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI00	1.8V/3.3V	VCCI00	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI01	1.8V/3.3V	VCCI01	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI02	1.8V/3.3V	VCCI02	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI03	1.8V/3.3V	VCCI03	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI04	1.8V/3.3V	VCCI04	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI05	1.8V/3.3V	VCCI05	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI06	1.8V/3.3V	VCCI06	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI07	1.8V/3.3V	VCCI07	1.8V or 3.3V IO supply for this GPIO domain (group).

2.2 电源设计

2.2.1 最小系统电源介绍

● 2.2.1.1 电源需求

- PLL: PLL_AVDD_0V8、PLL_AVDD_1V8、PPLL_AVDD_0V8、PPLL_AVDD_1V8
- OSC: OSC_VDD
- CPU: CPU_VDD
- LOGIC: LOG_VDD
- NPU: NPU_VDD
- DDR: DDR_VDD
- GPIO: PMU_VDD_0V8、PMUIO1_VDD、PMUIO2_VDD、VCCIO0、VCCIO5

● 2.2.1.2 上电时序

理论上遵循同一模块低压先上、高压后上；相同模块相同电压一起上电原则，不同模块间无时序要求。

推荐的上电时序参考如下：

PLL_AVDD_0V8&PPLL_AVDD_0V8&PMU_VDD_0V8&LOG_VDD&CPU_VDD→OSC_VDD&DDR_VDD
&PLL_AVDD_1V8&PPLL_AVDD_1V8&PMUIO1_VDD_1V8 &VCCIO0→PMUIO2→NPU_VDD

更详细的上电时序，请看RK1808参考图纸的“power diagram and sequence”页

（注：以上电源名称均以芯片管脚命名）

2.2.2 电源设计建议

● 2.2.2.1 待机电路方案

RK1808板级系统采用待机方案，系统分为常供电区和待机掉电区，两部分独立供电，如图2-7所示。

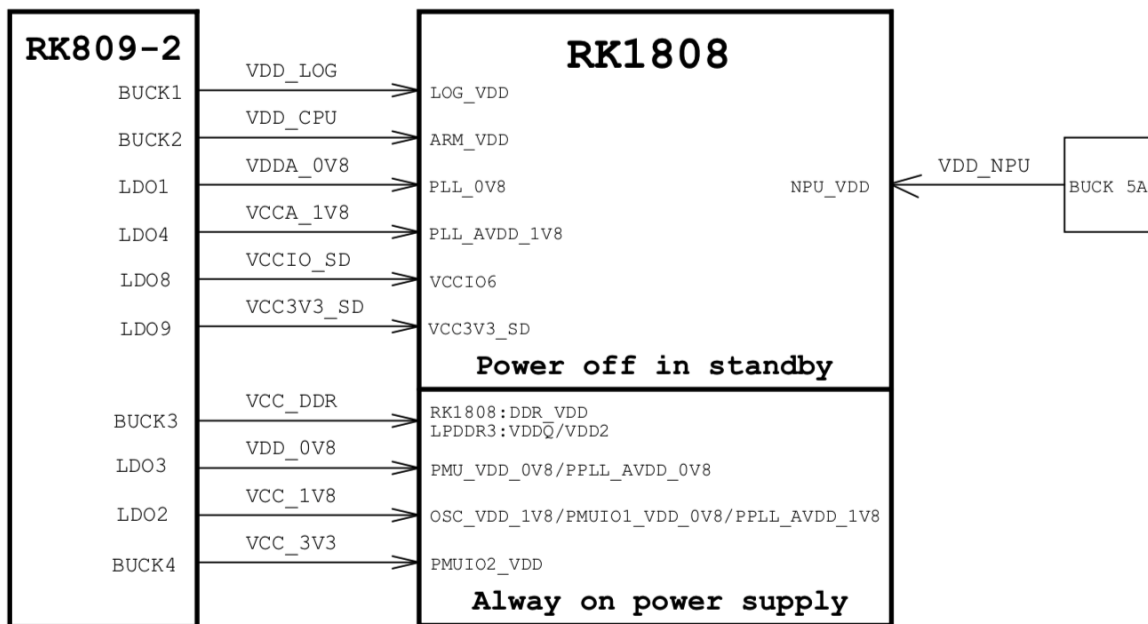


图 2-7 RK1808 待机电路方案

待机掉电和常供电区电源均通过RK809-2直接供电（NPU除外）和控制各路电源独立关断，在待机状态下至少应保留如下四组电源不断电：

- VCC_DDR：为DDR自刷新提供电源；
- VDD_0V8：为PMUIO & PPLL_AVDD提供电源，为PMU输出状态及中断响应提供IO电源；
- VCC_1V8：为PMUIO1 & PPLL_AVDD & OSC_VDD提供电源，为PMU、PPLL以及OSC工作提供电源；
- VCC_3V3：为PMUIO2电源域提供电源；

2.2.2.2 PLL电源

RK1808芯片内部共有6个PLL，分配如下：

表 2-8 RK1808 内部PLL介绍

	数量	电源	待机状态
PMU	1	PPLL_AVDD_0V8/PPLL_AVDD_1V8	不可关断电源
芯片内各模块	5	PLL_AVDD_0V8/PLL_AVDD_1V8	可关断电源

电源上建议使用LD0为PLL单独供电，特别是PCIE/DDR工作频率较高，稳定的PLL电源有助于提高高频下的工作稳定性，且去耦电容应靠近管脚摆放。

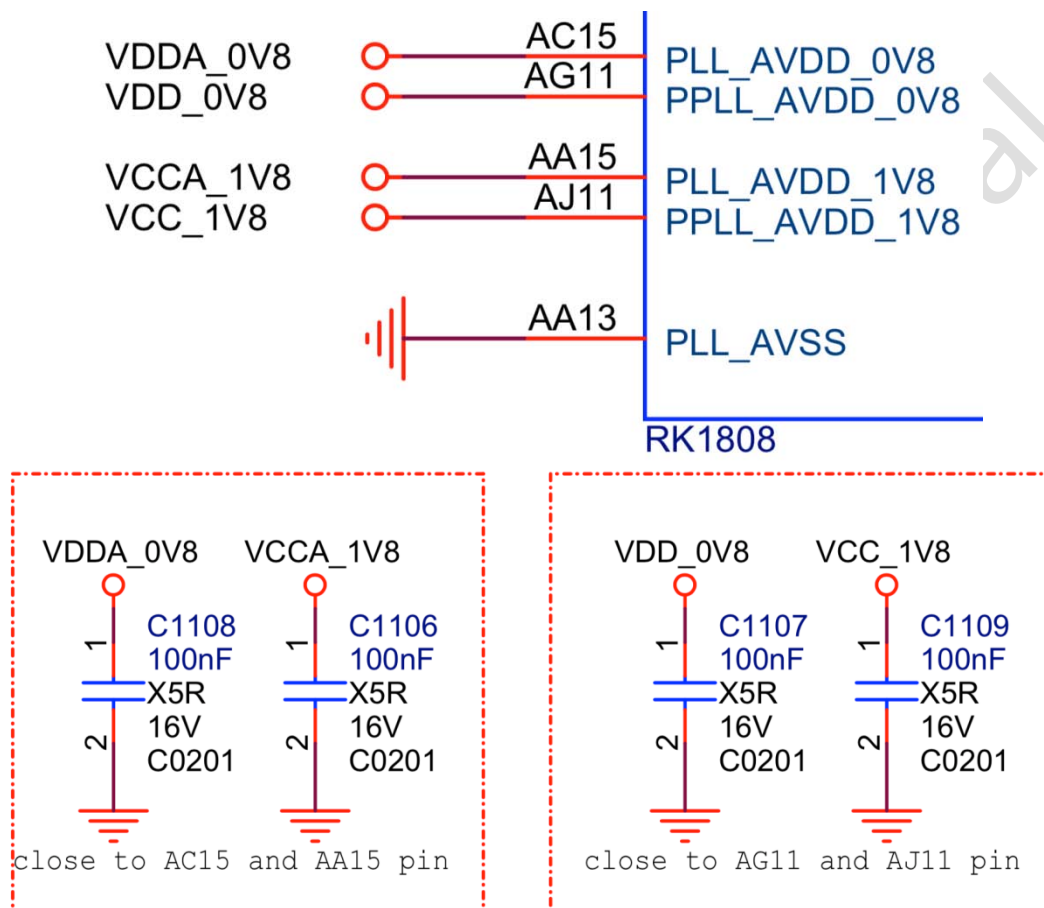


图 2-8 RK1808 芯片PLL电源

2.2.2.3 CPU电源

RK1808采用CPU独立电源域供电，如下图的VDD_CPU为ARM Cortex-A35 core供电，支持DVFS动态调频调压功能，电源使用RK809-2的BUCK2供电，峰值电流不超过850mA，请不要删减RK1808芯片参考设计原理图中的电容。Layout时将大电容放置在RK1808芯片背面（单面贴时请靠近芯片放置），以保证电源纹波在60mV以内，避免大负载情况下引起电源纹波偏大，电容如图2-10。

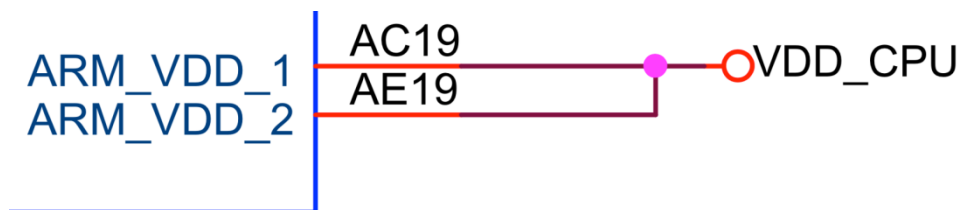


图 2-9 RK1808 芯片VDD_CPU电源

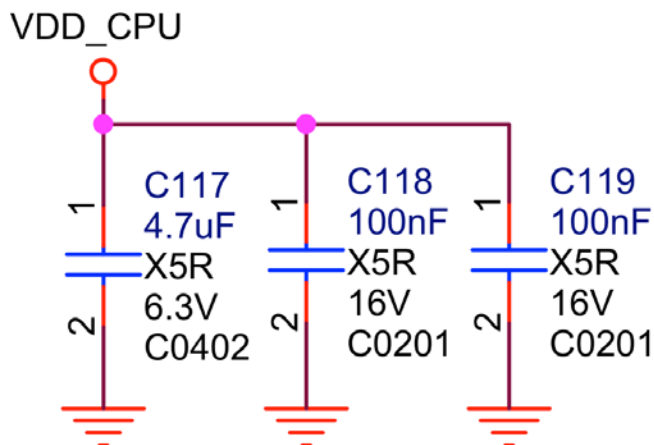


图 2 - 10 RK1808 芯片VDD_CPU电源的去耦

● 2.2.2.4 LOGIC电源

RK1808的LOGIC电源使用RK809-2的BUCK1供电，如下图所示VDD_LOG，支持DVFS动态调频调压功能，峰值电流可达1A，所以请不要删减RK1808芯片参考设计原理图中的电容。Layout时将大电容放置在RK1808芯片背面（单面贴时请靠近芯片放置），以保证电源纹波在50mV以内，避免大负载情况下引起电源纹波偏大，电容如图2-12。

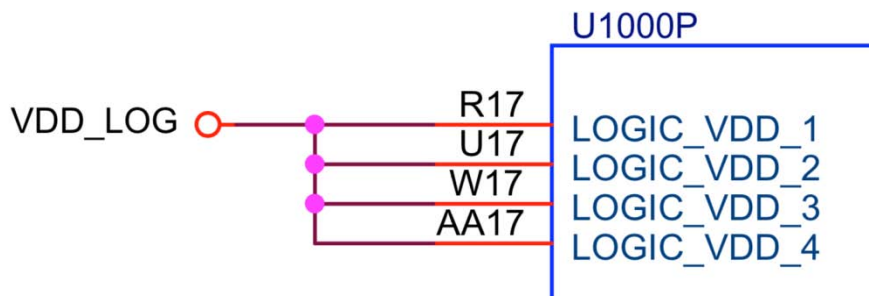


图 2 - 11 RK1808 芯片VDD_LOG电源

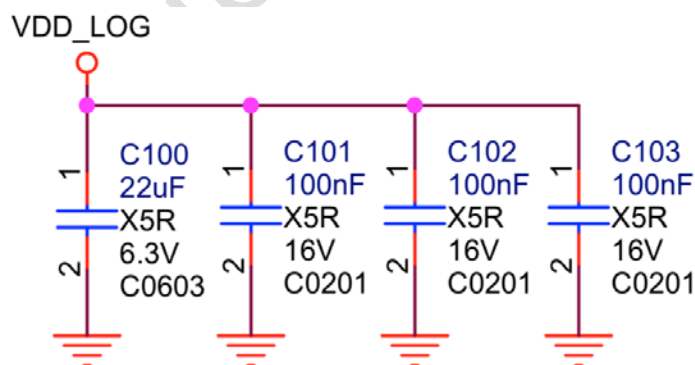


图 2 - 12 RK1808 芯片VDD_LOG电源的去耦

● 2.2.2.5 DDR电源

RK1808芯片的DDR控制器接口支持DDR3/DDR3L/LPDDR3电平标准，只需提供DDRIO_VDD供电，在不同DDR颗粒情况下该电源电平不同，1.2V/1.35V/1.5V三档可调，此电压由RK809-2的BUCK3供电，产品设计时请根据颗粒使用情况来调整反馈电阻值，确认输出电压符合DDR颗粒电源要求。

RK1808的DDR控制器内部集成Vref电路，可以输出可调的VREF0_DDR电压提供给DDR颗粒用，可以节省外置的分压电阻电路（如下图2-14）；LOG关掉时，VREF0_DDR也同时会被关掉。颗粒端的Vrefca在什么时候都必须保持供电状态（自刷新需要），Vrefdq在DDR进入自刷新阶段是可以关掉的，因此RK1808输出的VREF0_DDR只能给颗粒的Vrefdq使用；除非DDR不做省电功能，无需进自刷新状态。

LPDDR3 DRAM端的Vref_CA=VCC_DDR/2，而Vref_DQ则需要根据ODT策略来调整，可以根据驱动强度和ODT值调整对应的Vref电压。

例如：在800MHz频率下，RK1808芯片端的驱动强度为34ohm，DRAM端ODT为240ohm，因此ODT enable时，根据公式算出来的DRAM Vref=0.562*VCC_DDR。因此RK1808的VREF0_DDR电压只需要设置输出0.674V即可以。

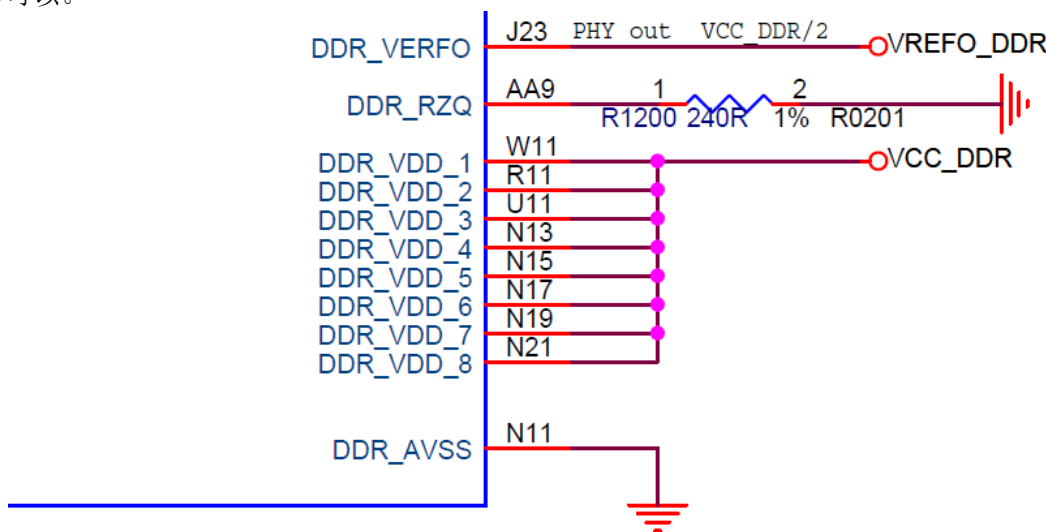
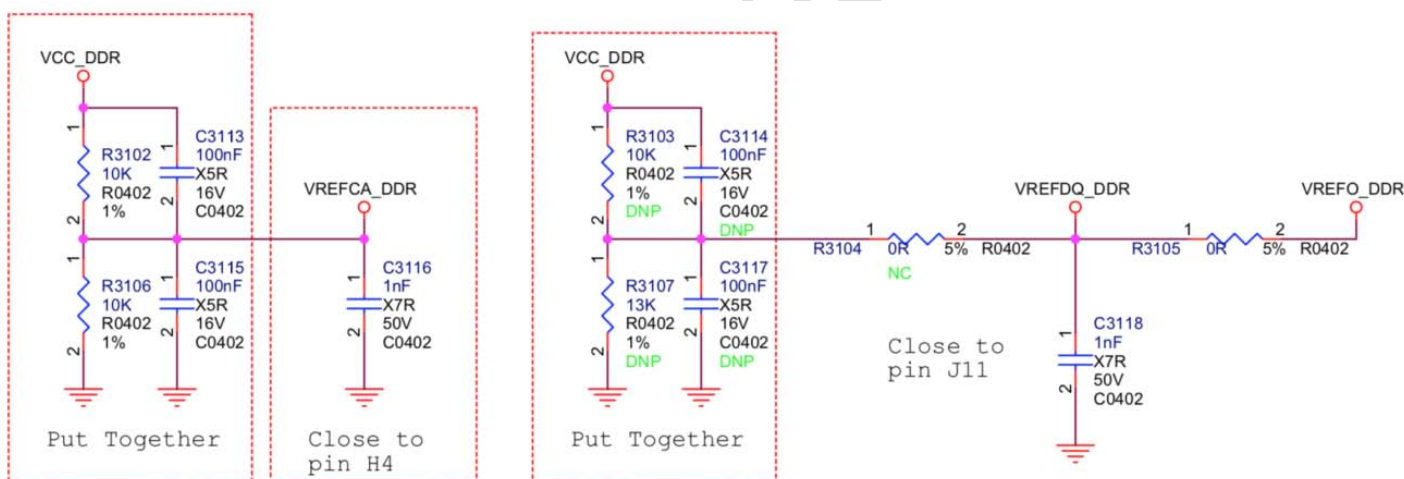


图 2 - 13 RK1808 芯片DDR控制器电源



Note:
 $V_{ih}=VCC$
 $V_{il}=VCC \cdot R_{on} / (R_{on} + R_{odt})$
 $VREFDQ_DDR = (V_{ih} + V_{il}) / 2$

eg: $VCC=1.2V$, $R_{on}=34ohm$, $R_{odt}=240ohm$
 so, $V_{ih}=1.2V$, $V_{il}=0.149V$, $VREFDQ_DDR=0.674V$

图 2 - 14 RK1808 LPDDR3 DRAM的VREF电源设计

Rockchip 瑞芯微电子 Fuzh	
Project:	RK1808_REF_V10
File:	31.RAM LPDDR3 1x3
Date:	Thursday, January 03, 2019
Designed by:	Rzf



注意

关于各种颗粒Vref_DQ的设计:

LPDDR2不支持ODT功能; DDR4的Vref_DQ在颗粒内部调整; 而DDR3/DDR3L的ODT功能enable时内部会同时上下拉, $V_{ref_DQ}=V_{ref_CA}=VCC_DDR/2$; 所以只有LPDDR3需要调节Vref_DQ。

2.2.2.6 NPU电源

RK1808的NPU电源使用外部的BUCK供电，如下图2-15所示NPU电源设计，支持动态调频调压功能，峰值电流可达5A，此电源电流瞬间会发生3.5A/10uS的跳变，所以要求所选用的BUCK瞬态响应

要足够好，带载能力要够；Layout时将2x22uF大电容放置在RK1808芯片背面（单面贴时请靠近芯片放置）如图2-16；此电源路径上面的总电容需要220uF以上，请不要删减RK1808参考设计原理图中的电容。以保证电源纹波控制在90mV以内(运行频率800M时)，避免大负载情况下引起电源纹波偏大，滤波电容如图2-17。

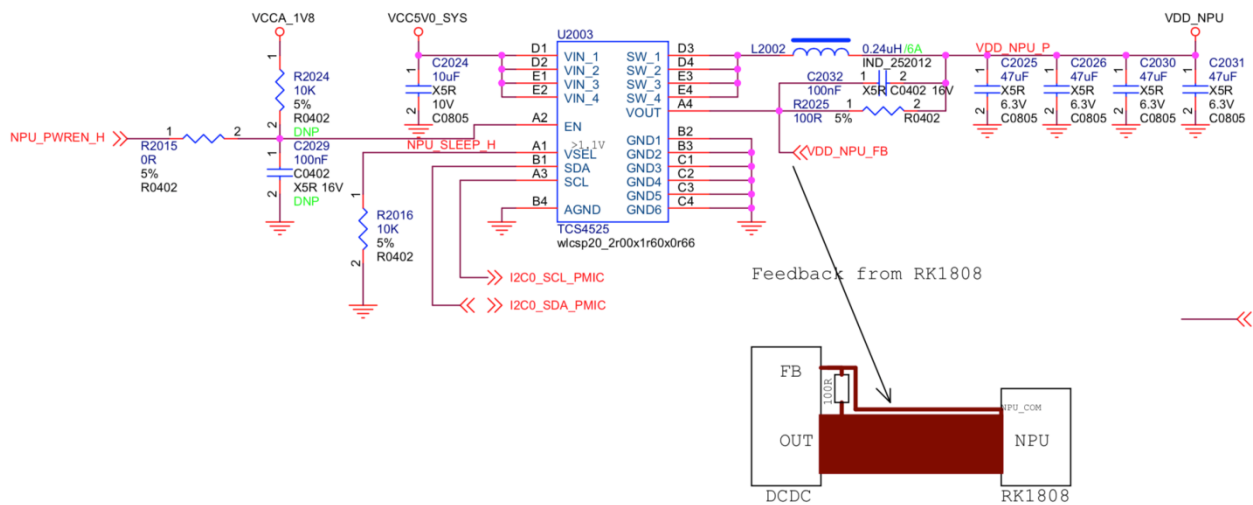


图 2 - 15 NPU 电源设计

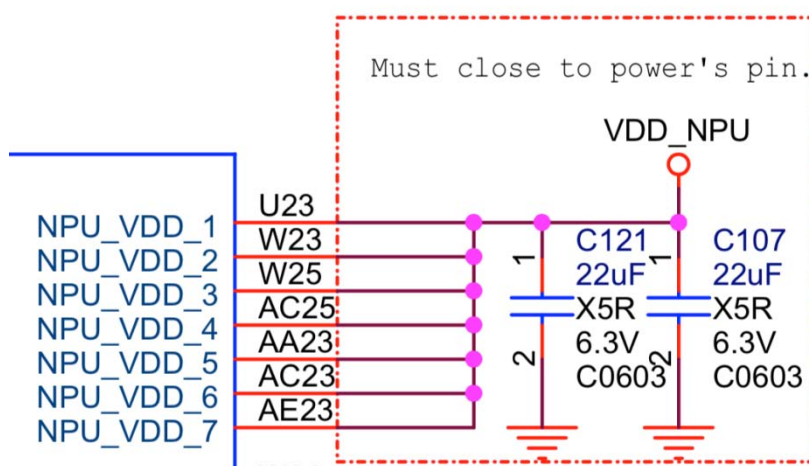


图 2 - 16 RK1808 NPU控制器电源

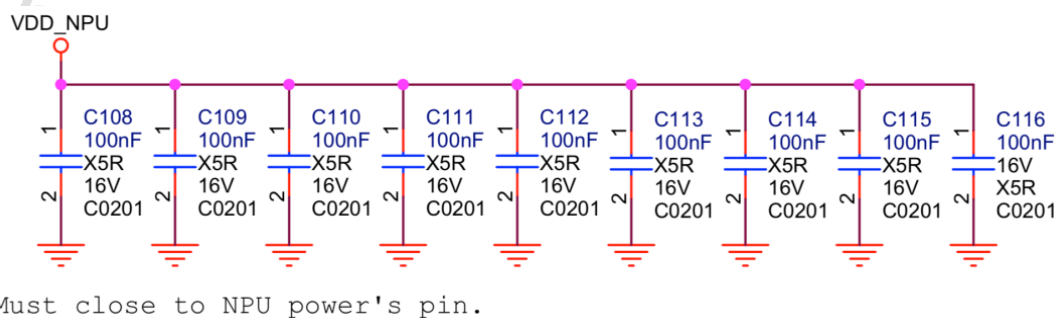


图 2 - 17 RK1808 NPU电源滤波电容

● 2.2.2.7 GPIO电源

GPIO电源请参考2.1.9节。建议每个管脚放置一个100nF去耦电容，并靠近供电管脚摆放。详细设

计请参考RK1808参考设计原理图。

2.2.3 RK809-2方案介绍

● 2.2.3.1 RK809-2框图

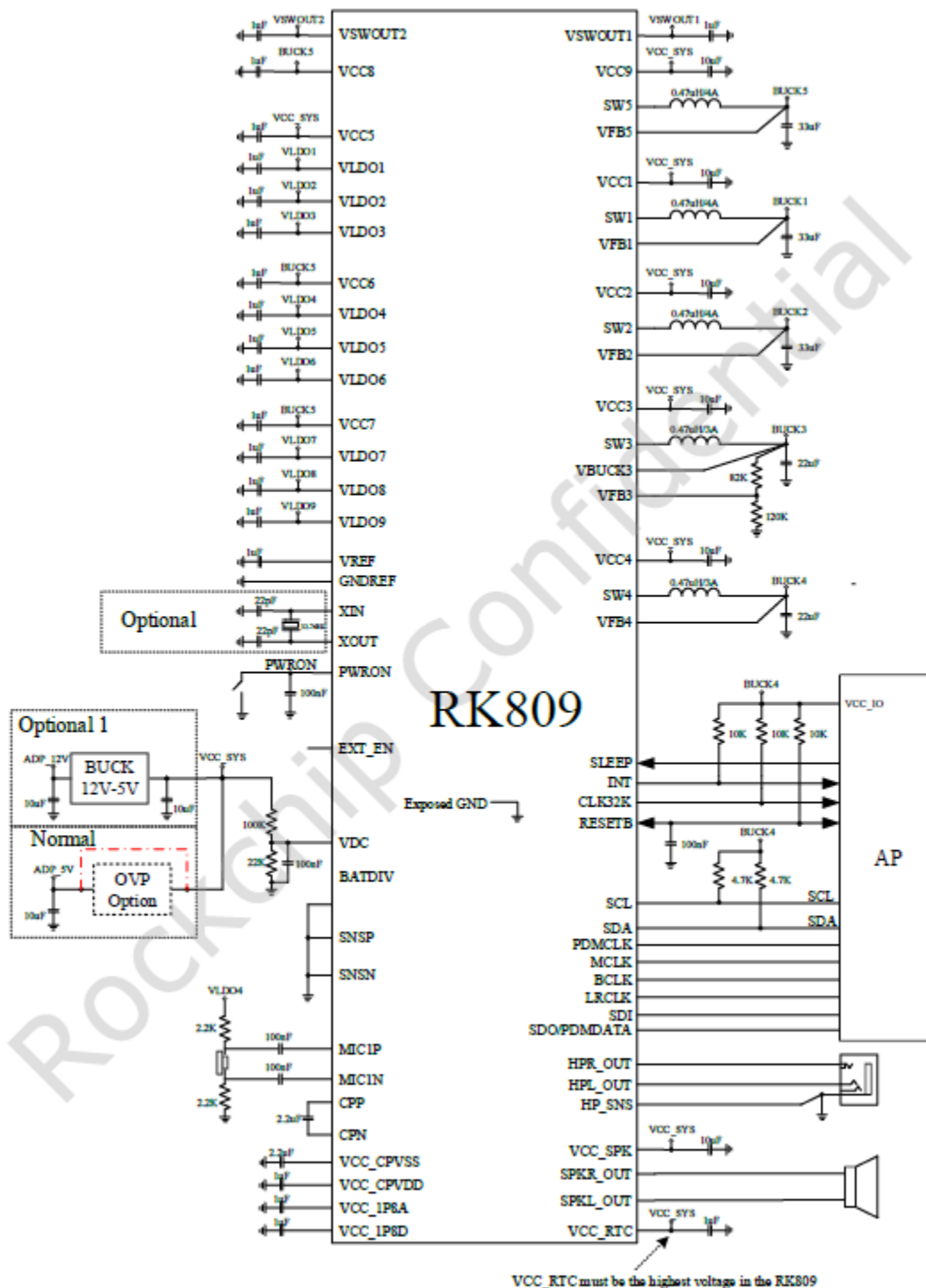


图 2-18 RK809-2 框图

● 2.2.3.2 RK809-2特征

- 电源输入范围：2.7V-5.5V
- 含单独电池电压、电流两路ADC的精准电量计

- 内置实时时钟 (RTC)
 - 25uA的极低待机电流 (在32KHz时钟频率下)
 - 实地输出的耳机驱动
 - 是不需要外加滤波电感的1.3W Class D类功放
 - 可编程的各路电源启动时序和电压值
 - 内置高性能音频编解码器
 - ◆ 内置独立PLL
 - ◆ 支持麦克风输入
 - ◆ 支持可编程的数字与模拟增益
 - ◆ 支持16bits-32bits的比特率
 - ◆ 采样率高达192kHz
 - ◆ 软件支持master和slave两种工作模式配置
 - ◆ 支持3种I2S格式 (标准, 左对齐, 右对齐)
 - ◆ 支持PDM模式 (外部输入PCLK)
 - 供电电源:
 - ◆ 通道1: 同步降压DC-DC转换器, 2.5A max
 - ◆ 通道2: 同步降压DC-DC转换器, 2.5A max
 - ◆ 通道3: 同步降压DC-DC转换器, 1.5A max
 - ◆ 通道4: 同步降压DC-DC转换器, 1.5A max
 - ◆ 通道5: 同步降压DC-DC转换器, 2.5A max
 - ◆ 通道6-7、9-14: 低压差线性稳压器, 400mA max
 - ◆ 通道8: 低噪声、高电源抑制比的低压差线性稳压器, 100mA max
 - ◆ 通道15: 开关, 1.5A max
 - ◆ 通道16: 开关, 3A max
 - 封装: 7mmx7mm QFN68
- 2.2.3.3 RK1808+RK809-2 Power Tree

RK1808方案采用RK809-2+外部buck供电方案, 如下图为电源架构图。

详见RK1808参考图纸“Power diagram and Sequence”页。

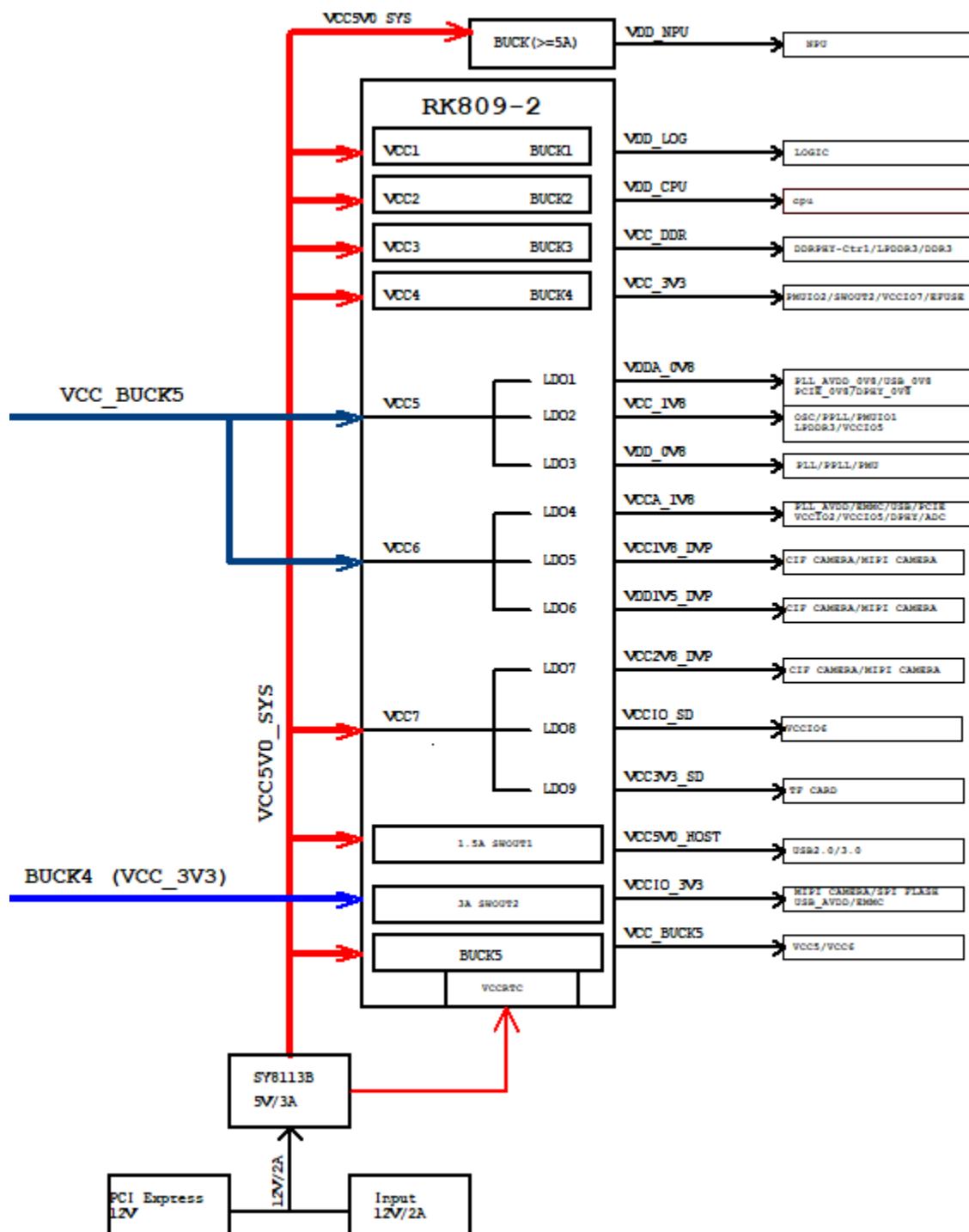


图 2-19 RK809-2 电源架构

● 2.2.3.4 RK809-2注意事项

- 32.768晶体的匹配电容推荐值为22pF，用户可根据所用晶体的具体规格微调此参数；



注意

为了降低功耗PMIC RTC的晶体振荡都做的比较弱，在XOUT或XIN的管脚上用普通的示波器是测不到振荡信号的，或示波器探头一碰上去就会停振，要测32.768k信号请测试CLK32K管脚。

- VCC_RTC必须供电，且其电压值必须是供给RK809-2电源中最高的；
- BUCK1, BUCK2的输出电容必须大于30uF以上才能保证有比较好的去耦效果，特别是大电流高动态的负载情况下，可以适当加大输出去耦电容；
- RK809-2自带USB_OTG供电功能SWITCH1，有短路保护功能，可配置1.5A的输出限流；

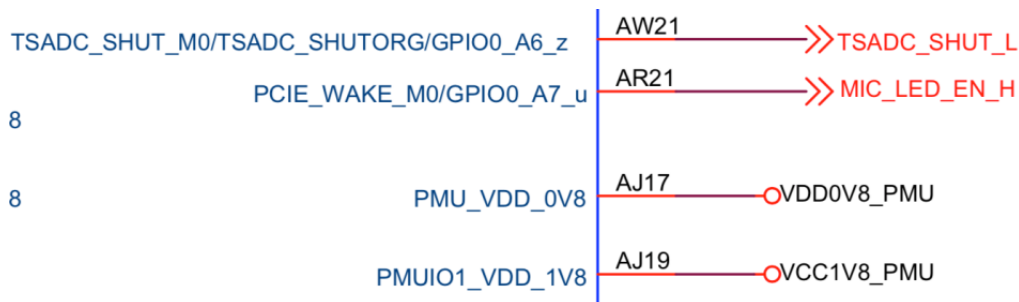


图 2-21 RK1808 TSADC_SHUT (OTP_OUT) 保护输出

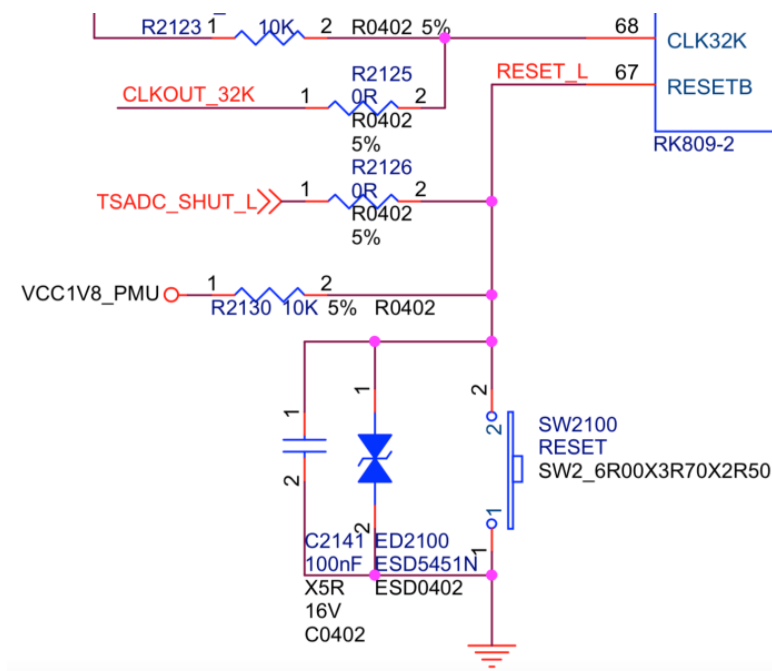


图 2-22 RK809-2 TSADC_SHUT (OTP_OUT) 过温保护输入

● 2.2.4.2 PMIC SLEEP电路

当RK1808芯片在正常工作模式时，芯片的状态管脚PMIC_SLEEP会维持低电平输出。

当系统进入待机模式时，PMIC_SLEEP管脚会输出高电平的休眠指示信号，此时PMIC受该信号控制进入待机状态。根据软件dts文件的配置，部份电源会关闭，部分电源会调低电压。

当系统从待机模式中被唤醒时，PMIC_SLEEP管脚会在第一时间输出低电平，此时PMIC会恢复待机前的工作状态，恢复各路电源输出。

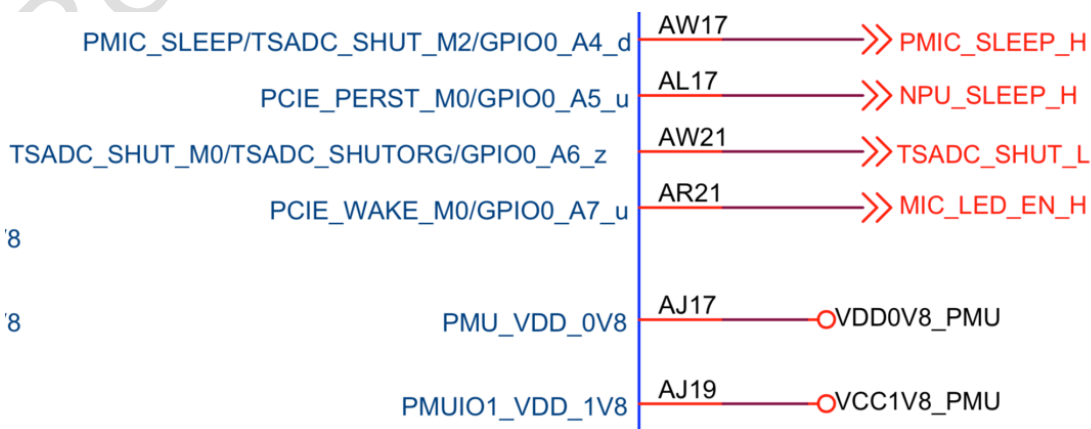


图 2-23 RK1808 PMIC_SLEEP输出

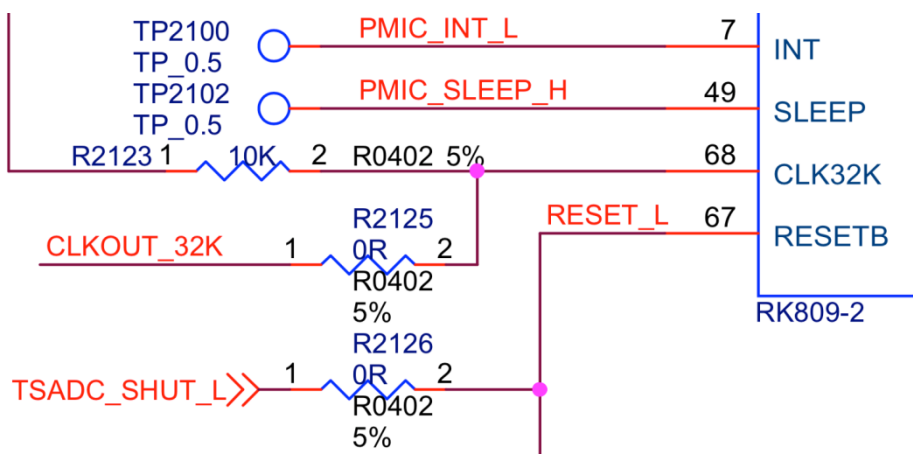


图 2-24 RK809-2 PMIC_SLEEP输入

2.2.5 电源峰值电流表

下表为RK1808 EVB V10在高负载、高温（88-90度）模式下,三路主要电源峰值电流测试结果,仅供参考。测试条件如下:

- APK版本: ripple_peak_current_test;
- CPU最高频率: 1.6 GHz;
- NPU最高频率: 800 MHz;
- DDR最高频率: 1x32bit LPDDR3 K4E6E304EB-EGCF, 800 MHz;

表 2-9 RK1808 峰值电流表

Power Name	Voltage (V)	Peak Current (mA)	Peak ripple (mV)
VDD_CPU	0.9	826	26.3
VDD_LOG	0.8	786	9
VDD_NPU	0.85	2810	82

2.3 功能接口电路设计指南

2.3.1 存储卡电路

RK1808提供了一个SDMMC接口控制器，可支持SD V3.0以及eMMC v4.51协议，如图2-25所示：

- SDMMC0控制器采用单独的电源域供电；
- SDMMC0与UART2、JTAG等功能复用在一起，通过SDMMC0_DET进行功能选择，具体请参考2.1.4小节；
- VCCIO_SD为IO电源，需要外部提供3.3V供电（SD 2.0模式）或3.3V/1.8V可调供电（SD 3.0模式）；

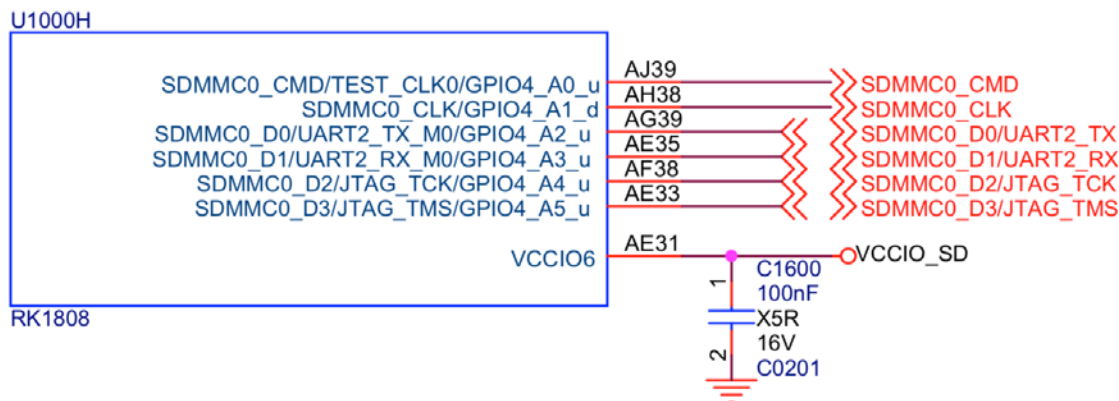


图 2-25 RK1808 SDMMC模块电路

SDMMC接口上下拉和匹配设计推荐如表2-10所示。

表 2 - 10 RK1808 SDMMC接口设计

信号	内部上下拉	连接方式 (SD3.0高速模式)	描述（芯片端）
SDMMC_DQ[3:0]	上拉	串联22ohm电阻 走线较短时可删除	SD数据发送/接收
SDMMC_CLK	下拉	串联22ohm电阻	SD时钟发送
SDMMC_CMD	上拉	串联22ohm电阻 走线较短时可删除	SD命令发送/接收

2.3.2 USB电路

2.3.2.1 USB20电路

RK1808芯片拥有一组USB 2.0 HOST和一组USB2.0 OTG接口，USB2.0 OTG是唯一可用来烧写固件的。RK1808 USB 2.0模块电路如下图2-26：

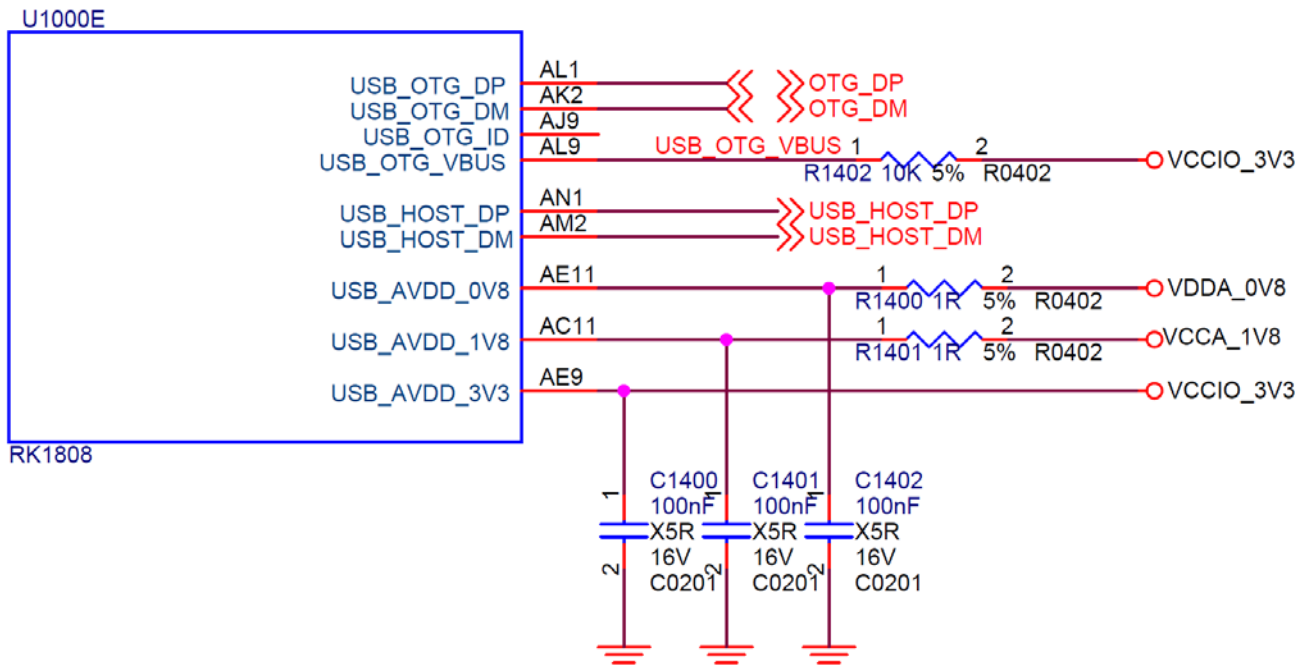


图 2-26 RK1808 USB 2.0模块电路

2.3.2.2 USB3.0电路

RK1808内置一组USB3.0 信号，与PCIE V2.1信号共用管脚（详见2.3.9节）；USB30信号可以与USB20 OTG组合成一个标准的USB30 OTG座子，可以用来下载固件（也可以用单独USB20 OTG micro座子烧写）。

- USB20 OTG接口默认做为系统固件烧写端口，在调试过程中必须要预留USB30（USB30+USB20 OTG）接口或者USB20 OTG接口；

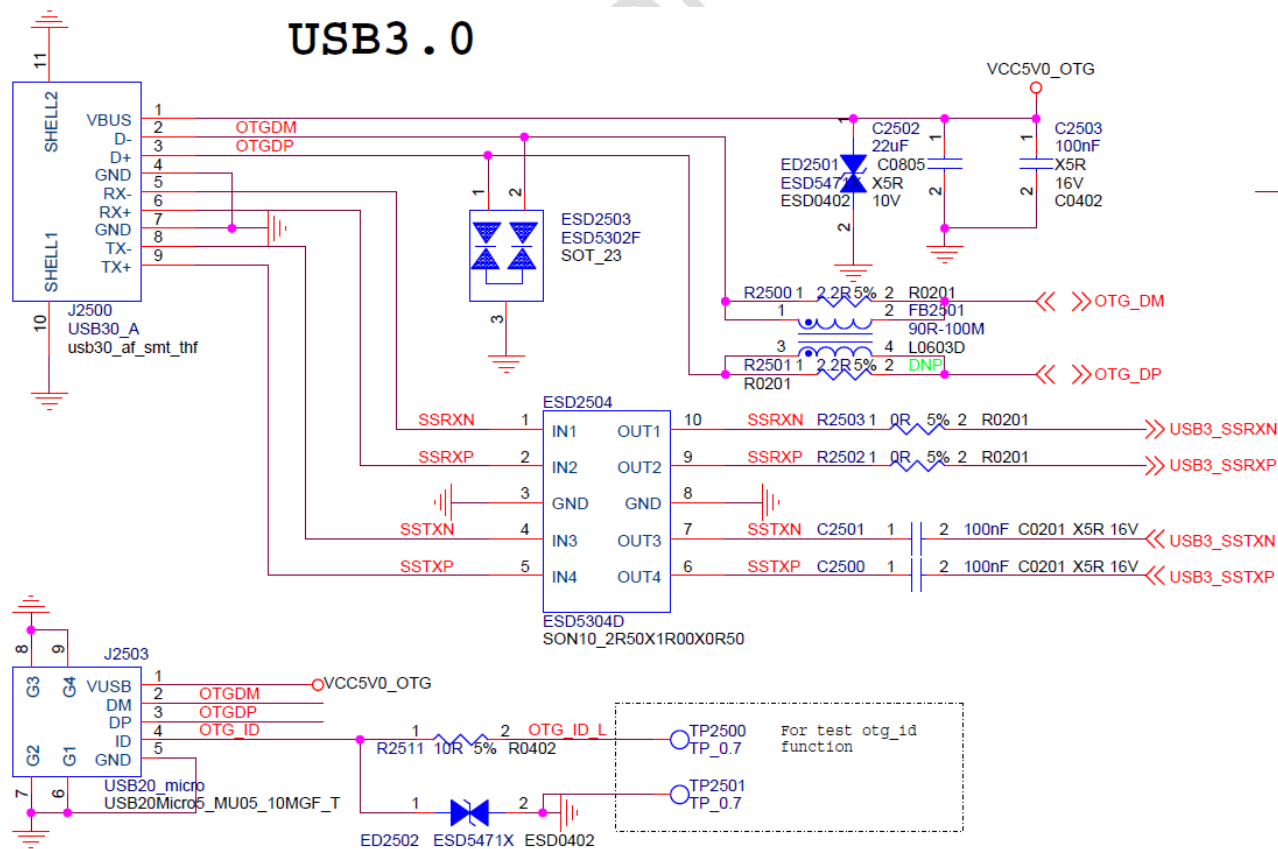


图 2-27 RK1808 USB3.0电路

2.3.2.3 USB其它信号说明

- USB_ID有200K的内部上拉电阻，上拉到USB_AVDD_1V8，所以OTG默认会做为Device模式；
- OTG_DET（USB_DET）做为USB插入检测，检测到高电平则说明有USB插入；

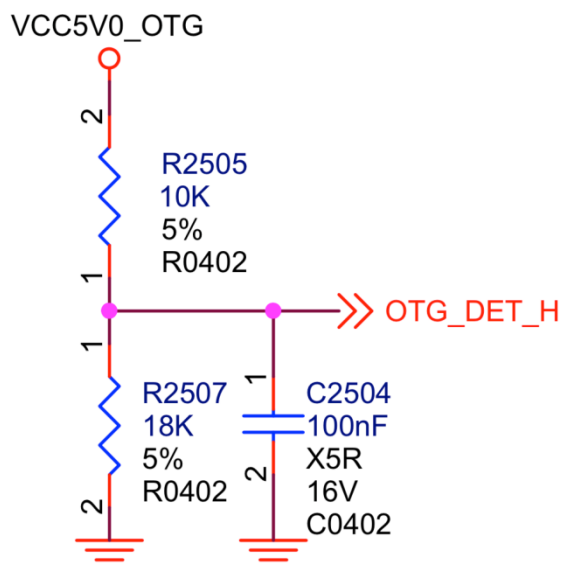


图 2-28 RK1808 USB插入检测

- USB控制器配置参考电阻R1403请选用精度 $\leq 1\%$ 的电阻，该电阻关系到USB幅度并影响眼图好坏；



图 2-29 RK1808 USB/PCIE控制器参考电阻

- 为避免浪涌对芯片造成的损伤，控制器的0.8V/1.8V电源需要串联1ohm电阻；

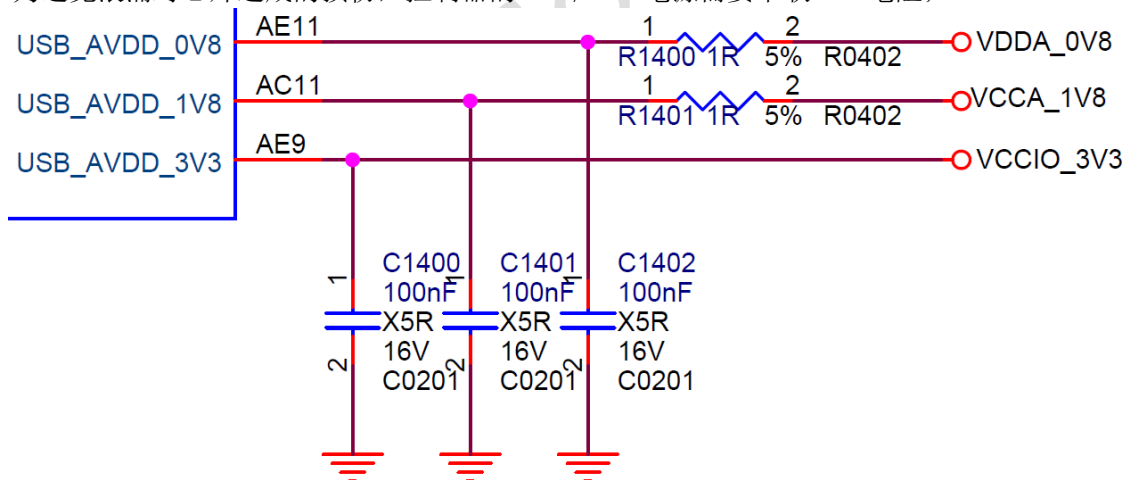


图 2-30 RK1808 USB控制器电源防浪涌

- 为提高USB性能，控制器电源的去耦电容请靠近管脚放置；
- 为抑制电磁辐射，可以考虑在信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感。

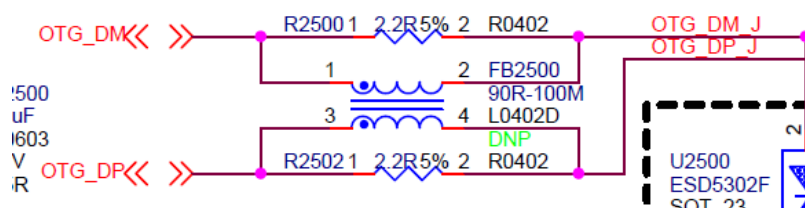


图 2-31 RK1808 USB预留共模电感

USB2.0 OTG接口上下拉和匹配设计推荐如表2-11所示。

表 2-11 RK1808 USB2.0 OTG接口设计

信号	连接方式	说明
USB_OTG_DP/DM	串2.2R电阻	USB OTG 输入/输出
USB_OTG_ID	直连（内部有1.8V上拉）	USB OTG ID识别，Micro-B接口时需要使用
USB_OTG_VBUS		USB OTG 插入检测
USB_RBIAS		USB PHY 配置参考电阻，2K接地（与PCIE共用）

2.3.3 音频电路

RK1808提供两组标准I2S接口，均支持master或slave模式，最高采样率至192kHz，比特率从16bits到32bits；支持三种I2S模式：normal, left-justified, right-justified；支持4种PCM模式：early, late1, late2, late3；可配置成I2S或者PCM模式。

2.3.3.1 I2S0

RK1808的I2S0支持I2S、PCM、TDM I2S、TDM PCM功能。

如图所示，I2S0接口包含独立的8通道输出和8通道输入，为满足播放和录音的异采样率的需求，位时钟和帧时钟也对应提供两组(SCLKTX\LRCKTX, SCLKRX\LRCKRX)；需要注意的是，对于SD0x和SDIx只参考一组位/帧时钟的情形，优先使用SCLKTX\LRCKTX作为它们的共同时钟。

需要注意的是，该组I2S接口属于VCCIO4电源域，默认设置为VCCA_1V8供电。如I2S外设IO电平为3.3V，需调整此处供电，并注意同电源域相关IO的电平匹配。

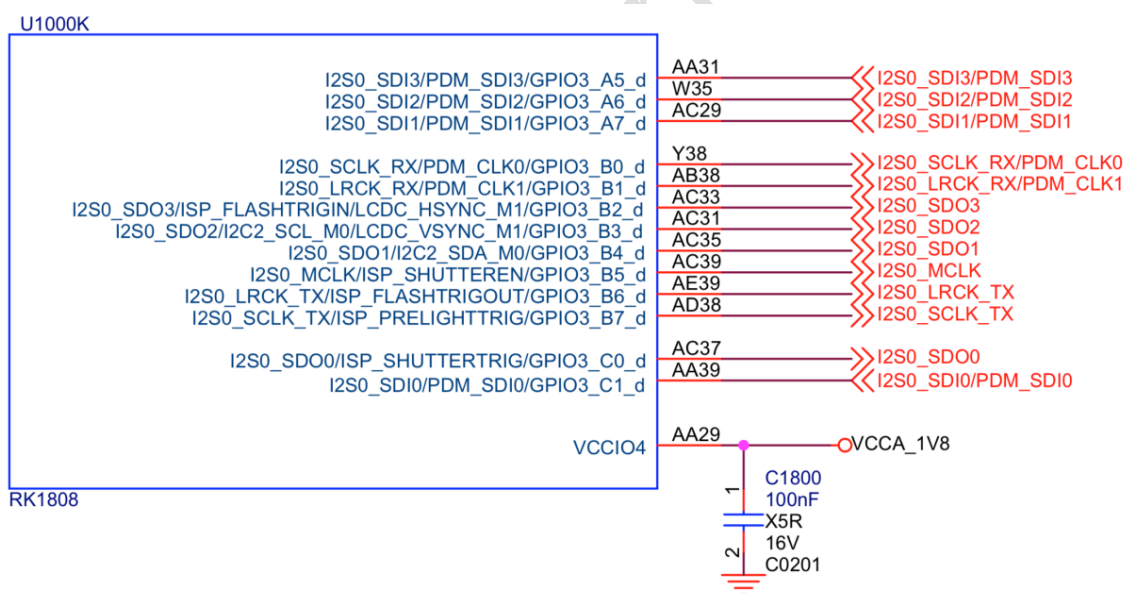


图 2-32 RK1808 I2S0模块电路

I2S0接口上下拉和匹配设计推荐如表2-12所示。

表 2-12 RK1808 I2S0接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S0_8CH_MCLK	下拉	串联22ohm电阻	I2S0系统时钟输出
I2S0_8CH_SCLKTX	下拉	串联22ohm电阻	I2S0位时钟(TX, 关联SD0x)
I2S0_8CH_LRCKTX	下拉	串联22ohm电阻	I2S0帧时钟, 用于声道选择(TX, 关联SD0x)
I2S0_8CH_SDO0	下拉	串联22ohm电阻	I2S0数据输出通道0

I2S0_8CH_SD01	下拉	串联22ohm电阻	I2S0数据输出通道1
I2S0_8CH_SD02	下拉	串联22ohm电阻	I2S0数据输出通道2
I2S0_8CH_SD03	下拉	串联22ohm电阻	I2S0数据输出通道3
I2S0_8CH_SCLKRX	下拉	串联22ohm电阻	I2S0位时钟 (RX, 关联SDIx)
I2S0_8CH_LRCKRX	下拉	串联22ohm电阻	I2S0帧时钟, 用于声道选择 (RX, 关联SDIx)
I2S0_8CH_SDI0	下拉	串联22ohm电阻	I2S0数据输入通道0
I2S0_8CH_SDI1	下拉	串联22ohm电阻	I2S0数据输入通道1
I2S0_8CH_SDI2	下拉	串联22ohm电阻	I2S0数据输入通道2
I2S0_8CH_SDI3	下拉	串联22ohm电阻	I2S0数据输入通道3

2.3.3.2 I2S1

I2S1支持2通道输入与2通道输出。

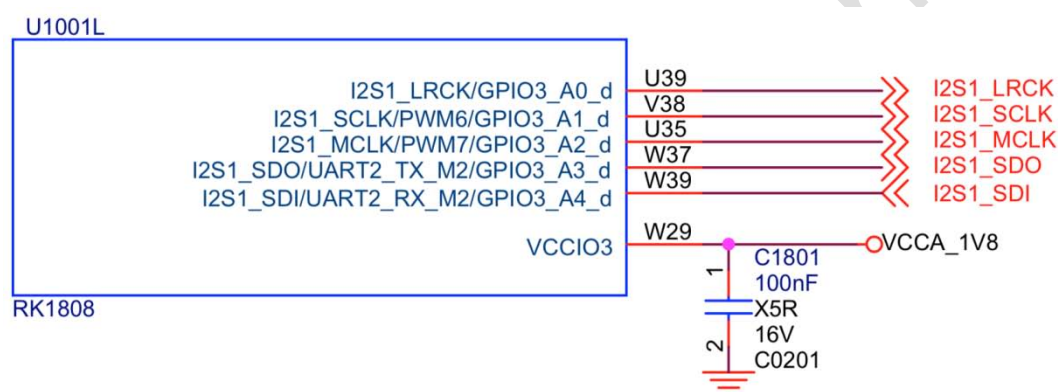


图 2-33 RK1808 I2S1模块电路

I2S1接口上下拉和匹配设计推荐如表2-13所示。

表 2-13 RK1808 I2S1接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S1_MCLK	下拉	串联22ohm电阻	I2S1系统时钟输出
I2S1_SCLK	下拉	串联22ohm电阻	I2S1位时钟
I2S1_LRCK TXRX	下拉	串联22ohm电阻	I2S1帧时钟，用于声道选择时钟
I2S1_SDO	下拉	串联22ohm电阻	I2S1数据输出通道
I2S1_SDI	下拉	串联22ohm电阻	I2S1数据输入通道

2.3.3.3 VAD (Voice Activity Detection)

RK1808支持VAD功能，可以支持语言唤醒。

支持从I2S/PDM读声音数据，支持语音幅度检测，支持多MIC阵列数据存储，支持电平组合中断。

2.3.3.4 PDM

RK1808提供一组PDM数字音频接口，最多支持8路PDM格式音频输入，最高采样率至192kHz，比特率从16bits到32bits。

当使用PDM MIC作为语音采集时，为简化软件对音频录音数据的处理，回采也建议一致地使用PDM接口。这样对于常见应用涉及的2-6个PDM MIC录音加上1-2路回采通道的情况，仅由一个完整的4-8通道录音音频即可完成输入，软件无需进行额外的拼接处理。

PDM管脚与I2S0复用，如下图。

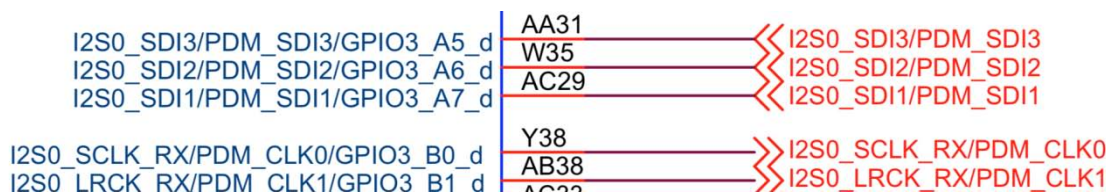


图 2-34 RK1808 I2S0模块的PDM接口

● 2.3.3.5 TDM

RK1808提供一组TDM数字音频接口，支持master或slave模式，最多8路TDM格式音频输出与8路TDM格式音频输入，最高采样率至192kHz，比特率从16bits到32bits；TDM信号与I2S0信号管脚复用兼容。

● 2.3.3.6 Codec

RK809-2自带Codec，支持I2S和PCM接口，I2S/PCM音频数字接口被用来从立体声DAC输入数据或者从立体声ADC输出数据；I2S/PCM可配置成主或者从模式，在主模式下，BCLK和LRCLK配置成输出，MCLK被固定为输入；在从模式下，BCLK和LRCLK配置成输入，MCLK仍然配置成输入。RK1808默认采用I2S1接口与RK809-2通讯，RK1808当主设备，RK809-2做从设备。

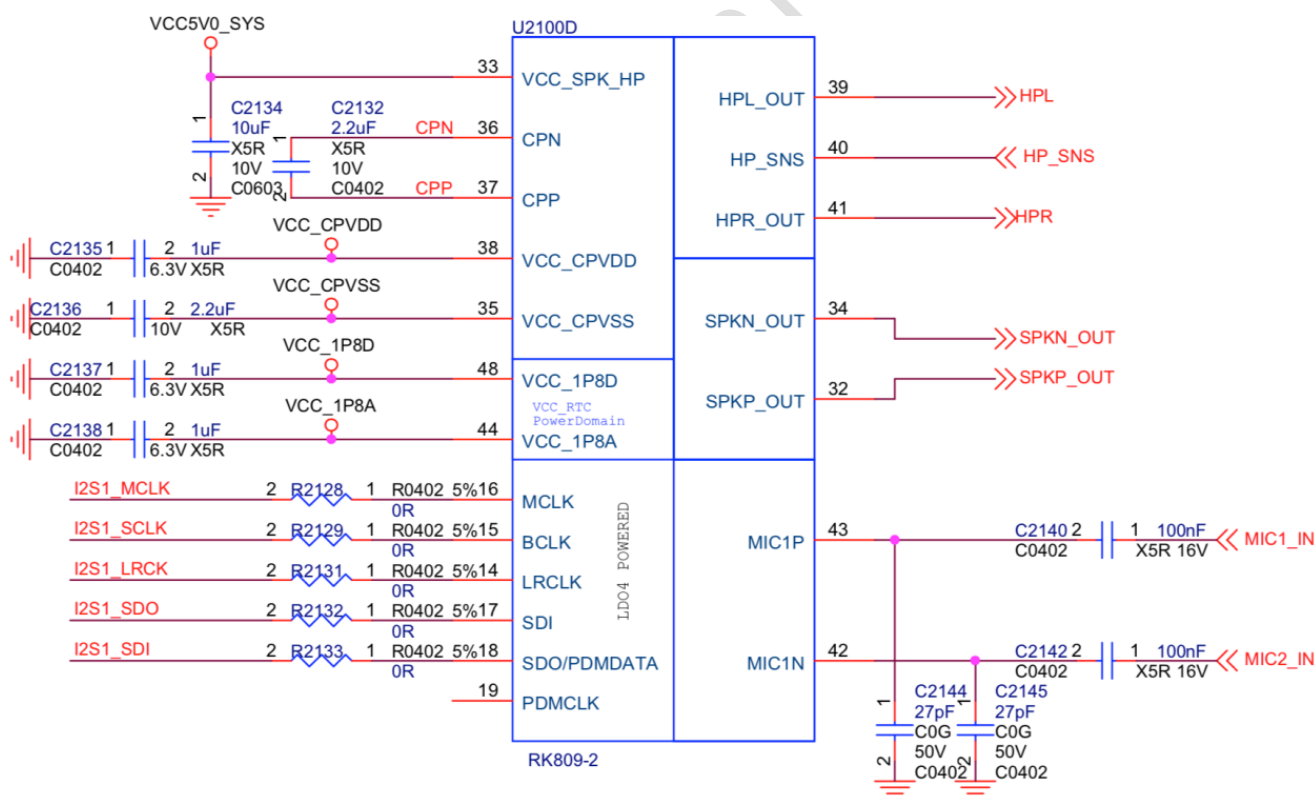


图 2-35 RK809-2 Codec电路

Codec输出的HP_SENS作为内部Offset参考，需要与GND连接，在耳机座子处与GND相连，减小与耳机GND间的电平差，走线时在HPR/HPL中间伴随走线，避免受其他信号干扰。如果Codec的GND与耳机GND在同一完整GND平面上，器件布局靠近，则可以直接连到GND平面。

2.3.4 RGMII/LCDC/CIF(BT1120) 电路

RK1808芯片内置了RGMII/CIF/LCDC控制器，这三种功能采用管脚复用，在同一时间内只能用一种功能。图纸如下图2-39：

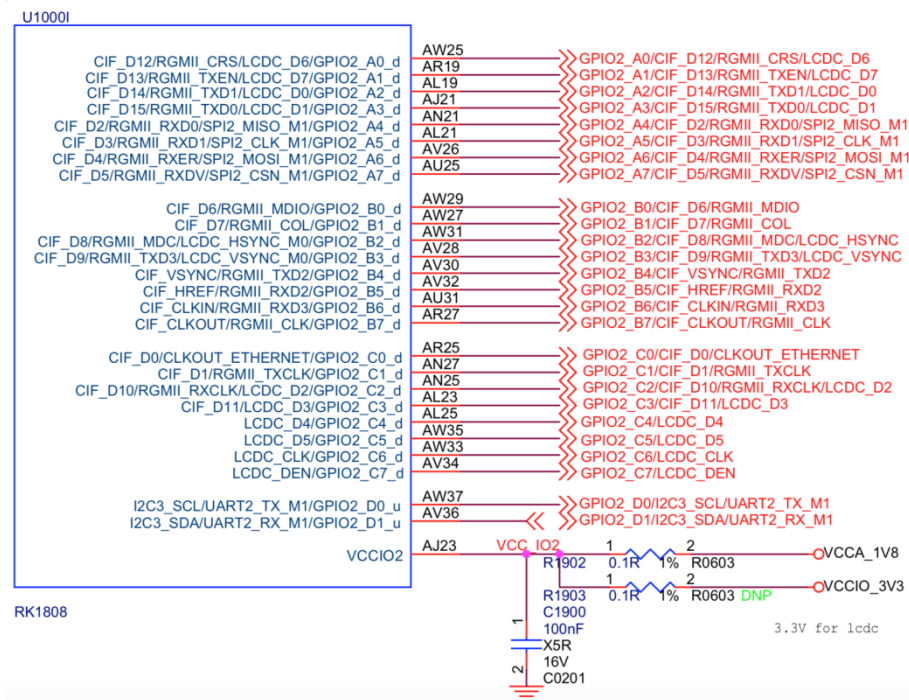


图 2-39 RK1808 RGMII/CIF/LCDC接口

● 2.3.4.1 以太网电路

RK1808内部集成了一个千兆以太网MAC，可以外接不同以太网PHY，实现百兆/千兆网络功能。具体设计请参考PHY原厂的设计文档，指南中不做过多介绍。PHY所用的25M工作时钟采用外部晶振，RK1808的RGMII_CLK(125M)由PHY的CLKOUT脚输出，如图2-40所示。

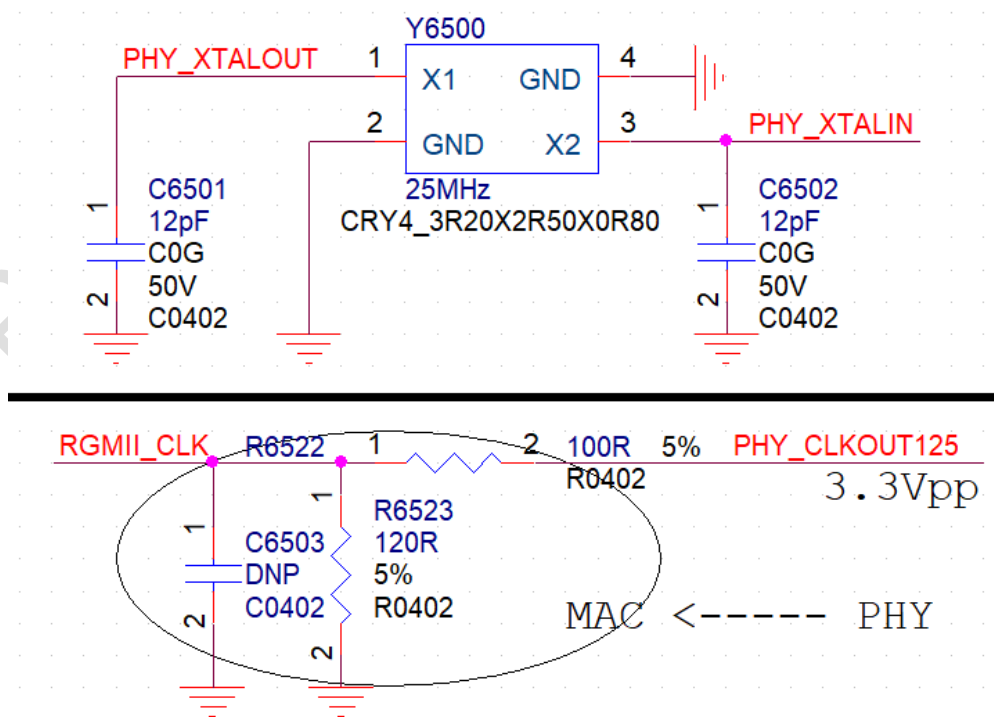


图 2-40 RK1808 PHY时钟电路

RK1808支持10/100/1000M Ethernet controller, 1000M GMAC部分设计及其注意事项说明如下:

信号	内部上下拉	连接方式	描述
RGMII_TXCLK	下拉	串联22ohm电阻	数据发送的参考时钟
RGMII_RXCLK	下拉	串联22ohm电阻	数据接收的参考时钟
RGMII_TXD[3:0]	下拉	串联22ohm电阻	数据发送
RGMII_RXD[3:0]	下拉	串联22ohm电阻	数据接收
RGMII_TXEN	下拉	串联22ohm电阻	发送数据使能
RGMII_RXDV	下拉	串联22ohm电阻	接收数据有效指示
RGMII_MDC	下拉	串联22ohm电阻	配置接口时钟
RGMII_MDIO	下拉	串联22ohm电阻	配置接口I/O
RGMII_CLK	下拉	串联22ohm电阻	MAC主时钟输出或输入

- 电源: RK1808 GMAC只需要一路供电电源VCCIO2, 可以配置成1.8V或者3.3V, 根据以太网PHY IO供电电压配置, 需要与GMAC IO电平保持一致。
- RK1808 RGMII接口收发信号线上, TX_CLK和RX_CLK是125MHz, 为了达到1000Mb的传输速率, TXD和RXD信号线在时钟的双边沿都进行采样, 数据使能信号(RGMII_TXEN、RGMII_RXDV)必须在数据发出有效前使能。
- 复位: RGMII对PHY的复位方式用GPIO来控制, 也可以使用RC硬件复位电路, 需要注意的是, 若是采用RC硬件复位电路, 则PHY的电源必须是可控的。

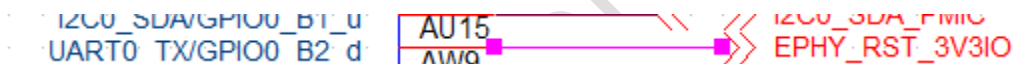


图 2-41 RK1808 RGMII对PHY复位电路

- MAC层和PHY之间传送控制和状态信息为MDIO接口, 时钟MDC信号和数据MDIO信号, 需要注意的是MDIO信号需要上拉, 如下图:

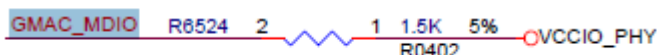


图 2-42 RK1808 RGMII MDIO信号

- 10/100M原理和接法与1000M类似, 唯一不同的RGMII_CLK=50M; 需要注意的是10/100M的PHY_CRS_DV是接MAC_RXDV, 而不是MAC_CRS管脚。

■ ESD保护

为了满足ESD保护、浪涌保护的要求, 建议在电路设计时在RGMII PHY电路上设计保护电路。为了避免保护器件对PHY走线信号造成影响, 并能够达成良好的保护效果, 建议PCB设计时采用以下原则:

- 保护器件建议放置在变压器内侧, 在变压器和PHY之间, 靠近变压器放置。
- 保护器件建议选用TVS管, 击穿电压8kV, 响应时间小于1ns。

● 2.3.4.2 LCDC 接口介绍

RK1808支持18bit RGB输出, 支持18-bit (RGB666), 16-bit (RGB565), 分辨率为1280X800; 支持MCU接口, 软件需配置对应的输出模式。管脚分配如图 2-43:

- 使用RGB666 18bit屏的时候, 只需要连接LCDC_D0-D17数据信号, 对应关系如下:

Correspondence between LCDC DATA and RGB			
LCDC_D0	B2	LCDC_D9	G5
LCDC_D1	B3	LCDC_D10	G6
LCDC_D2	B4	LCDC_D11	G7
LCDC_D3	B5	LCDC_D12	R2
LCDC_D4	B6	LCDC_D13	R3
LCDC_D5	B7	LCDC_D14	R4
LCDC_D6	G2	LCDC_D15	R5
LCDC_D7	G3	LCDC_D16	R6
LCDC_D8	G4	LCDC_D17	R7

图 2-43 RK1808 18bit连接方式

- 如下是屏所对应的连接图纸：

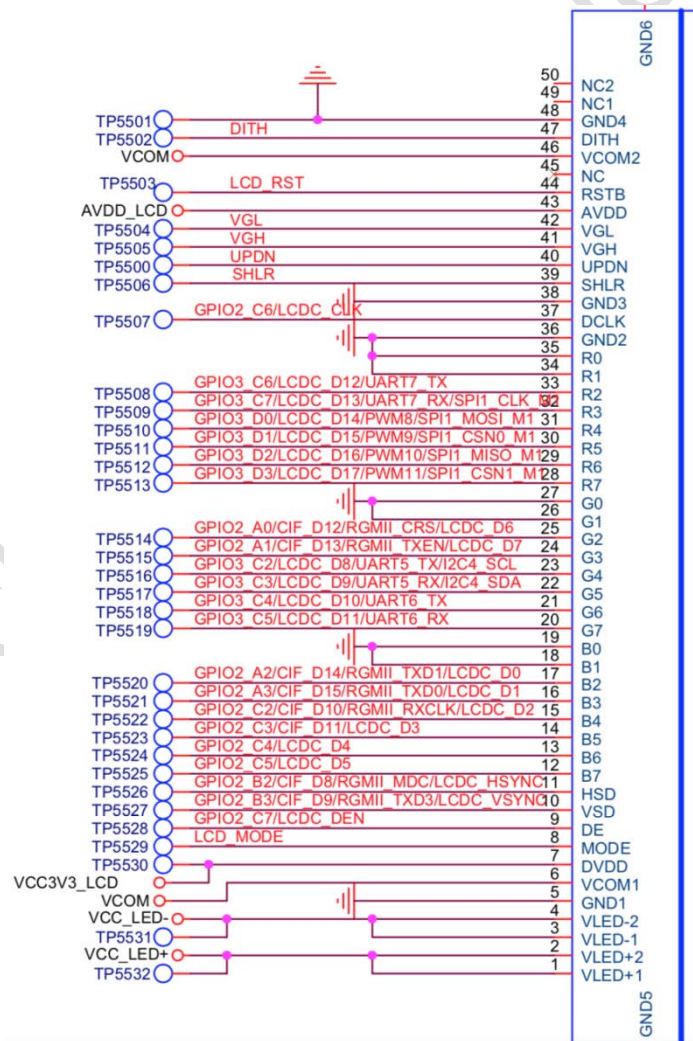


图 2-44 LCD连接电路

- 使用MCU屏的时候，LCDC的RGB和MCU接口对应的关系如下表：

表 2 - 14 LCDC IO功能描述列表

Interface	Pin Name	Direction	Description
LCDC	LCDC_DCLK	O	LCDC RGB interface display clock out, MCU i80 interface RS signal
	LCDC_VSYNC	O	LCDC RGB interface vertical sync pulse, MCU i80 interface CSN signal
	LCDC_HSYNC	O	LCDC RGB interface horizontal sync pulse, MCU i80 interface WEN signal
Interface	Pin Name	Direction	Description
	LCDC_DEN	O	LCDC RGB interface data enable, MCU i80 interface REN signal
	LCDC_Di (i=0~17)	O	LCDC data output/input

● 2.3.4.3 CIF(BT1120)接口介绍

RK1808集成了一个CIF接口，支持BT601 YCbCr和BT656 YCbCr 422的8位输入；支持UYVY/VYUY/YUYV/YVYU的配置，支持RAM 8/10/12位的输入；支持BT1120 16bit，单、双边沿采样。

CIF对应不同位数的DVP IO接口如下表：

表 2 - 15 CIF 接口对应DVP接口列表

RK1808 Pin Name	ISP 8bit CIF 8bit	ISP 10bit CIF 10bit	ISP 12bit CIF 12bit	BT1120
CIF_D0		CIF_D0	CIF_D0	CIF_D0
CIF_D1		CIF_D1	CIF_D1	CIF_D1
CIF_D2	CIF_D2	CIF_D2	CIF_D2	CIF_D2
CIF_D3	CIF_D3	CIF_D3	CIF_D3	CIF_D3
CIF_D4	CIF_D4	CIF_D4	CIF_D4	CIF_D4
CIF_D5	CIF_D5	CIF_D5	CIF_D5	CIF_D5
CIF_D6	CIF_D6	CIF_D6	CIF_D6	CIF_D6
CIF_D7	CIF_D7	CIF_D7	CIF_D7	CIF_D7
CIF_D8	CIF_D8	CIF_D8	CIF_D8	CIF_D8
CIF_D9	CIF_D9	CIF_D9	CIF_D9	CIF_D9
CIF_D10			CIF_D10	CIF_D10
CIF_D11			CIF_D11	CIF_D11
CIF_D12				CIF_D12
CIF_D13				CIF_D13
CIF_D14				CIF_D14
CIF_D15				CIF_D15
CIF_HREF	CIF_HREF	CIF_HREF	CIF_HREF	CIF_HREF
CIF_VSYNC	CIF_VSYNC	CIF_VSYNC	CIF_VSYNC	CIF_VSYNC
CIF_CLKIN	CIF_CLKIN	CIF_CLKIN	CIF_CLKIN	CIF_CLKIN
CIF_CLKOUT	CIF_CLKOUT	CIF_CLKOUT	CIF_CLKOUT	

管脚分配如上图 2-39。

CIF camera和BT1120接口电路如下：

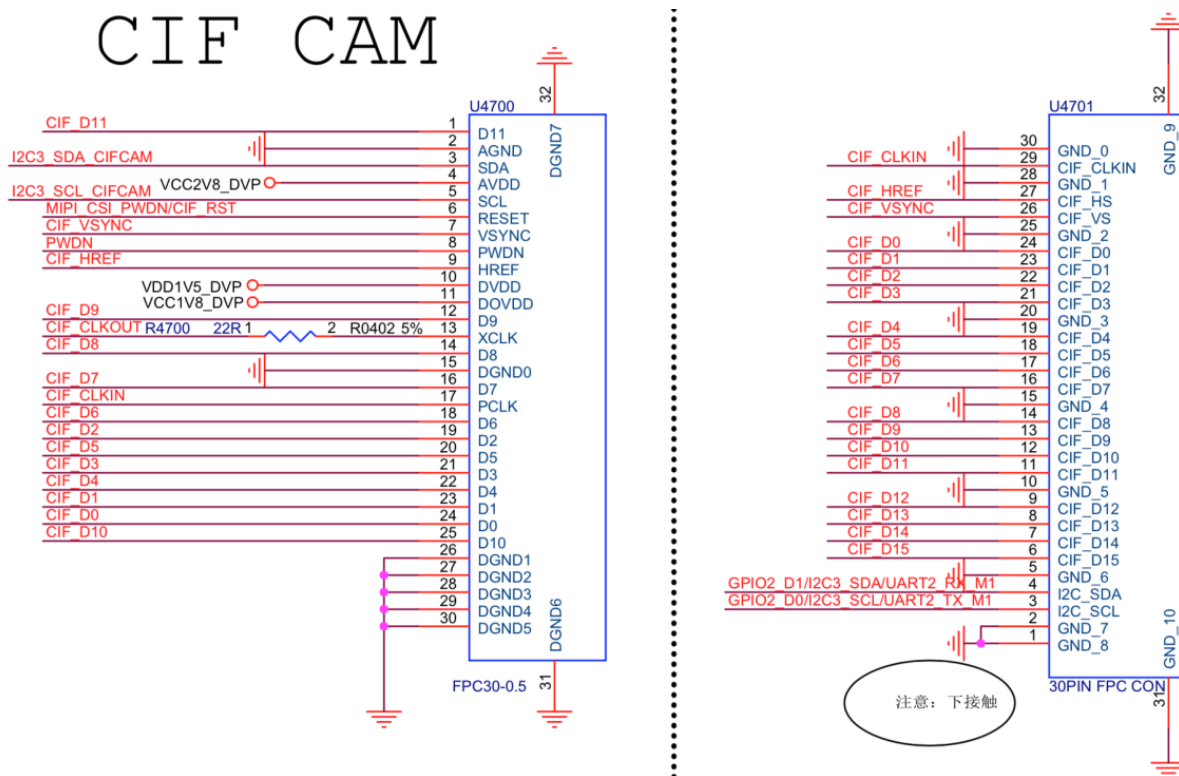


图 2-45 CIF/BT1120连接电路

2.3.5 摄像头电路

● 2.3.5.1 USB CAMERA

USB CAMERA请参考小节2.3.2 中USB的设计方法,USB CAMERA走的是标准的USB协议,这里不做特别介绍。

● 2.3.5.2 MIPI CSI

RK1808集成一组MIPI-CSI输入, SPEC V1.0版本, 支持4lane, 每个lane最大速率达到2G bps, 内置ISP处理器。

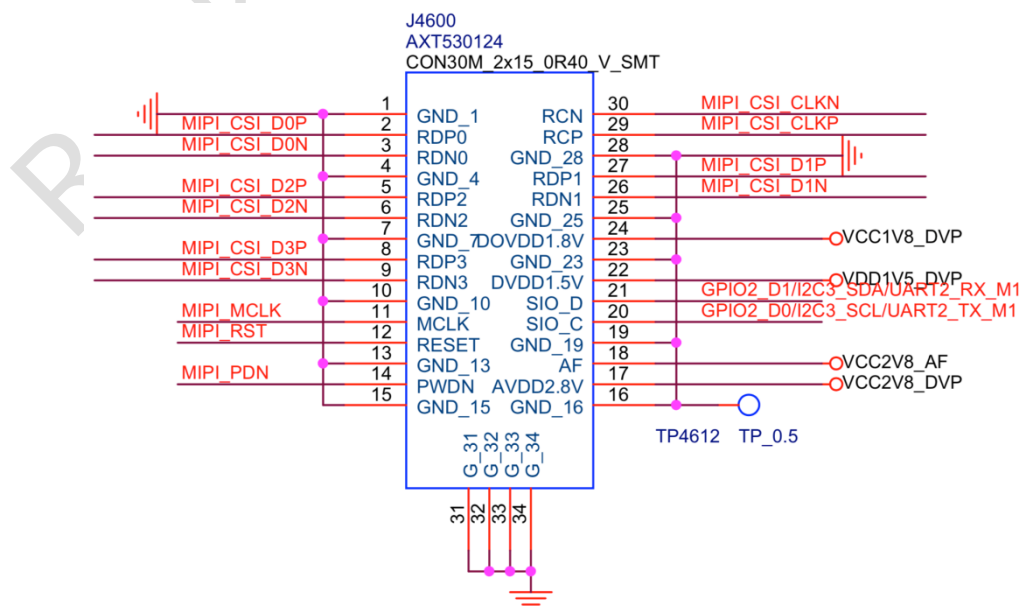


图 2-46 RK1808 MIPI-CSI CAMERA电路

设计中请注意：

- 为避免浪涌对芯片造成的损伤，MIPI-CSI控制器的电源需要串联1ohm电阻；

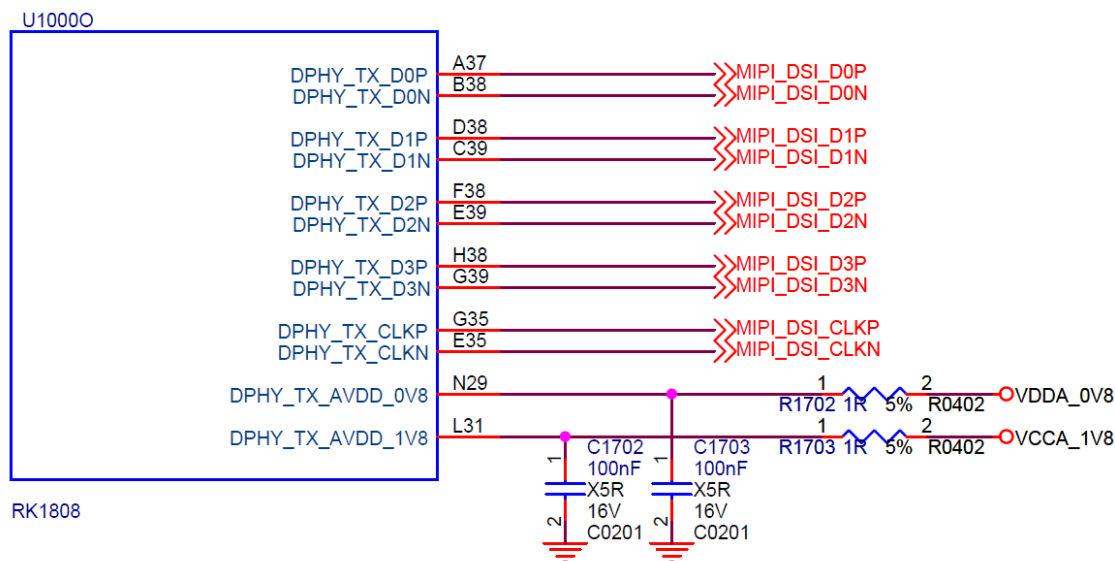


图 2-47 RK1808 DPHY_RX电路

- 为提高MIPI-CSI性能，控制器电源的去耦电容请靠近管脚放置；

● 2.3.5.3 CIF CAMERA

电路如图2-45。

CIF接口电源域为VCCIO2电，实际产品设计中，需要根据产品Camera的实际I0供电要求（1.8V or 2.8V），选择对应的供电，同时I2C上拉电平必须与其保持一致，否则会造成Camera工作异常或无法工作。

2.3.6 ADC电路

RK1808支持4路SARADC，10位的分辨率，达到1M/s的采样率。

RK1808芯片采用SARADC的ADC_IN2做为键值输入采样口，并复用为RECOVER模式（不需要更新LOADER），如图。在系统已经烧录固件的前提下，系统启动时拉低ADC2_KEY_IN，将ADC_IN2保持为0V电平，则RK1808进入Rockusb烧写模式。当PC识别到USB设备时，松开按键使ADC_IN2恢复为高电平（1.8V），即可进行固件烧写。

RK1808上，SARADC采样范围为0-1.8V，采样精度为10bits。按键阵列采用并联型，可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求。设计中建议任意两个按键键值必须大于+/-35，即中心电压差必须大于123mV。

注意：若RK1808的LOG待机时需要关掉，ADC_AVDD的电源在待机时也必须关掉，否则会造成漏电，增加待机时的功耗。

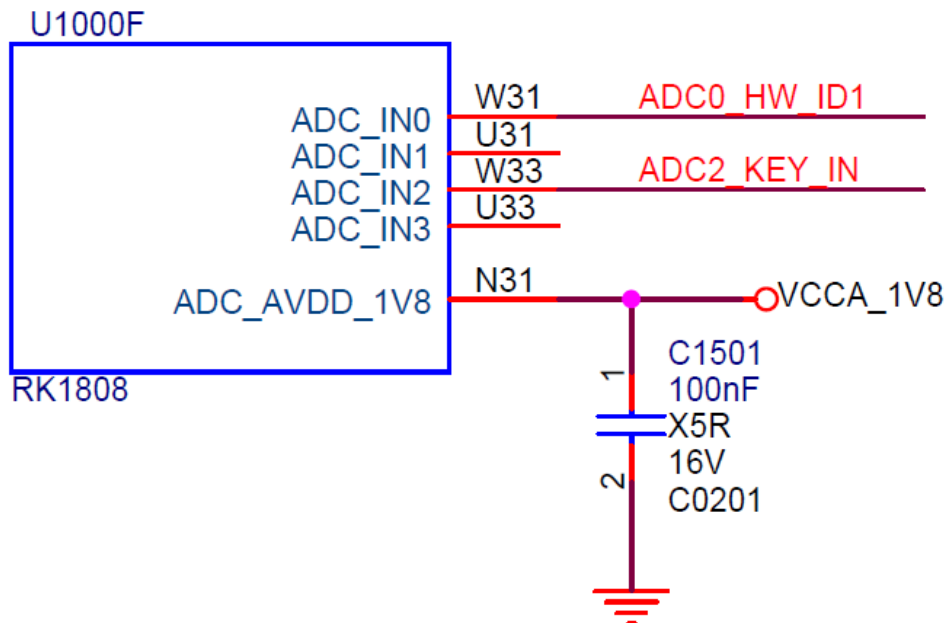


图 2-48 RK1808 SAR-ADC模块

2.3.7 SDIO/UART/SWD JTAG电路

RK1808支持SDIO 3.0接口的WIFI/BT模组，如图2-49所示。采用SDIO、UART接口的WIFI/BT模组时，需要注意RK1808 SDIO、UART控制器的供电必须与模组的IO电平保持一致。

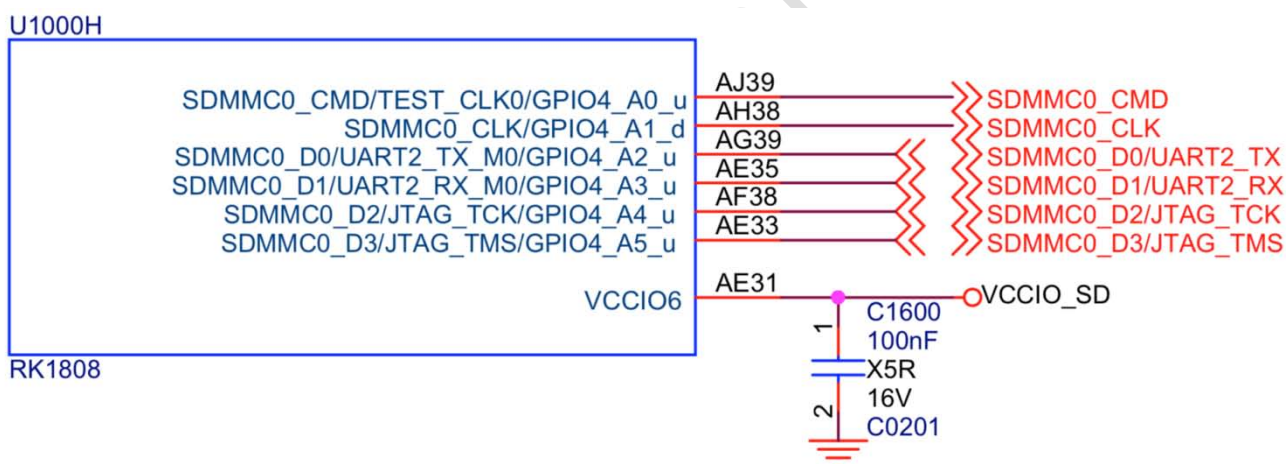


图 2-49 RK1808 SDIO/UART模块电路

● 2.3.7.1 SDIO

SDIO接口上下拉和匹配设计推荐如表2-14所示。

表 2 - 16 RK1808 SDIO0接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SDIO_DQn[0:3]	上拉	串联22ohm电阻 走线较短时可直连	SDIO数据发送/接收
SDIO_CLK	下拉	串联22ohm电阻	SDIO时钟发送
SDIO_CMD	下拉	串联22ohm电阻 走线较短时可直连	SDIO命令发送/接收

● 2.3.7.2 UART

UART2接口上下拉和匹配设计推荐如表2-15所示。

表 2 - 17 RK1808 UART2接口设计

信号	内部上下拉	连接方式	描述（芯片端）
UART2_RX	上拉	直连	UART2数据输入
UART2_TX	上拉	直连	UART2数据输出

2.3.8 Debug电路

2.3.8.1 UART DEBUG调试介绍

RK1808的Debug UART2与SDMMC接口复用在一起，当需要调试时，可以外接UART转USB转接小板进行调试。

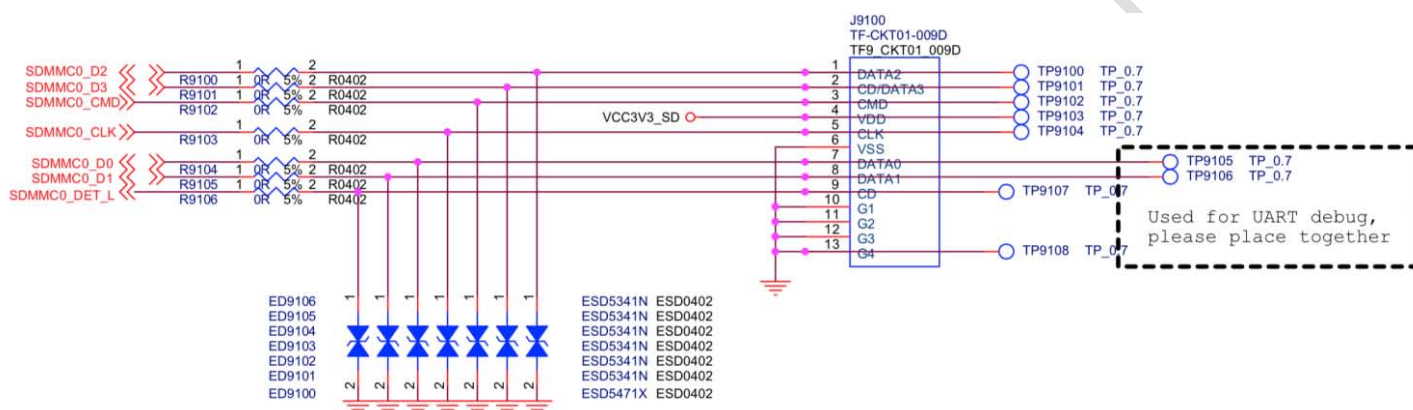


图 2-50 RK1808 UART2复用关系

端口号请选择PC连接开发板的端口号，波特率选择1.5M，流控RTS/CTS不需勾选。如果PC端内置的DB-9端口不支持高速率模式，请使用USB转串口的方式。

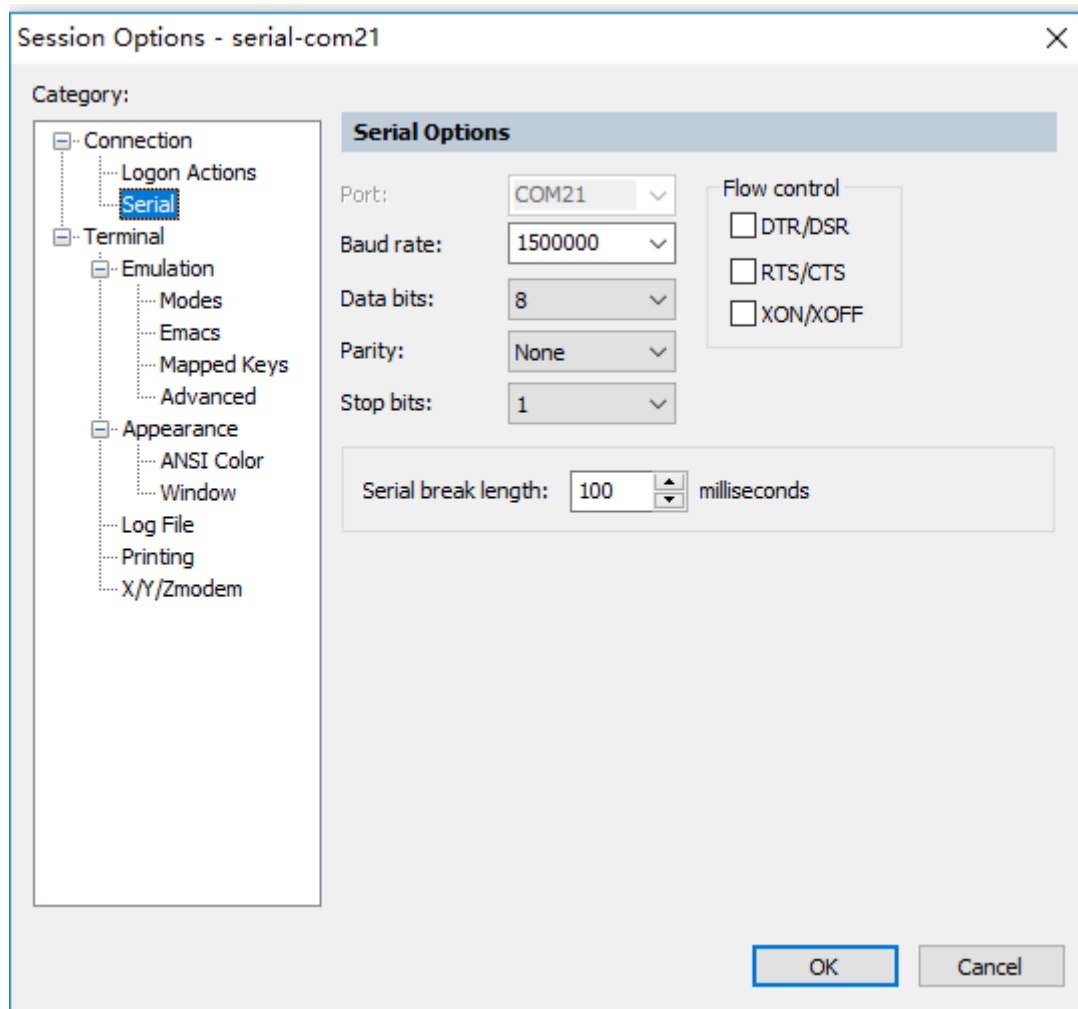


图 2-51 RK1808 串口配置

2.3.8.2 JTAG DEBUG调试介绍

RK1808的SWD JTAG与SDMMC接口复用在一起，当需要调试时，可以外接标准的20PIN JTAG座了，然后连接到DSTREAN仿真器，用于调试内部A35的CPU。

JTAG接口上下拉和匹配设计推荐如表2-16所示。

表 2 - 18 RK1808 JTAG接口设计

信号	内部上下拉	连接方式	描述（芯片端）
JTAG_TCK	上拉	直连	SWD JTAG时钟输入
JTAG_TMS	上拉	直连	SWD JTAG模式选择输入

2.3.9 PCIE电路

RK1808支持一路PCI Express V2.1接口，支持RC和EP两种工作模式，最大支持2 lane, 每个lane支持2.5G或5G数据传输。

PCIE接口和USB3.0接口复用，同一时间只能用PCIE或者USB3.0。

PCIE模块电路如下：

[illegible]

RK1808的PCIE当RC的接口电路如下:

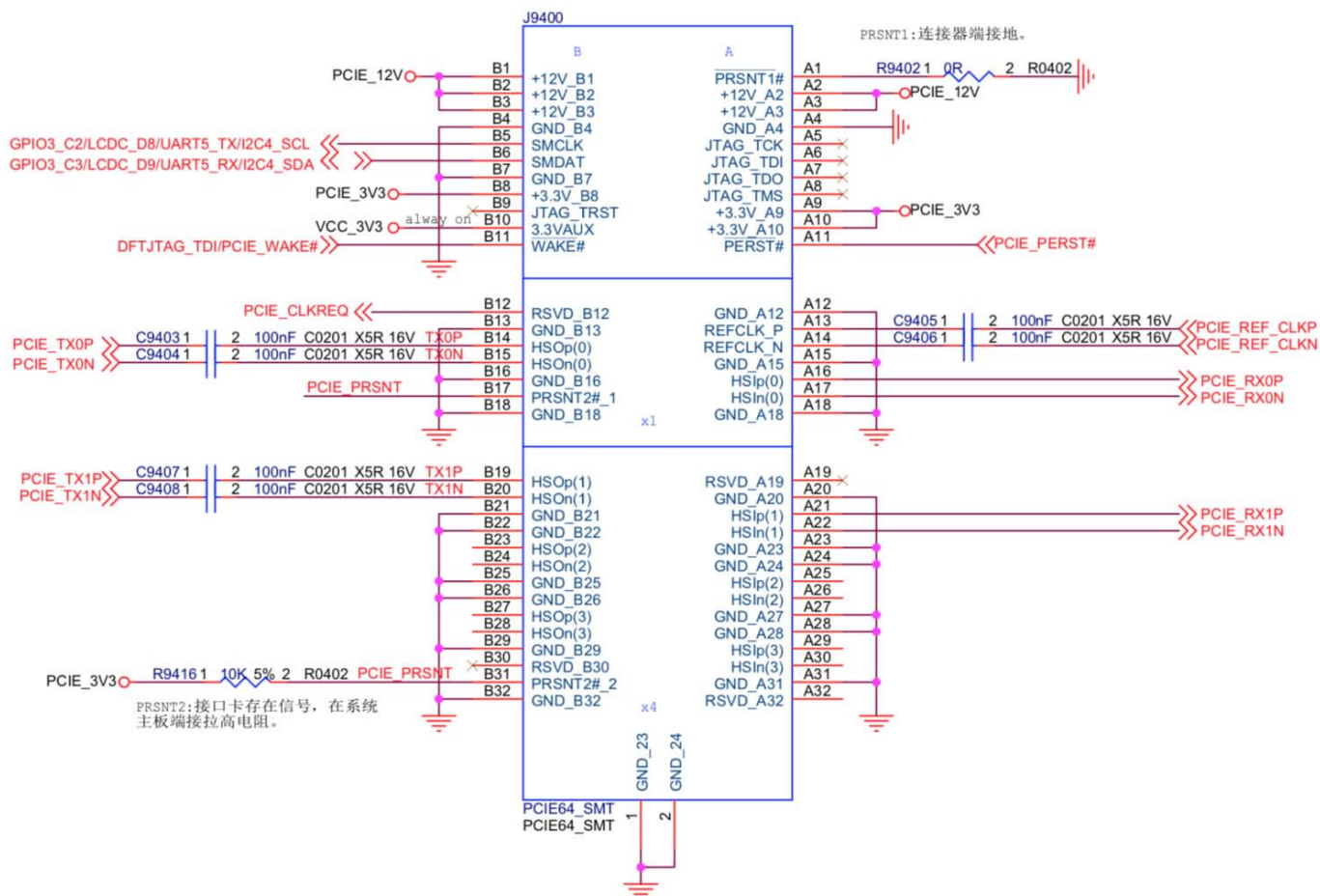


图 2-54 PCIe当RC电路

PCIe设计注意事项:

PCIe的PCIE_PERST/PCIE_CLKREQ/PCIE_WAKE三个信号网络在RK1808内部MUX到M0 (PMUI01) 和 M1 (PMUI02) 两个地方, RK1808方案中PMUI01电源设置为1.8V, PMUI02电源设置为3.3V; PCIe的外设信号需要3.3V电源域, 所以在RK1808方案中, 这三个脚只能接到M1 (PMUI02) 上的信号, 不能接到M0 (PMUI01) 上面。

电路如下:

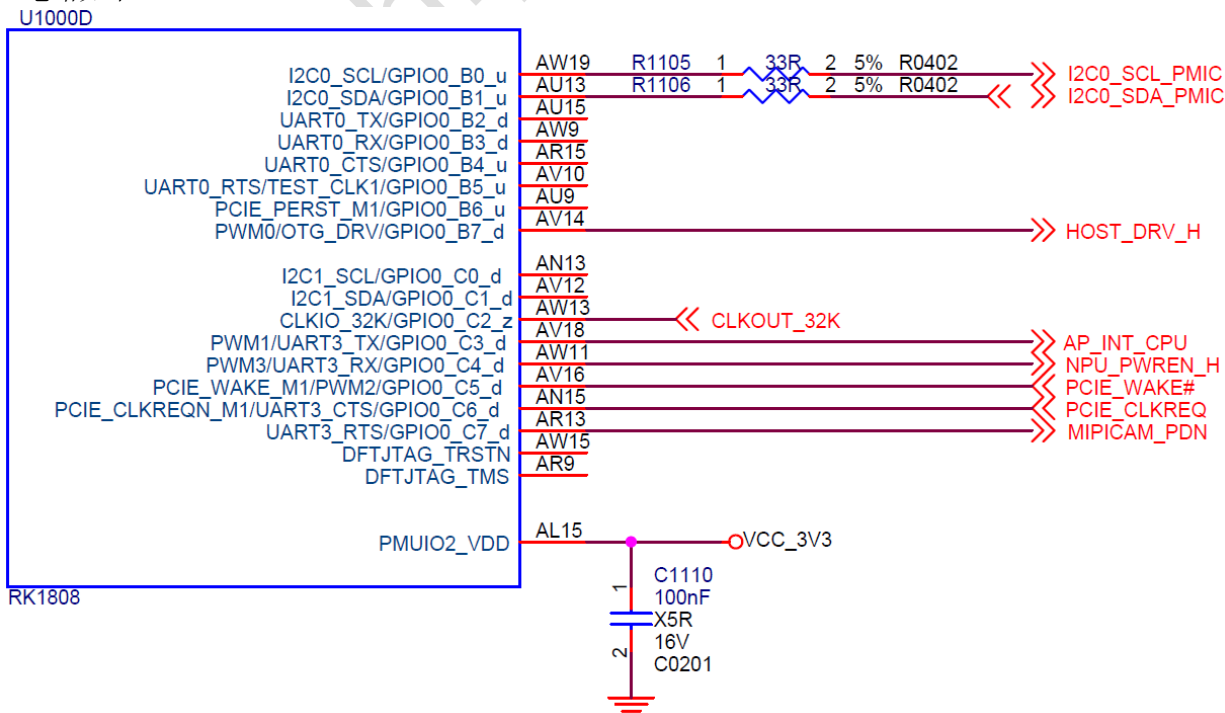


图 2-55 PCIe控制信号

- 为避免浪涌对芯片造成的损伤，控制器的0.8V/1.8V电源需要串联1ohm电阻；

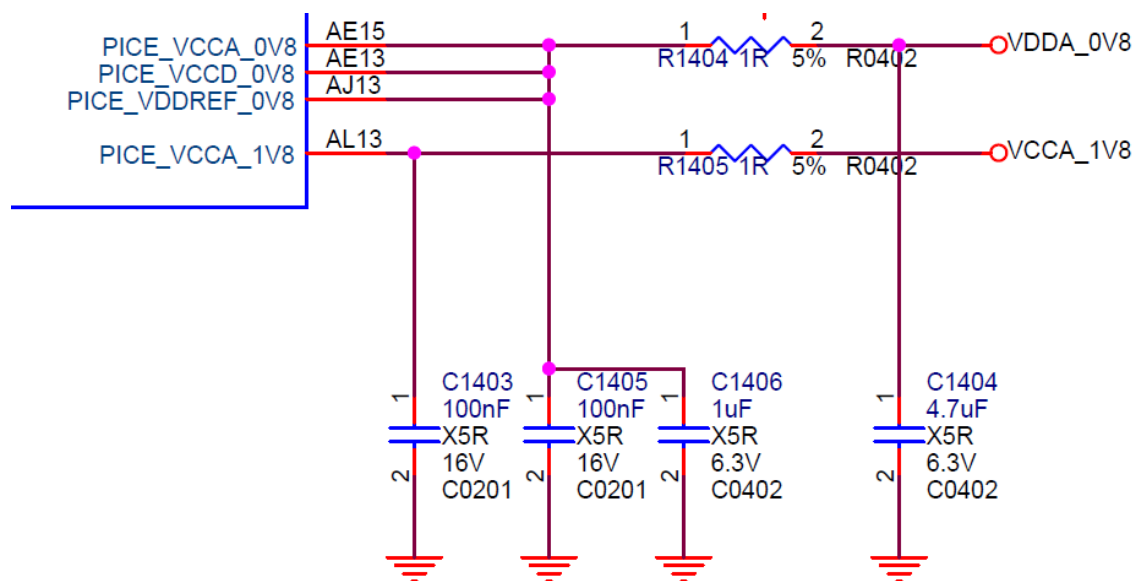


图 2-56 RK1808 USB3.0/PCIE控制器电源防浪涌

2.3.10 RK1808+AP互联

RK1808作从设备时，与AP互联有如下三种连接方式：

（1）USB2.0+USB3.0+GPIOX2 连接模式：USB2.0用来下载RK1808的固件，USB3.0用来传输大数据，GPIO用来检测休眠和中断通讯。

（2）USB2.0+MIPI+GPIOX2 连接模式：USB2.0用来下载RK1808的固件，MIPI用来传输大数据，GPIO用来检测休眠和中断通讯。

（3）USB2.0+PCIE连接模式：USB2.0用来下载RK1808的固件，PCIE用来传输大数据、检测休眠和中断通讯用。

推荐使用以上1、2两种连接方式。

3 热设计建议

3.1 热仿真结果

针对RK1808 FCCSP420 Pin的封装，基于EVB的6层板PCB和JEDEC标准的PCB采用有限元建模法（Finite Element Modeling，FEM），可以得出热阻的仿真报告。该报告基于JEDEC 2S2P标准给出，应用时的系统设计及环境可能与JEDEC 2S2P标准不同，需要根据应用条件做出分析。



注意

热阻是在PCB没有散热片条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。

3.1.1 结果概要

热阻仿真结果如下：

表 3-1 RK1808 热阻仿真报告结果

Package (FCCSP)	Power (W)	θ_{JA} (°C/W)	θ_{JB} (°C/W)	θ_{JC} (°C/W)
EVB PCB		20.71	10.66	1.94

3.1.2 PCB描述

热阻仿真用的PCB结构如下表：

表 3-2 RK1808 热阻仿真的PCB结构

EVB PCB	PCB Dimension (L x W)	153.6 x 75mm
	PCB Thickness	1.6mm
	Number of Cu Layer	6-layers

3.1.3 术语解释

本章中的术语解释如下：

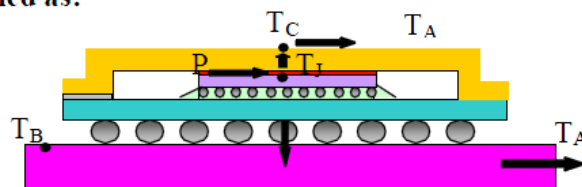
- T_J : The maximum junction temperature;
- T_A : The ambient or environment temperature;
- T_C : The maximum compound surface temperature;
- T_B : The maximum surface temperature of PCB bottom;
- P : Total input power;

The thermal parameter can be define as following

1. Junction to ambient thermal resistance, θ_{JA} , defined as:

$$\theta_{JA} = \frac{T_J - T_A}{P};$$

(1)



Thermal Dissipation of EHS-FCBGA

图 3-1 θ_{JA} 的定义

2. Junction to case thermal resistance, θ_{JC} , defined as:

$$\theta_{JC} = \frac{T_J - T_C}{P}; \quad (2)$$

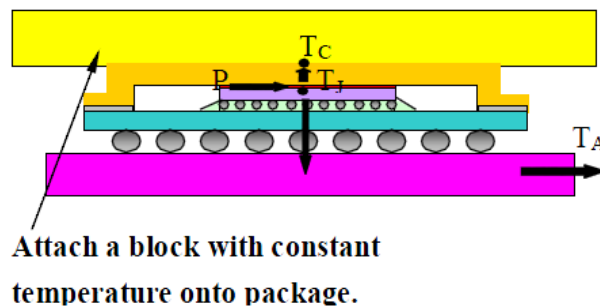


图 3-2 θ_{JC} 的定义

3. Junction to board thermal resistance, θ_{JB} , defined as:

$$\theta_{JB} = \frac{T_J - T_B}{P}; \quad (3)$$

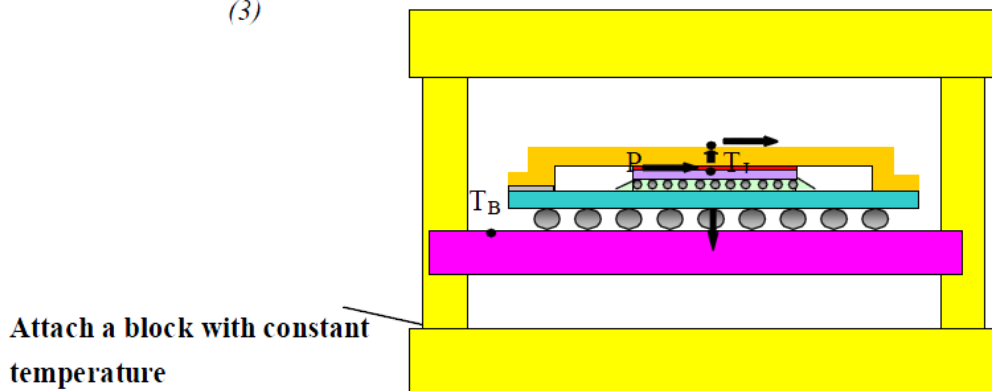


图 3-3 θ_{JB} 的定义

3.2 芯片内部热控制方式

3.2.1 温度控制策略

在Linux内核中，定义一套温控框架Linux Generic Thermal System Drivers，它可以通过不同的策略控制系统的温度，目前常用的有以下三种策略：

- Power_allocator：引入PID（比例-积分-微分）控制，根据当前温度，动态给各模块分配power，并将power转换为频率，从而达到根据温度限制频率的效果。
- Step_wise：根据当前温度，逐级限制频率；
- Userspace：不限制频率。

RK1808芯片内部有T-sensor检测片内温度，默认使用Power_allocator的策略，工作状态分以下几种情况：

- 当温度低于设定的温度值：
 - CPU频率不受thermal控制，根据系统负载调频；
- 当温度高于设定的温度值：
 - 温度趋势上升，开始降频；
 - 温度趋势下降，开始升频；
- 在降频后芯片依旧过温（比如散热不良）超过115度时软件会触发重启；当deadlock或其他引起重启不了，导致芯片超过120度，则会触发芯片内部的otp_out给PMIC直接关机或者通过CRU复位系统。具体行为动作请参考小节2.2.5.1。



注意

温度趋势是通过采集到的前后两个温度做对比得出的。设备温度未超过阈值时，每1秒采集一次温度；当设备温度超过阈值时，每20ms采集一次温度并限制频率。

3.2.2 温度控制配置

RK1808 SDK中可以针对CPU和NPU分别提供温控策略，具体配置请参考我司《Rockchip thermal 开发指南》。

Rockchip Confidential

4 ESD/EMI防护设计

4.1 概述

本章对于RK1808产品设计中的ESD/EMI防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

4.2 术语解释

本章中的术语解释如下：

- Electro-Static discharge (ESD)：静电释放；
- Electromagnetic Interference (EMI)：电磁干扰，包括传导干扰和辐射干扰两部分；

4.3 ESD 防护

- 保证合理的模具设计；端口和插接件需预留抗ESD器件；
- 在PCB布局时做好敏感器件的保护，隔离；
- 布局时尽量将RK1808芯片及核心部件放在PCB中间，不能放在PCB中间的需要保证屏蔽罩离板边至少2MM以上的距离，且要保证屏蔽罩能够可靠接地；
- 应该按功能模块及信号流向来布局PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对ESD器件，一般要求摆在源头，即ESD器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB表面一定要有良好的GND回路，各接插件在表层都要有较好的GND连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；

4.4 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理EMI就只能从干扰源跟耦合通道入手了。解决EMI问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接)等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对EMI材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则：若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如SDIO, RGB, CIF等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其SI许可范围。差分接口一般使用共模电感来抑制EMI；
- PCB上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- RK1808展频的能分模块使用，展频的程度需根据相关部分对信号的要求而定，具体措施见RK1808展频说明；
- EMI跟ESD对LAYOUT的要求有高度一致性，前述ESD的LAYOUT要求，大部分适用于EMI防护。另外增加下面的要求：
 - 尽量保证信号完整性；
 - 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位和时钟差，避免转化成引起EMI问题的共模信号；
 - 有插件电解电容等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线；

5 焊接工艺

5.1 概述

RK1808芯片为ROHS指令认证产品，即均是Lead-free产品。本章规范了客户端在用RK1808芯片SMT时各个时间段温度的基本设置，主要介绍客户在使用RK1808芯片回流焊时的工艺控制：主要是无铅工艺和混合工艺两类。

5.2 术语解释

本章中的术语解释如下：

- Lead-free：无铅工艺；
- Pb-free：无铅工艺，所有器件（主板、所有IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- Reflow profile：回流焊；
- Restriction of Hazardous Substances (ROHS)：关于限制在电子电器设备中使用某些有害成分的指令；
- Surface Mount Technology (SMT)：表面贴装技术；
- Sn-Pb：锡铅混合工艺，指使用有铅锡膏和既有无铅BGA也有有铅IC的混合焊接工艺；

5.3 回流焊要求

5.3.1 焊膏成分要求

Solder 合金与flux 比重为90%：10%；体积比为：50%：50%，锡膏冷藏温度2~10℃，使用前应常温下回温，回温时间3~4小时并做好时间记录。

刷板前锡膏需要搅拌，手工搅拌3~5分钟或机械搅拌3分钟，搅拌后呈自然垂流状。

5.3.2 SMT曲线

由于RK1808芯片均采用环保材料，建议使用Pb-Free工艺。下图回流焊曲线仅为JEDEC J-STD-020E工艺要求推荐值，客户端需根据实际生产情况进行调整。

Package Thickness	Volume mm ³ <350	Volume mm ³ ≥350
<2.5 mm	235 °C	220 °C
≥2.5 mm	220 °C	220 °C

图 5 - 1 锡-铅工艺器件封装体耐热标准

Package Thickness	Volume mm ³ <350	Volume mm ³ 350 - 2000	Volume mm ³ >2000
<1.6 mm	260 °C	260 °C	260 °C
1.6 mm - 2.5 mm	260 °C	250 °C	245 °C
>2.5 mm	250 °C	245 °C	245 °C

图 5 - 2 无铅工艺器件封装体耐热标准

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Preheat & Soak		
Temperature min (T_{smin})	100 °C	150 °C
Temperature max (T_{smax})	150 °C	200 °C
Time (T_{smin} to T_{smax}) (t_s)	60-120 seconds	60-120 seconds
Average ramp-up rate (T_{smax} to T_p)	3 °C/second max.	3 °C/second max.
Liquidous temperature (T_L)	183 °C	217 °C
Time at liquidous (t_L)	60-150 seconds	60-150 seconds
Peak package body temperature (T_p)*	See classification temp in Table 4.1	See classification temp in Table 4.2
Time (t_p)** within 5 °C of the specified classification temperature (T_c)	20** seconds	30** seconds
Average ramp-down rate (T_p to T_{smax})	6 °C/second max.	6 °C/second max.
Time 25 °C to peak temperature	6 minutes max.	8 minutes max.

* Tolerance for peak profile temperature (T_p) is defined as a supplier minimum and a user maximum.
** Tolerance for time at peak profile temperature (t_p) is defined as a supplier minimum and a user maximum.

图 5-3 回流焊曲线分类

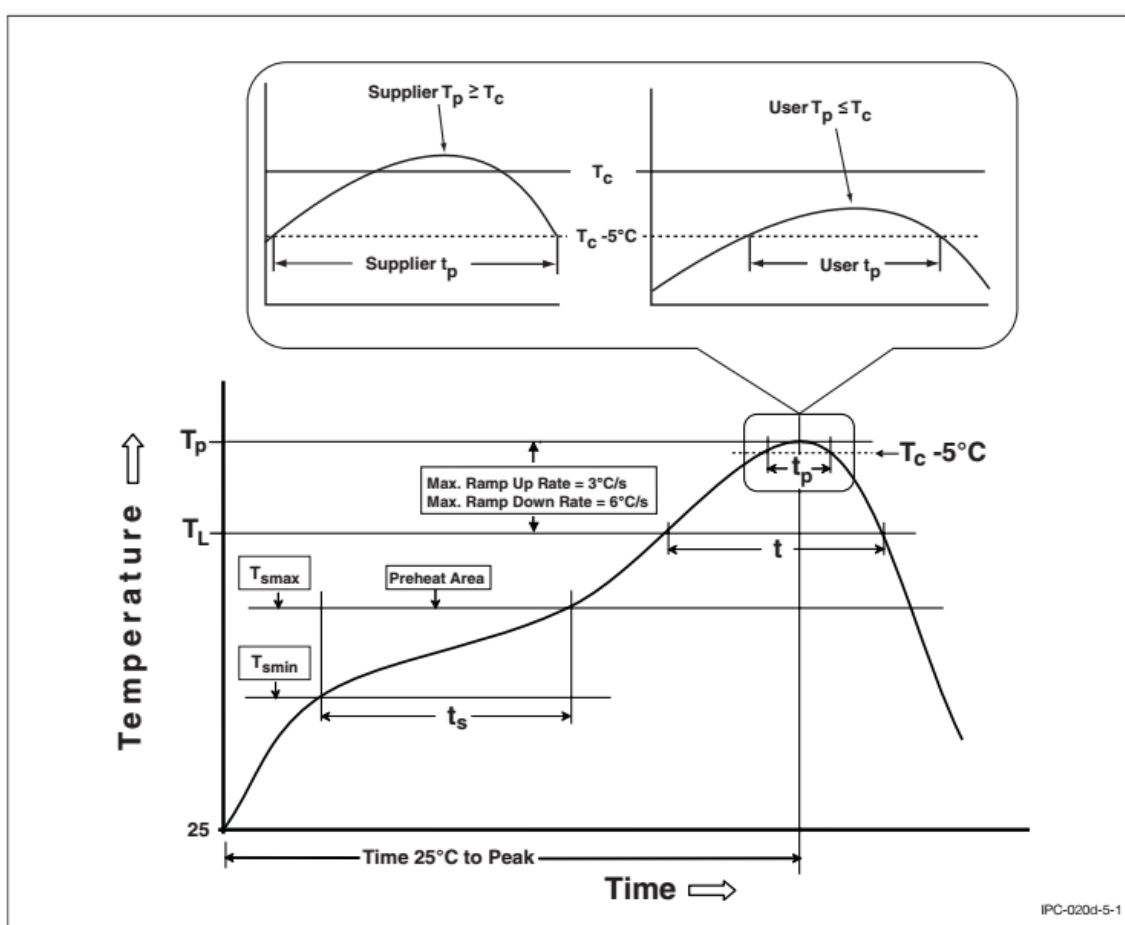


图 5-4 无铅回流焊接工艺曲线

5.3.3 SMT建议曲线

我司建议的SMT曲线如图5-5所示：

Step 1 Board Preheat	Step 2 Soak Time	Step 3 Peak Reflow & Time Above 220 °C	Step 4 Cool Down
Start with solder joint temp $\leq 40^{\circ}\text{C}$	After nozzle is lowered prior to peak reflow (Soak Time: Paste dependant; consult paste manufacturer)	Solder Joint Temp 230 – 250°C Above $\geq 217^{\circ}\text{C}$ 60 – 90 sec Max delta-t of solder joint temperature at peak reflow $\leq 10^{\circ}\text{C}$	Substrate MAX Temperature $\leq 260^{\circ}\text{C}$ Die Peak Temperature $\leq 300^{\circ}\text{C}$
Rising Ramp Rate 0.5 – 2.5° C/ Sec.	Solder Joint Temp: 200 to 220°C		Cooling Ramp Rate -0.5 to – 2.0°C/sec
Board Preheat Solder Joint Temp: 125 – 150°C	Critical Ramp Rate (205 to 215°C): 0.35 – 0.75°C/sec.	Peak Temp Range, and Time Above $\geq 217^{\circ}\text{C}$ spec's met.	PCB land/pad temperature needs to be at 100 – 130°C $\pm 5^{\circ}\text{C}$ when removing board from rework machine bottom heater at end of component removal operation or $\leq 80^{\circ}\text{C}$ when using stand alone PCB Pre-Heater for PCB land/pad site dress operation.
Preheat with bottom heater, before nozzle is lowered	Nozzle has lowered to reflow component	Nozzle is down during peak reflow	Nozzle raises to home position when solder joint reaches peak temp range

图 5 – 5 无铅回流焊接工艺建议曲线参数

6 包装和存放条件

6.1 概述

规定了RK1808的存放和使用规范，以确保产品的安全和正确使用。

6.2 术语解释

本章中的术语解释如下：

- Desiccant: 干燥剂，用于吸附潮气的一种材料；
- Floor life: 产品允许暴露在环境中的最长时间，从在拆开防潮包装到回流焊之前；
- Humidity Indicator Card (HIC): 湿度指示卡；
- Moisture Sensitivity Level (MSL): 潮敏等级；
- Moisture Barrier Bag (MBB): 防潮包装袋；
- Rebake: 重新烘烤；
- Solder Reflow: 回流焊；
- Shell Life: 存储期限；
- Storage environment: 存放环境；

6.3 防潮包装

产品的干燥真空包装材料如下：

- 干燥剂；
- 六点湿度卡；
- 防潮带，铝箔，银色不透明，带有湿敏等级的标识；



图 6-1 芯片干燥真空包装

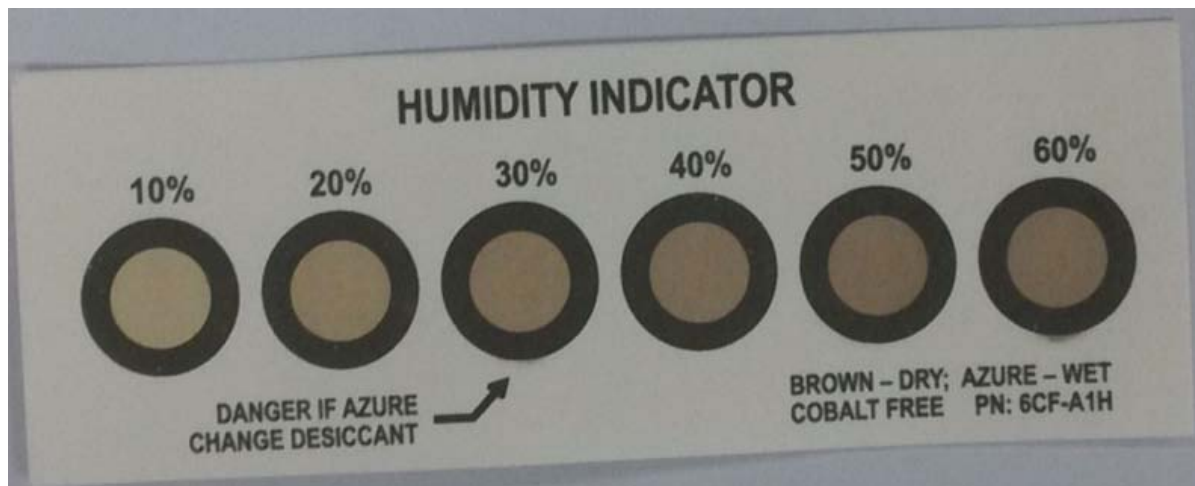


图 6-2 六点湿度卡

6.4 产品存放

6.4.1 存放环境

产品真空包装存放，在温度 $\leq 40^{\circ}\text{C}$ 且相对湿度 $< 90\%$ 时，保存期限可达12个月。

6.4.2 暴露时间

在环境条件 $< 30^{\circ}\text{C}$ 和湿度 60% 下，请参照如下表6-1。

RK1808芯片MSL等级为3，对湿度非常敏感。如果拆包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 6-1 暴露时间参照表 (MSL)

MSL等级	暴露时间
	工厂环境条件: $\leq 30^{\circ}\text{C} / 60\% \text{RH}$
1	Unlimited at $\leq 300^{\circ}\text{C} / 85\% \text{RH}$
2	1年
2a	4周
3	168小时
4	72小时
5	48小时
5a	24小时
6	Mandatory baky before use, must be reflowed within the time limit specified on the lable.

6.5 潮敏产品使用

RK1808芯片在包装袋被打开后，芯片回流焊前必须符合如下条件：

- 连续或累计暴露时间在168小时内，且工厂环境为 $\leq 30^{\circ}\text{C} / 60\% \text{RH}$ ；
- 保存在 $< 10\% \text{RH}$ 环境下的；

在下述情况下，芯片必须进行烘烤去除内部湿气，以避免回流焊时产生分层或爆米花问题：

- 湿度指示卡在 $23 \pm 5^{\circ}\text{C}$ 时， $> 10\%$ 的点已变色。（颜色变化请参考湿度指示卡标示）；
- 未符合2a或2b的规范；

芯片重新烘烤的时间请参考如下表6-2所示：

表 6-2 RK1808 Re-bake参考表

Package Body	MSL	High Temp Bake @ $125^{\circ}\text{C} +10/-0^{\circ}\text{C}$		Medium Temp Bake @ $90^{\circ}\text{C} +8/-0^{\circ}\text{C}$		Low Temp Bake @ $40^{\circ}\text{C} +5/-0^{\circ}\text{C}$	
		Exceeding Floor Life by $> 72\text{h}$	Exceeding Floor Life by $\leq 72\text{h}$	Exceeding Floor Life by $> 72\text{h}$	Exceeding Floor Life by $\leq 72\text{h}$	Exceeding Floor Life by $> 72\text{h}$	Exceeding Floor Life by

							≤ 72h
Thickness ≤1.4mm	3	9 hours	7 hours	33 hours	23 hours	13 days	9 days



注意

此表中显示的均是受潮后，必须的最小的烘烤时间。
重新烘烤优先选择低温烘烤。

Rockchip Confidential