

# RK3399Pro

## 硬件设计指南

发布版本：V1.1

发布日期：2019年09月12日

## 免责声明

您购买的产品、服务或特性等应受福州瑞芯微电子股份有限公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，福州瑞芯微电子股份有限公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为福州瑞芯微电子股份有限公司的商标，并归福州瑞芯微电子股份有限公司所有。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 版权所有 © 2019 福州瑞芯微电子股份有限公司

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

福州瑞芯微电子股份有限公司

Fuzhou Rockchips Semiconductor Limited Co., Ltd

地址：福建省福州市铜盘路软件园A区18号

网址：[www.rock-chips.com](http://www.rock-chips.com)

客户服务电话：+86-591-83991906

客户服务传真：+86-591-83951833

客户服务邮箱：[fae@rock-chips.com](mailto:fae@rock-chips.com)

# 前言

## 概述

本文档主要介绍RK3399Pro处理器硬件设计的要点及注意事项，旨在帮助RK客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求以及RK产品PCB设计要求进行。

## 芯片型号

本文档对应的芯片型号为：RK3399Pro

## 适用对象

本文档主要适用于以下工程师：

- 产品硬件开发工程师
- 技术支持工程师
- 测试工程师

## 更新记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

版本	修改人	修改日期	修改说明	备注
V1.0	林旭	2019.01.11	第一次正式版本发布	
V1.1	林旭	2019.09.12	修改文档中的“TF Card”为“Micro-SD Card”； 修改文档中的部分插图； 2.1.9 修改关于GPIO类型的数量描述； 2.2.3.4 修改RK809-3开机条件和关机条件的描述； 2.3.13 新增“CPU eFUSE电路”章节； 3.3.4 新增“NPU eFUSE电路”章节； 表2-9 修改PLL电源在待机状态下的描述；	

## 缩略语

缩略语包括文档中常用词组的简称：

DDR	Double Data Rate	双倍速率同步动态随机存储器
DP	DisplayPort	显示接口
eDP	Embedded DisplayPort	嵌入式数码音视频传输接口
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
GPU	Graphics Processing Unit	图形处理器
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
I <sup>2</sup> C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议 (IEEE 1149.1兼容)
LDO	Low Drop Out Linear Regulator	低压差线性稳压器
MAC	Media Access Control	以太网媒体接入控制器
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
NPU	Neural-network Process Units	神经元网络处理器
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
RK	Rockchip Electronics Co.,Ltd.	瑞芯微电子股份有限公司
SD Card	Secure Digital Memory Card	安全数码卡
SDIO	Secure Digital Input and Output Card	安全数字输入输出卡
SDMMC	Secure Digital Multi Media Card	安全数字多媒体存储卡
SPDIF	Sony/Philips Digital Interface Format	SONY、PHILIPS数字音频接口
SPI	Serial Peripheral Interface	串行外设接口
Type-C		USB3.0定义的一种接口标准
USB	Universal Serial Bus	通用串行总线
VR	Virtual Reality	虚拟现实

# 目录

前言 .....	3
概述 .....	3
芯片型号 .....	3
适用对象 .....	3
更新记录 .....	4
缩略语 .....	5
目录 .....	6
插图目录 .....	8
插表目录 .....	11
1 系统概述 .....	12
1.1 概述 .....	12
1.2 芯片框图 .....	13
1.3 应用框图 .....	14
1.3.1 AI BOX应用框图 .....	14
2 CPU 原理图设计建议 .....	15
2.1 CPU 最小系统设计 .....	15
2.1.1 CPU 时钟电路 .....	15
2.1.2 CPU 复位电路 .....	16
2.1.3 CPU 系统启动引导顺序 .....	16
2.1.4 CPU 系统初始化配置信号 .....	16
2.1.5 CPU JTAG Debug电路 .....	17
2.1.6 CPU DDR电路 .....	17
2.1.7 CPU eMMC电路 .....	19
2.1.8 CPU SPI电路 .....	21
2.1.9 CPU GPIO电路 .....	21
2.2 CPU 电源设计 .....	26
2.2.1 CPU 最小系统电源介绍 .....	26
2.2.2 CPU 电源设计建议 .....	26
2.2.3 RK809-3方案介绍 .....	33
2.2.4 其他 .....	37
2.2.5 CPU电源峰值电流表 .....	38
2.3 CPU 功能接口电路设计指南 .....	40
2.3.1 CPU 存储卡电路 .....	40
2.3.2 CPU 以太网口电路 .....	40
2.3.3 CPU USB电路 .....	44
2.3.4 CPU DP电路 .....	49
2.3.5 CPU 音频电路 .....	51
2.3.6 CPU 视频电路 .....	58
2.3.7 CPU 摄像头电路 .....	62
2.3.8 CPU ADC电路 .....	64
2.3.9 CPU SDIO/UART电路 .....	65
2.3.10 CPU UART Debug电路 .....	66
2.3.11 CPU 数字音频电路 .....	67
2.3.12 CPU PCIe电路 .....	68
2.3.13 CPU eFUSE电路 .....	70
3 NPU 原理图设计建议 .....	72
3.1 NPU 最小系统设计 .....	72
3.1.1 NPU 时钟电路 .....	72
3.1.2 NPU 复位电路 .....	72
3.1.3 NPU 系统启动引导顺序 .....	72
3.1.4 NPU 系统初始化配置信号 .....	73

3.1.5	NPU JTAG Debug电路.....	73
3.1.6	NPU DDR电路 .....	73
3.1.7	NPU SPI电路 .....	75
3.1.8	NPU GPIO电路 .....	76
3.2	NPU 电源设计 .....	78
3.2.1	NPU 最小系统电源介绍.....	78
3.2.2	NPU 电源设计建议.....	78
3.2.3	NPU 过温保护电路.....	83
3.2.4	NPU 电源峰值电流表.....	83
3.3	NPU 功能接口电路设计指南 .....	85
3.3.1	NPU USB电路 .....	85
3.3.2	NPU PCIe电路 .....	86
3.3.3	NPU UART电路 .....	86
3.3.4	NPU eFUSE电路 .....	87
4	热设计建议 .....	89
4.1	热仿真结果 .....	89
4.1.1	结果概要 .....	89
4.1.2	PCB描述 .....	89
4.1.3	术语解释 .....	89
4.2	芯片内部热控制方式 .....	90
4.2.1	温度控制策略 .....	90
4.2.2	温度控制配置 .....	91
5	ESD/EMI防护设计 .....	92
5.1	概述 .....	92
5.2	术语解释 .....	92
5.3	ESD防护 .....	92
5.4	EMI防护 .....	92
6	焊接工艺 .....	93
6.1	概述 .....	93
6.2	术语解释 .....	93
6.3	回流焊要求 .....	93
6.3.1	焊膏成分要求 .....	93
6.3.2	SMT曲线 .....	93
6.3.3	SMT建议曲线 .....	94
7	包装和存放条件 .....	95
7.1	概述 .....	95
7.2	术语解释 .....	95
7.3	防潮包装 .....	95
7.4	产品存放 .....	96
7.4.1	存放环境 .....	96
7.4.2	暴露时间 .....	96
7.5	潮敏产品使用 .....	96

## 插图目录

图 1-1 RK3399Pro 端侧AI设备方案应用.....	12
图 1-2 RK3399Pro 端侧AI网关/服务器方案应用.....	12
图 1-3 RK3399Pro 芯片框图 .....	13
图 1-4 RK3399Pro AI BOX应用框图 .....	14
图 2-1 RK3399Pro CPU晶体连接方式及器件参数.....	15
图 2-2 RK3399Pro CPU待机时钟输入 .....	15
图 2-3 RK3399Pro 复位输入 .....	16
图 2-4 RK3399Pro PMUIO2电源域电平配置管脚.....	16
图 2-5 RK3399Pro SDMMC0/JTAG复用控制管脚.....	16
图 2-6 RK3399Pro LPDDR3的拓扑结构图.....	18
图 2-7 DDR3 SDRAM上电时序 .....	19
图 2-8 LPDDR3 SDRAM上电时序 .....	19
图 2-9 LPDDR4 SDRAM上电时序 .....	19
图 2-10 RK3399Pro eMMC控制器上电时序.....	20
图 2-11 eMMC颗粒上下电时序 .....	20
图 2-12 RK3399Pro GPIO 1.8V only电源设置.....	23
图 2-13 RK3399Pro GPIO 3.3V only电源设置.....	23
图 2-14 RK3399Pro GPIO 1.8V/3.0V电源设置-1.8V模式.....	23
图 2-15 RK3399Pro GPIO 1.8V/3.0V电源设置-3.0V模式.....	24
图 2-16 RK3399Pro GPIO 1.8V/3.0V auto电源设置-3.0V模式.....	24
图 2-17 RK3399Pro GPIO 1.8V/3.0V auto电源设置-1.8V模式.....	25
图 2-18 RK3399Pro 待机电路方案 .....	26
图 2-19 RK3399Pro 芯片PLL电源 .....	27
图 2-20 RK3399Pro 芯片DDR PLL电源.....	27
图 2-21 RK3399Pro 芯片VDD_CPU电源.....	27
图 2-22 RK3399Pro 芯片VDD_CPU电源的去耦.....	28
图 2-23 RK3399Pro 芯片VDD_CPU_COM电源反馈.....	28
图 2-24 RK3399Pro 芯片VDD_GPU电源.....	29
图 2-25 RK3399Pro 芯片VDD_GPU电源的去耦.....	29
图 2-26 RK3399Pro 芯片VDD_GPU_COM电源反馈.....	29
图 2-27 RK3399Pro 芯片数字逻辑介绍.....	30
图 2-28 RK3399Pro 芯片逻辑电源 .....	30
图 2-29 RK3399Pro 芯片VDD_LOG电源.....	31
图 2-30 RK3399Pro 芯片逻辑电源的去耦.....	31
图 2-31 RK3399Pro 芯片DDR控制器电源.....	31
图 2-32 RK3399Pro LPDDR3 DRAM的VREF电源设计.....	32
图 2-33 RK3399Pro 芯片DDR控制器电源设计.....	32
图 2-34 RK3399Pro LPDDR3 DRAM的VREF电源设计.....	33
图 2-35 RK809-3 框图 .....	34
图 2-36 RK809-3 电源架构 .....	35
图 2-37 RK809-3 PWRON管脚 .....	37
图 2-38 RK3399Pro TSADC_INT_H过温保护输出.....	37
图 2-39 RK809-3 TSADC_INT_H过温保护输入.....	38
图 2-40 RK3399Pro PMIC_SLEEP输出 .....	38
图 2-41 RK817-1 PMIC_SLEEP输入 .....	38
图 2-42 RK3399Pro EVB峰值电流测试条件.....	39
图 2-43 RK3399Pro SDMMC模块电路 .....	40
图 2-44 千兆PHY工作时钟 .....	41
图 2-45 百兆PHY工作时钟 .....	41
图 2-46 百兆PHY工作时钟 .....	42
图 2-47 RK3399Pro MAC控制器复位 .....	42
图 2-48 RK3399Pro RGMII MDIO信号 .....	42



图 2-49 RK3399Pro RMII接口MAC_RXDV.....	44
图 2-50 RK3399Pro USB 2.0 PHY0 .....	44
图 2-51 RK3399Pro USB2.0 HOST0&HOST1&OTG1.....	44
图 2-52 RK3399Pro USB连接座 .....	45
图 2-53 RK3399Pro USB插入检测 .....	45
图 2-54 RK3399Pro USB20控制器参考电阻1.....	45
图 2-55 RK3399Pro USB20控制器参考电阻2.....	45
图 2-56 RK3399Pro USB控制器电源防浪涌.....	45
图 2-57 RK3399Pro USB预留共模电感 .....	46
图 2-58 RK3399Pro USB3.0 TYPEC_PORT0.....	47
图 2-59 RK3399Pro USB3.0 PHY .....	47
图 2-60 RK3399Pro USB30控制器参考电阻.....	48
图 2-61 USB Type-C接口 .....	49
图 2-62 USB Type-C转DP接口 .....	50
图 2-63 RK3399Pro I2S模块 .....	51
图 2-64 RK3399Pro I2S0模块 .....	52
图 2-65 RK3399Pro I2S0的8声道输入与2声道输出.....	52
图 2-66 RK3399Pro I2S0的2声道输入与8声道输出.....	52
图 2-67 RK3399Pro I2S1模块 .....	53
图 2-68 RK809-3 Codec电路 .....	54
图 2-69 RK3399Pro Headphone电路 .....	54
图 2-70 RK3399Pro Speaker电路 .....	55
图 2-71 RK3399Pro Speaker电路 .....	55
图 2-72 RK3399Pro 回采路径示意 .....	56
图 2-73 RK3399Pro 立体声回采 .....	56
图 2-74 RK3399Pro MIC电路 .....	57
图 2-75 RK3399Pro MIC电路 .....	57
图 2-76 RK3399Pro Analog MIC电路 .....	58
图 2-77 RK3399Pro 视频输出接口 .....	58
图 2-78 RK3399Pro eDP模块 .....	59
图 2-79 RK3399Pro HDMI模块 .....	59
图 2-80 HDMI CEC防倒灌电路 .....	60
图 2-81 HDMI DDC电平转换电路 .....	60
图 2-82 HDMI ESD电路 .....	61
图 2-83 RK3399Pro MIPI-DSI0模块 .....	61
图 2-84 RK3399Pro MIPI-DSI1模块 .....	62
图 2-85 RK3399Pro MIPI-DSI0控制器参考电阻.....	62
图 2-86 RK3399Pro MIPI-DSI1控制器参考电阻.....	62
图 2-87 RK3399Pro MIPI-DSI0供电 .....	62
图 2-88 RK3399Pro MIPI-DSI1供电 .....	62
图 2-89 RK3399Pro MIPI-CSI模块 .....	63
图 2-90 RK3399Pro MIPI-CSI0控制器参考电阻.....	63
图 2-91 RK3399Pro MIPI-CSI1控制器参考电阻.....	63
图 2-92 RK3399Pro MIPI-CSI0供电 .....	64
图 2-93 RK3399Pro MIPI-CSI0供电 .....	64
图 2-94 RK3399Pro CIF模块 .....	64
图 2-95 RK3399Pro SAR-ADC模块 .....	65
图 2-96 RK3399Pro SDIO/UART模块 .....	65
图 2-97 RK3399Pro UART2复用关系 .....	66
图 2-98 RK3399Pro 串口配置 .....	67
图 2-99 SPDIF使用光纤接口 .....	67
图 2-100 SPDIF使用同轴接口 .....	68
图 2-101 RK3399Pro PCIe模块 .....	69
图 2-102 PCIe JEDEC中的耦合电容放置需求.....	69

图 2-103 PCIe TX耦合电容 .....	70
图 2-104 RK3399Pro CPU eFUSE模块 .....	70
图 2-105 RK3399Pro CPU eFUSE供电 .....	71
图 3-1 RK3399Pro NPU 晶体连接方式及器件参数.....	72
图 3-2 RK3399Pro NPU 待机时钟输入 .....	72
图 3-3 RK3399Pro NPU 复位输入 .....	72
图 3-4 RK3399Pro NPU PMUIO2电源域电平配置管脚.....	73
图 3-5 RK3399Pro NPU LPDDR3的拓扑结构图.....	74
图 3-6 DDR3 SDRAM上电时序 .....	74
图 3-7 LPDDR3 SDRAM上电时序 .....	75
图 3-8 RK3399Pro NPU SPI控制器供电.....	75
图 3-9 RK3399Pro NPU GPIO 1.8V only电源设置.....	76
图 3-10 RK3399Pro NPU GPIO 1.8V/3.3V电源设置-1.8V模式.....	77
图 3-11 RK3399Pro NPU GPIO 1.8V/3.3V电源设置-3.3V模式.....	77
图 3-12 RK3399Pro NPU 待机电路方案.....	78
图 3-13 RK3399Pro NPU PLL电源 .....	79
图 3-14 RK3399Pro NPU VDD_CPU电源.....	79
图 3-15 RK3399Pro NPU VDD_CPU电源的去耦.....	80
图 3-16 RK3399Pro NPU VDD_CPU_COM电源反馈.....	80
图 3-17 RK3399Pro NPU 逻辑电源 .....	80
图 3-18 RK3399Pro NPU VDD_LOG电源.....	81
图 3-19 RK3399Pro NPU 逻辑电源的去耦.....	81
图 3-20 RK3399Pro NPU DDR控制器电源.....	81
图 3-21 RK3399Pro NPU LPDDR3 DRAM的VREF电源设计.....	82
图 3-22 RK3399Pro NPU LPDDR3 DRAM的VREF电源设计.....	82
图 3-23 RK3399Pro NPU TSADC SHUT_H过温保护输出.....	83
图 3-24 RK809-3 NPU_TSADCSHUT_H过温保护输入.....	83
图 3-25 RK3399Pro EVB峰值电流测试条件.....	84
图 3-26 RK3399Pro NPU USB模块 .....	85
图 3-27 RK3399Pro NPU USB插入检测.....	85
图 3-28 RK3399Pro NPU USB0控制器参考电阻.....	85
图 3-29 RK3399Pro NPU USB控制器电源防浪涌.....	85
图 3-30 RK3399Pro NPU USB预留共模电感.....	85
图 3-31 RK3399Pro NPU PCIe模块 .....	86
图 3-32 RK3399Pro NPU SDIO/UART模块.....	86
图 3-33 RK3399Pro NPU 串口配置 .....	87
图 2-34 RK3399Pro NPU eFUSE模块 .....	88
图 4-1 $\theta_{JA}$ 的定义 .....	89
图 4-2 $\theta_{JC}$ 的定义 .....	90
图 4-3 $\theta_{JB}$ 的定义 .....	90
图 6-1 回流焊曲线分类 .....	93
图 6-2 无铅工艺器件封装体耐热标准 .....	93
图 6-3 无铅回流焊接工艺曲线 .....	94
图 6-4 无铅回流焊接工艺建议曲线参数 .....	94
图 7-1 芯片干燥真空包装 .....	95
图 7-2 六点湿度卡 .....	96

## 插表目录

表 2-1 RK3399Pro CPU 24MHz时钟要求.....	15
表 2-2 RK3399Pro CPU 32.768KHz时钟要求.....	16
表 2-3 RK3399Pro 系统初始化配置信号描述.....	17
表 2-4 RK3399Pro JTAG Debug接口信号.....	17
表 2-5 RK3399Pro eMMC接口设计 .....	20
表 2-6 RK3399Pro SPI接口设计 .....	21
表 2-7 RK3399Pro GPIO驱动能力 .....	22
表 2-8 RK3399Pro GPIO电源脚描述 .....	22
表 2-9 RK3399Pro 内部PLL介绍 .....	27
表 2-10 RK3399Pro CPU峰值电流表 .....	39
表 2-11 RK3399Pro SDMMC接口设计 .....	40
表 2-12 RK3399Pro RGMII接口设计 .....	42
表 2-13 RK3399Pro RMII接口设计 .....	43
表 2-14 RK3399Pro USB2.0接口设计 .....	46
表 2-15 RK3399Pro USB3.0接口设计 .....	48
表 2-16 RK3399Pro DP接口设计 .....	49
表 2-17 USB全功能Type-C标准线缆 .....	50
表 2-18 RK3399Pro DP接口设计-芯片端.....	51
表 2-19 RK3399Pro DP接口设计-VR眼镜端.....	51
表 2-20 RK3399Pro I2S0接口设计 .....	52
表 2-21 RK3399Pro I2S1接口设计 .....	53
表 2-22 RK3399Pro SDIO接口设计 .....	65
表 2-23 RK3399Pro UART接口设计 .....	66
表 3-1 RK3399Pro NPU 32.768KHz时钟要求.....	72
表 3-2 RK3399Pro NPU 系统初始化配置信号描述.....	73
表 3-3 RK3399Pro NPU JTAG Debug接口信号.....	73
表 3-4 RK3399Pro NPU SPI接口设计 .....	75
表 3-5 RK3399Pro NPU GPIO驱动能力.....	76
表 3-6 RK3399Pro NPU GPIO电源脚描述.....	76
表 3-7 RK3399Pro NPU 峰值电流表 .....	84
表 3-8 RK3399Pro NPU USB2.0接口设计.....	86
表 3-9 RK3399Pro NPU UART接口设计.....	87
表 4-1 RK3399Pro 热阻仿真报告结果 .....	89
表 4-2 RK3399Pro 热阻仿真的PCB结构 .....	89
表 7-1 暴露时间参照表 (MSL) .....	96
表 7-2 RK3399Pro Re-bake参考表 .....	97

## 1 系统概述

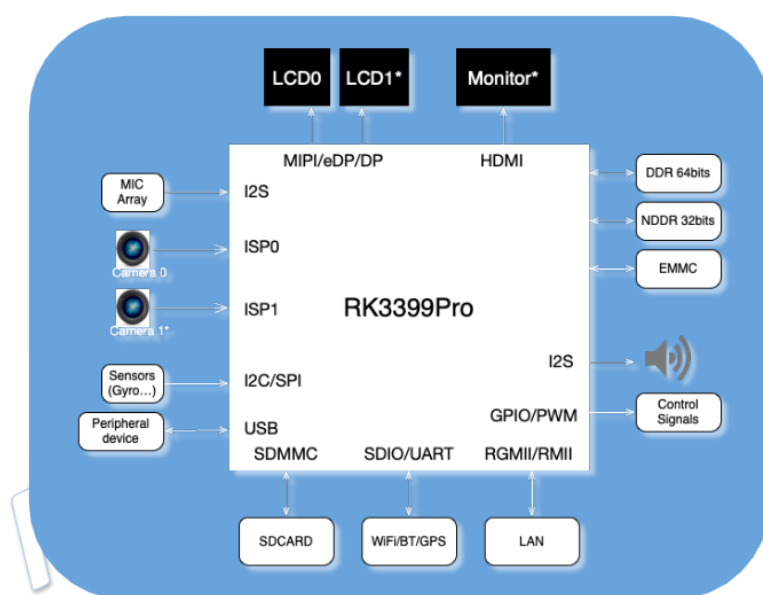
### 1.1 概述

RK3399Pro是一颗低功耗、高性能的处理器芯片，它基于ARM大、小核体系结构（Big.Little architecture），将双核Cortex-A72、四核Cortex-A53与独立的NEON协处理器集中在一起。

RK3399Pro还配备了一个强大的神经网络处理单元（NPU），AI算力强且接口丰富，还拥有支持当前主流的深度学习框架（如caffe、TensorFlow等）、支持主流层类型、易于添加自定义层、支持INT16/FP16等优点。

该芯片可广泛应用于计算、个人移动互联网设备等智能设备应用，如行业平板、智慧商显、智能支付、新零售和人脸识别等。

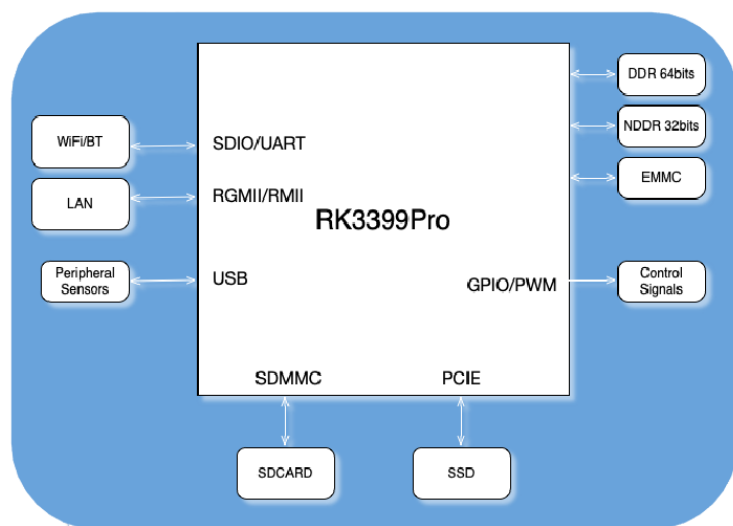
### RK3399Pro典型应用：端侧AI设备方案



行业平板  
智慧商显  
智能支付  
新零售  
人脸识别

图 1-1 RK3399Pro 端侧AI设备方案应用

### RK3399Pro典型应用：端侧AI网关/服务器方案



新零售边缘服务器  
商业智能分析盒子  
安防智能分析NVR

图 1-2 RK3399Pro 端侧AI网关/服务器方案应用

RK3399Pro内置的CPU和NPU，具有独立的供电、接口及逻辑单元，两者可以分别工作。CPU负责运行系统及应用，当需要关进行大量并行计算，如深度学习的场景时，NPU会介入工作。两者之间通过USB接口连接通信并交换计算数据。

因为CPU和NPU相互独立，所以RK3399Pro的设计建议会分作CPU和NPU两部分，设计时请参考对应的章节进行。

## 1.2 芯片框图

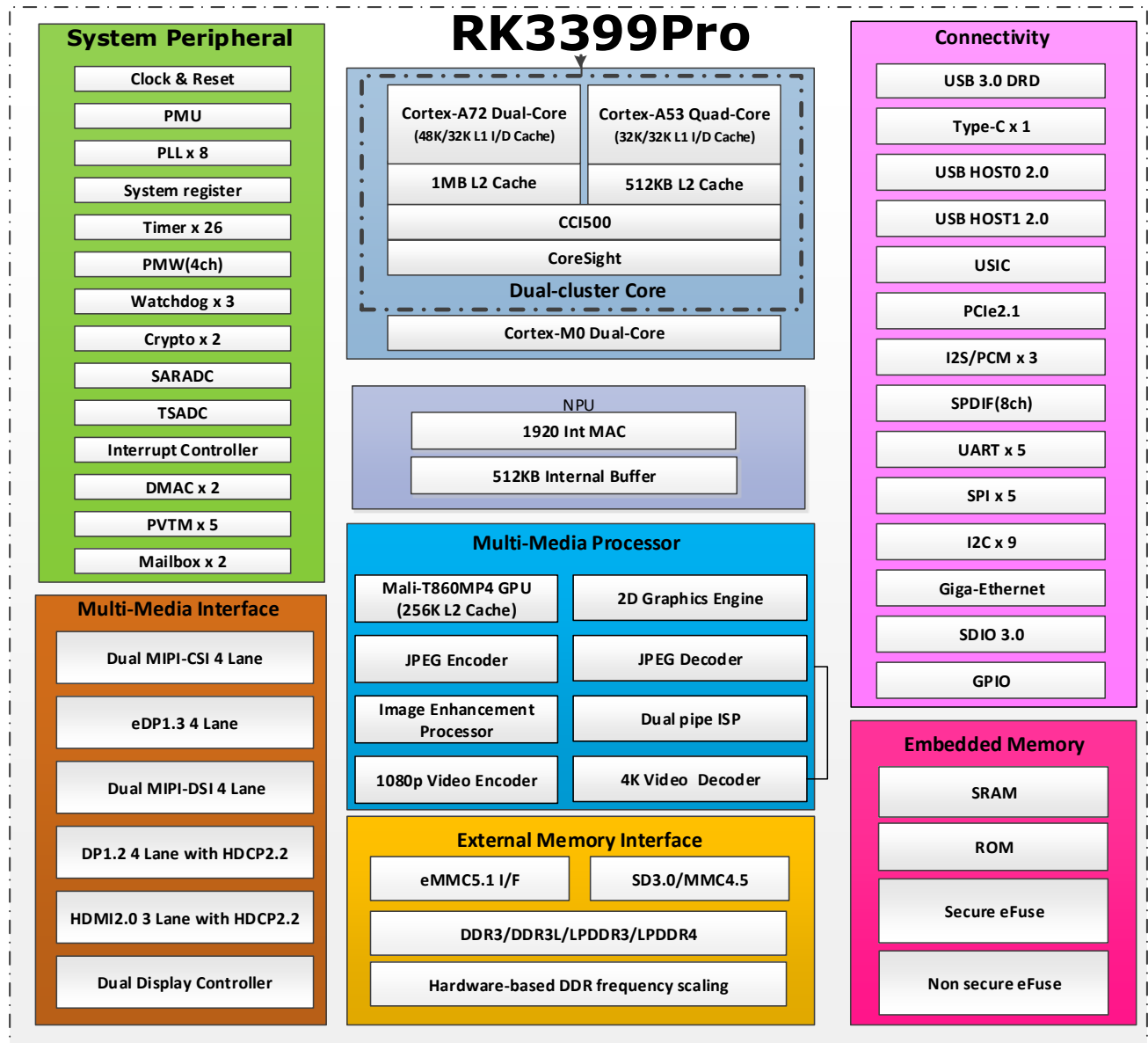


图 1 - 3 RK3399Pro 芯片框图

## 1.3 应用框图

### 1.3.1 AI BOX应用框图

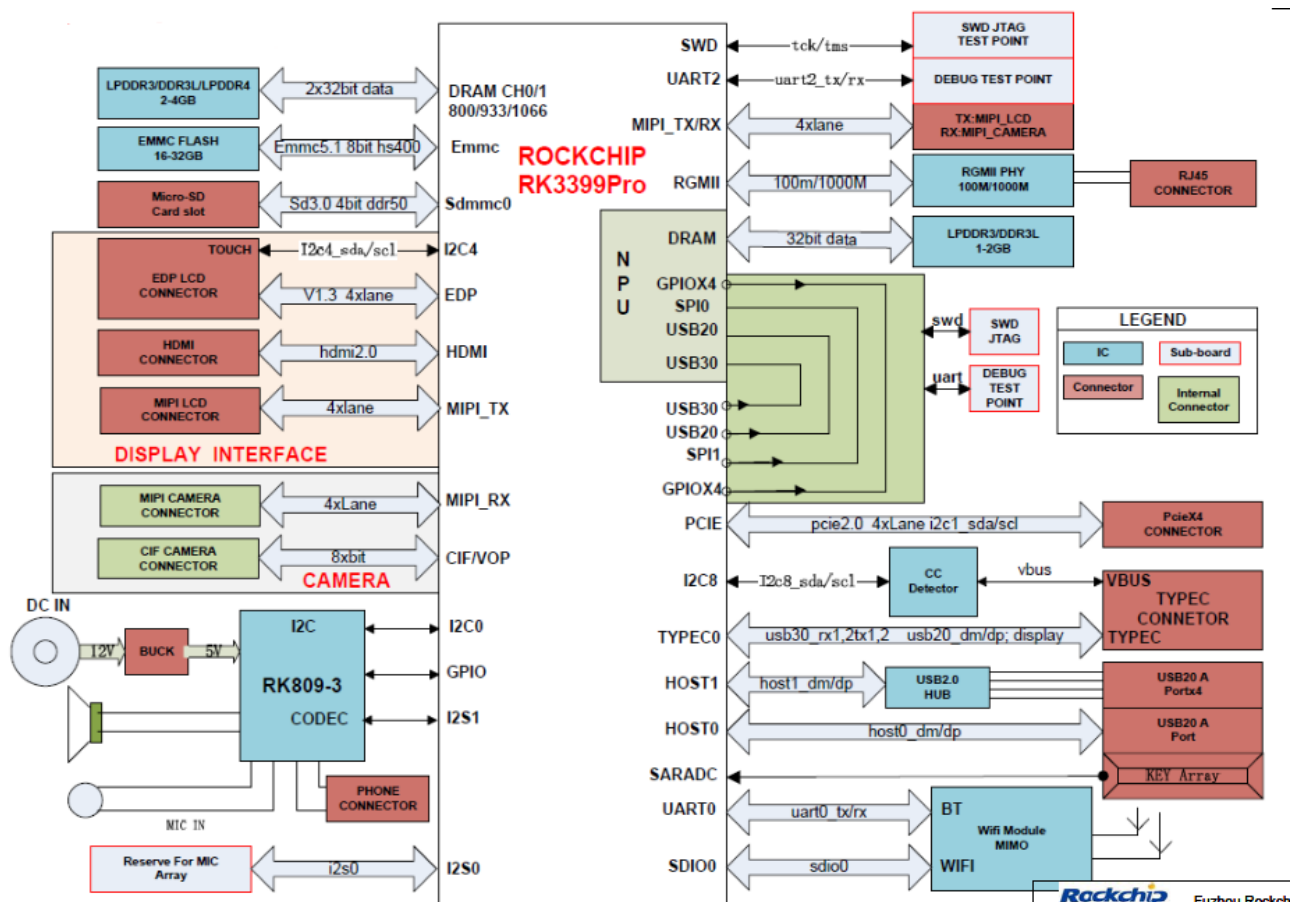


图 1 - 4 RK3399Pro AI BOX应用框图

以上是RK3399Pro芯片方案的应用框图，更详细的请参考我司发布的参考设计原理图。

## 2 CPU 原理图设计建议

### 2.1 CPU 最小系统设计

#### 2.1.1 CPU 时钟电路

RK3399Pro CPU内部的振荡器电路与外置的24MHz晶体一起构成系统时钟，如下图所示：

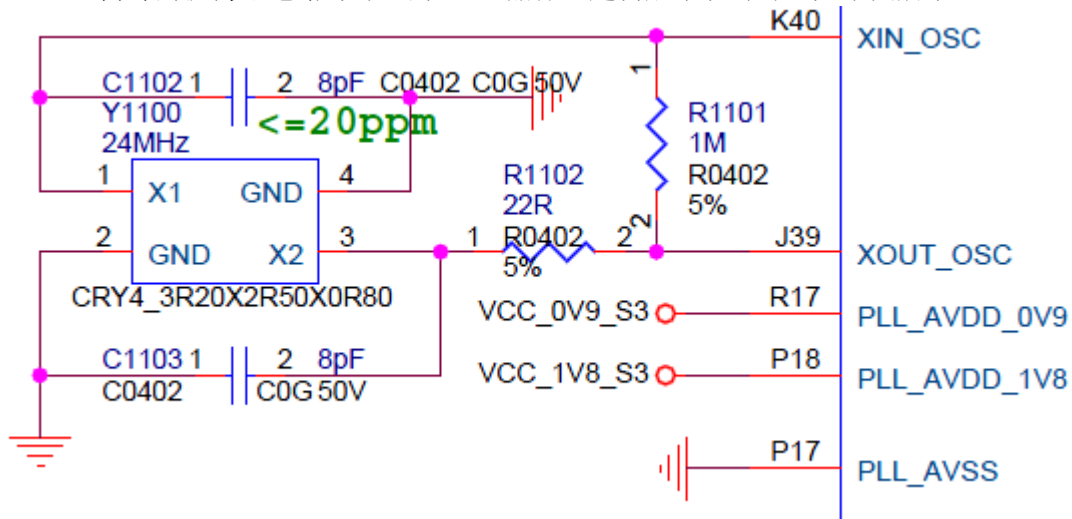


图 2 - 1 RK3399Pro CPU晶体连接方式及器件参数



#### 注意

晶体负载电容值需要根据晶体的实际标称负载电容值选择，8pF为我司选用晶体所对应容值，并不为通用值。

系统时钟也可以由外部有源晶体产生，通过XIN\_OSC也管脚输入，所需时钟参数如下表所示：

表 2 - 1 RK3399Pro CPU 24MHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	24.000000			MHz
频率偏差	+/-20			ppm
时钟幅度	0.9			V
工作温度	-20	70	°C	峰峰值
ESR	/	40	Ohm	

RK3399Pro的CPU在待机时，会将内部时钟源切换到外部输入的32.768KHz时钟，通过降低系统时钟频率来达到降低系统功耗的目的，此信号可以从PMIC或是外置RTC时钟源获取，时钟输入如下图所示：

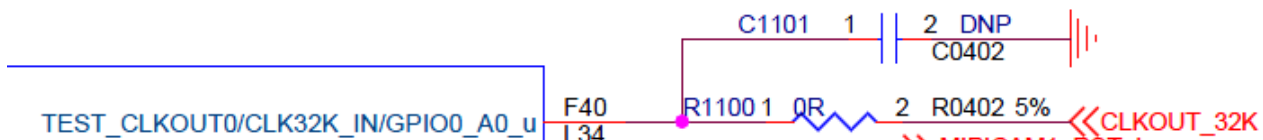


图 2 - 2 RK3399Pro CPU待机时钟输入

外置32.768kHz RTC时钟参数如下表所示：



表 2-2 RK3399Pro CPU 32.768KHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	32.768000			kHz
频率偏差	+/-30			ppm
时钟幅度	1.8			V
工作温度	-20	70	°C	峰峰值
占空比	50			%

### 2.1.2 CPU 复位电路

RK3399Pro CPU内部集成POR(Power on Reset)电路，低电平有效，为保证芯片稳定和正常工作，所需的最短复位时间为100个24MHz主时钟周期，即至少4us以上。复位信号通常会外接100nF电容，用来消除复位信号上的抖动，防止误触发复位。布局时，该电容请靠近芯片管脚放置。

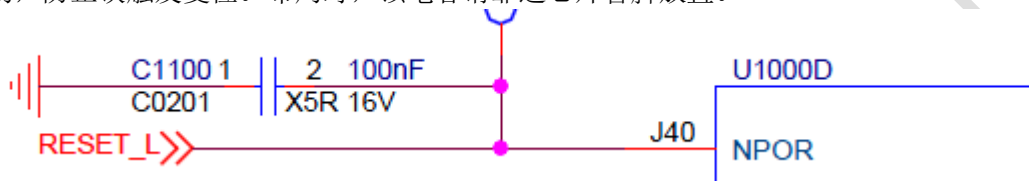


图 2-3 RK3399Pro 复位输入

### 2.1.3 CPU 系统启动引导顺序

RK3399Pro CPU的系统启动引导顺序优先级从高到低依次为：

- SPI FLASH
- eMMC FLASH
- SDMMC CARD

### 2.1.4 CPU 系统初始化配置信号

RK3399Pro CPU中有两个重要信号，需要在上电前配置完毕，分别是PMUIO2电源域的电平配置管脚以及JTAG/SDMMC复用功能控制管脚。

RK3399Pro CPU PMUIO2电源域的IO电平模式需要配置，是因为其属于PMU电源域，信号在系统启动阶段会用到。所以在系统启动的时候，必须通过硬件配置来指定默认电平模式，否则会工作异常。管脚如下图所示：



图 2-4 RK3399Pro PMUIO2电源域电平配置管脚

RK3399Pro CPU为减少IO引出，所以将JTAG功能与SDMMC功能复用在一起，通过管脚来切换输出方式，也需要在上电前配置好，否则UART/JTAG无输出会影响到引导阶段的调试，而SDMMC无输出会影响到SDMMC boot功能，管脚如下图所示：



图 2-5 RK3399Pro SDMMC0/JTAG复用控制管脚

这两个管脚的配置方式如下表所示：



表 2-3 RK3399Pro 系统初始化配置信号描述

信号名	内部上下拉	描述
PMUIO2_VOLSEL	下拉	PMUIO2电源域电平配置管脚，仅在上电时有效： 0: PMUIO2电源域电平模式为1.8V (default); 1: PMUIO2电源域电平模式为3.0V;
SDMMC0_DET	上拉	JTAG管脚复用控制管脚： 0: 识别为SD卡插入，SDMMC/JATG/UART管脚复用为SDMMC输出； 1: 未识别为SD卡插入，SDMMC/JATG/UART管脚复用为JTAG/UART输出 (default);

### 2.1.5 CPU JTAG Debug电路

RK3399Pro CPU的JTAG接口符合IEEE1149.1标准，PC可通过SWD模式（两线模式）连接DSTREAM仿真器，调试芯片内部的A53/A72 Core；或是通过连接J-link/U-link/Realview-ICE/DSTREAM仿真器，调试芯片内部的M0 Core。

在连接仿真器前，需要保证SDMMC0\_DET管脚处于高电平，否则无法进入JTAG调试模式。JTAG接口说明如下表所示：

表 2-4 RK3399Pro JTAG Debug接口信号

信号名	描述
APJTAG_TCK	AP JTAG时钟输入，建议下拉。
APJTAG_TMS	AP JTAG模式选择输入，建议上拉。
MCUJTAG_TCK	MCU JTAG时钟输入，建议下拉。
MCUJTAG_TMS	MCU JTAG模式选择输入，建议上拉。
PMCUJTAG_TCK	PMCU JTAG时钟输入，建议下拉。
PMCUJTAG_TMS	PMCU JTAG模式选择输入，建议上拉。

### 2.1.6 CPU DDR电路

#### ● 2.1.6.1 DDR控制器介绍

RK3399Pro CPU的DDR控制器接口支持JEDEC SDRAM标准接口，控制器有如下特点：

- 支持DDR3/DDR3L/LPDDR3/LPDDR4等标准；
- 提供两个32bit的DDR控制器接口，每个控制器接口分别提供2个DDR SDRAM片选、2个ODT、2组CKE，支持数据总线位宽32bit/16bit可配置，地址总线最大支持16bit；
- 支持的最大DDR容量为4GB；
- 支持Power Down、Self Refresh等低功耗模式；

#### ● 2.1.6.2 DDR拓扑结构与连接方式

以LPDDR3为例，RK3399Pro CPU的SDRAM拓扑结构如下图所示：

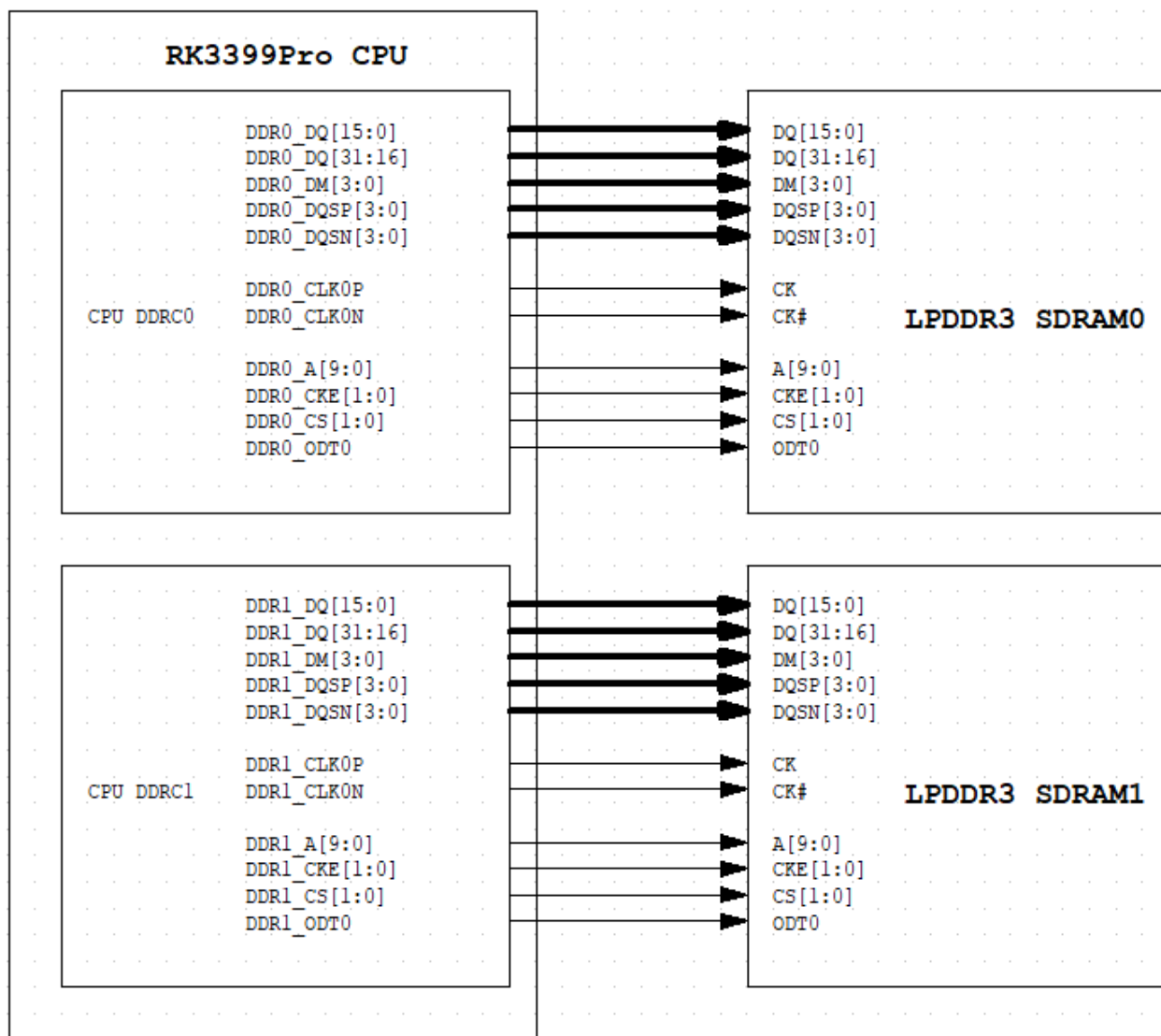


图 2-6 RK3399Pro LPDDR3的拓扑结构图

### ● 2.1.6.3 DDR上电时序要求

RK3399Pro CPU的DDR控制器包括三组电源：

- DDR\_VDD：DDR控制器的Core供电、接口I/O供电以及缓冲器电源；
- DDR\_CLK\_VDD：DDR控制器的时钟驱动器电源，与VCC\_DDR电平保持一致即可，建议从VCC\_DDR电源上引出并单独走线；
- DDRPLL\_AVDD\_OV9：DDR控制器的PLL模拟电源，为保证时钟电源干净，建议由LDO单独供电；

SDRAM颗粒包括两组电源，上电时序请参考各JEDEC标准：

DDR3 SDRAM的上电时序如下图所示：

1. Apply power (RESET# is recommended to be maintained below  $0.2 \times V_{DD}$ ; all other inputs may be undefined). RESET# needs to be maintained for minimum 200 us with stable power. CKE is pulled “Low” anytime before RESET# being de-asserted (min. time 10 ns). The power voltage ramp time between 300 mV to  $V_{DDmin}$  must be no greater than 200 ms; and during the ramp,  $V_{DD} > V_{DDQ}$  and  $(V_{DD} - V_{DDQ}) < 0.3$  volts.
  - VDD and VDDQ are driven from a single power converter output, AND
  - The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side. In addition, VTT is limited to 0.95 V max once power ramp is finished, AND
  - Vref tracks VDDQ/2.

OR

- Apply VDD without any slope reversal before or at the same time as VDDQ.
- Apply VDDQ without any slope reversal before or at the same time as VTT & Vref.
- The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side.

图 2-7 DDR3 SDRAM上电时序

LPDDR3 SDRAM的上电时序如下图所示：

After...	Applicable Conditions
Ta is reached	$V_{DD1}$ must be greater than $V_{DD2} - 200\text{mV}$
	$V_{DD1}$ and $V_{DD2}$ must be greater than $V_{DDCA} - 200\text{mV}$
	$V_{DD1}$ and $V_{DD2}$ must be greater than $V_{DDQ} - 200\text{mV}$
	$V_{Ref}$ must always be less than all other supply voltages

图 2-8 LPDDR3 SDRAM上电时序

LPDDR4 SDRAM的上电时序如下图所示：

After	Applicable Conditions
Ta is reached	VDD1 must be greater than VDD2
	VDD2 must be greater than VDDQ - 200mV

NOTE 1 Ta is the point when any power supply first reaches 300mV.

NOTE 2 Voltage ramp conditions in Table 4 apply between Ta and power-off (controlled or uncontrolled).

NOTE 3 Tb is the point at which all supply and reference voltages are within their defined ranges.

NOTE 4 Power ramp duration tINIT0 (Tb-Ta) must not exceed 20ms.

NOTE 5 The voltage difference between any of Vss and Vssq pins must not exceed 100mV.

图 2-9 LPDDR4 SDRAM上电时序

#### ● 2.1.6.4 DDR支持的型号列表

RK3399Pro DDR接口DDR3/LPDDR3/LPDDR4最高工作频率支持到800MHz，支持器件请参考瑞芯微电子《RK DDR Support List》文档，该文档可于瑞芯微电子的redmine平台下载：

[https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s\\_pctim\\_aiomsg](https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg)

#### 2.1.7 CPU eMMC电路

##### ● 2.1.7.1 eMMC控制器介绍

RK3399Pro eMMC接口支持eMMC 5.1, 并兼容4.41、4.51、5.0协议的器件, 控制器有如下特点:

- 支持单通道eMMC颗粒;
- 支持1-bit, 4-bit和8-bit三种数据总线宽度;
- 支持eMMC 5.1接口协议, 支持HS400工作模式;

#### ● 2.1.7.2 eMMC拓扑结构与连接方式

eMMC接口支持接口上下拉和匹配设计推荐如下表所示:

表 2-5 RK3399Pro eMMC接口设计

信号	内部上下拉	连接方式	描述 (芯片端)
eMMC_DQ[7:0]	上拉	直连	eMMC数据发送/接收
eMMC_CLK	上拉	串联22ohm电阻	eMMC时钟发送
eMMC_CMD	上拉	直连	eMMC命令发送/接收
eMMC_STRB	下拉	串联22ohm电阻	HS400模式下, eMMC时钟接收 软件配置内部下拉, 无需外部下拉电阻。

#### ● 2.1.7.3 eMMC上电时序要求

RK3399Pro芯片eMMC控制器包括两组电源:

- VCCOV9\_EMMC: eMMC控制器的Core电源;

- VCC1V8\_EMMC: eMMC控制器的I/O电源;

RK3399Pro芯片eMMC控制器电源的上电时序请参考下图:

- VCCOV9\_EMMC与VCC1V8\_EMMC可以同时上电, 但是从电源ESD结构的角度建议低压电源先上电, 即VCCOV9\_EMMC比VCC1V8\_EMMC早上电;



图 2-10 RK3399Pro eMMC控制器上电时序

eMMC颗粒有两组电源, 上电时序请参考JEDEC标准:

- VCC与VCCQ在上电时序上没有先后要求;
- VCC与VCCQ必须在RK3399Pro的CMD命令发出前上电, 并保持稳定的工作电压;
- 在颗粒进入睡眠模式后, RK3399Pro可以关断VCC电源以降低功耗;
- 在颗粒从睡眠模式被唤醒前, VCC电源必须先上电, 并保持稳定的工作电压;

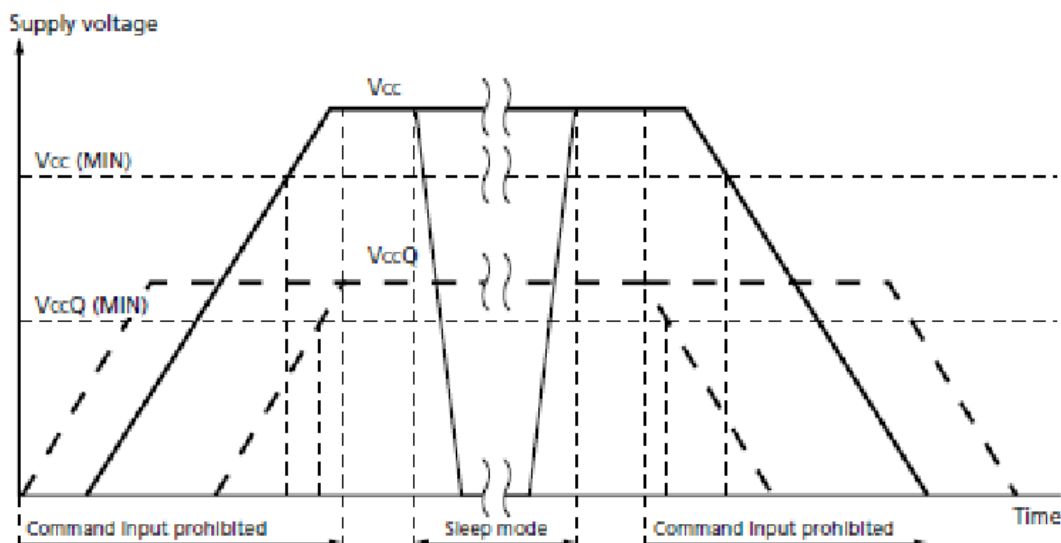


图 2-11 eMMC颗粒上下电时序

#### ● 2.1.7.4 eMMC支持的型号列表

RK3399Pro eMMC接口支持器件请参考瑞芯微电子《RK eMMCSupportList》文档，该文档可于瑞芯微电子的redmine平台下载：

[https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s\\_pctim\\_aiomsg](https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg)

### 2.1.8 CPU SPI电路

#### ● 2.1.8.1 SPI控制器介绍

RK3399Pro CPU有6个SPI控制器，可用来连接SPI设备，其中的SPI1被用来做为boot使用。在Netbook类型应用中，使用SPI Flash保存Bios代码，并引导系统启动。因为Spi Boot的引导优先级最高，所以如果不是Netbook的应用，请勿在SPI1控制器上连接存储设备以免造成系统引导异常。

#### ● 2.1.8.2 SPI拓扑结构与连接方式

SPI接口上下拉和匹配设计推荐如下表所示：

表 2-6 RK3399Pro SPI接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SPI1_TXD (MOSI)	上拉	直连	SPI数据发送
SPI1_RXD (MISO)	上拉	直连	SPI数据接收
SPI1_CLK	上拉	串联22ohm电阻	SPI时钟发送
SPI1_CSn0	上拉	直连	SPI片选信号

#### ● 2.1.8.3 SPI上电时序要求

SPI控制器的上电时序要求请遵守GPIO电源域的上电时序要求。

SPI Flash颗粒只有一路电源，所以对上电时序没有要求。

### 2.1.9 CPU GPIO电路

在RK3399Pro的CPU中，有四种GPIO类型：

- 1.8V only, 固定配置 1.8V 电平；
- 3.3V only, 固定配置 3.3V 电平；
- 1.8V/3.0V, 可配置 1.8V 及 3.0V 电平；
- 1.8V/3.0V auto, 可自动配置 1.8V 及 3.0V 电平；

#### ● 2.1.9.1 GPIO驱动能力

RK3399Pro的CPU中，根据不同的GPIO类型，提供了不同的驱动能力以及工作频率范围：

表 2-7 RK3399Pro GPIO驱动能力

电源域	GPIO类型	I/O频率 @1.8V	I/O频率 @3.3V	支持驱动能力类型
PMUI01	1.8V only	150MHz	N/A	5mA, 10mA, 15mA, 20mA
API03	1.8V only	150MHz	N/A	5mA, 10mA, 15mA, 20mA
API01	3.3V only	N/A	125MHz	4mA, 7mA, 10mA, 13mA, 16mA, 19mA, 22mA, 26mA
PMUI02	1.8V/3.0V	150MHz	50MHz	3mA, 6mA, 9mA, 12mA
API02	1.8V/3.0V	150MHz	50MHz	3mA, 6mA, 9mA, 12mA
API04	1.8V/3.0V	150MHz	50MHz	3mA, 6mA, 9mA, 12mA
API05	1.8V/3.0V	150MHz	50MHz	3mA, 6mA, 9mA, 12mA
SDMMC0	1.8V/3.0V auto	150MHz	50MHz	4mA, 6mA, 8mA, 10mA, 12mA, 14mA, 16mA, 18mA

其中，以下两类GPIO默认驱动强度为第二档：

- 用于boot引导的IO，如spi1, sdmmc0：
  - Pin F37: GPIO1\_A7/SPI1\_RXD/UART4\_RX;
  - Pin B39: GPIO1\_B0/SPI1\_TXD/UART4\_TX;
  - Pin G36: GPIO1\_B1/SPI1\_CLK/PMCU\_JTAG\_TCK;
  - Pin H35: GPIO1\_B2/SPI1\_CS0/PMCU\_JTAG\_TMS;
  - Pin P32: GPIO4\_B0/SDMMC0\_D0/UART2A\_RX;
  - Pin P31: GPIO4\_B1/SDMMC0\_D1/UART2A\_TX;
  - Pin M34: GPIO4\_B2/SDMMC0\_D2/APJTAG\_TCK;
  - Pin H39: GPIO4\_B3/SDMMC0\_D3/APJTAG\_TMS;
  - Pin G40: GPIO4\_B4/SDMMC0\_CLKOUT/MCUJTAG\_TCK;
  - Pin H40: GPIO4\_B5/SDMMC0\_CMD/MCUJTAG\_TMS;
- 用于调试的IO，如jtag：
  - Pin J32: GPIO1\_C6/TCPD\_VBUS\_SOURCE0;
  - Pin K32: GPIO1\_C7/TCPD\_VBUS\_SOURCE1;
  - Pin D36: GPIO1\_D0/TCPD\_VBUS\_SOURCE2;

除了以上的两类GPIO，其他所有的GPIO默认驱动强度都为第一档，请根据实际需求在软件中调整。

## ● 2.1.9.2 GPIO电源

GPIO电源域的电脚描述如下：

表 2-8 RK3399Pro GPIO电源脚描述

电源域	GPIO类型	管脚名	描述
PMUI01	1.8V only	PMUI01_VDD_1V8	1.8V power for this domain (group of) GPIO.
API03	1.8V only	API03_VDD_1V8	1.8V power for this domain (group of) GPIO.
API01	3.3V only	API01_VDD	3.3V power for this domain (group of) GPIO.
		API01_VDDPST	1.8V Post drive.
PMUI02	1.8V/3.0V	PMUI02_VDD	1.8V or 3.0V power for this domain (group of) GPIO.
		PMUI02_VDDPST	1.8V or 1.5V post drive for this domain (group of) GPIO.
API02	1.8V/3.0V	API02_VDD	1.8V or 3.0V power for this domain (group of) GPIO.
		API02_VDDPST	1.8V or 1.5V post drive for this domain (group of) GPIO.
API04	1.8V/3.0V	API04_VDD	1.8V or 3.0V power for this domain (group of) GPIO.
		API04_VDDPST	1.8V or 1.5V post drive for this domain (group of) GPIO.
API05	1.8V/3.0V	API05_VDD	1.8V or 3.0V power for this domain (group of) GPIO.
		API05_VDDPST	1.8V or 1.5V post drive for this domain (group of) GPIO.
SDMMC0	1.8V/3.0V auto	SDMMC0_VDD	1.8V or 3.0V power for this domain (group of) GPIO.
		SDMMC0_VDDPST	Internal post drive for this domain (group of) GPIO.

对于不同的应用，请遵守以下电源规则：

- 1.8V only (PMUI01 和 API03 电源域)

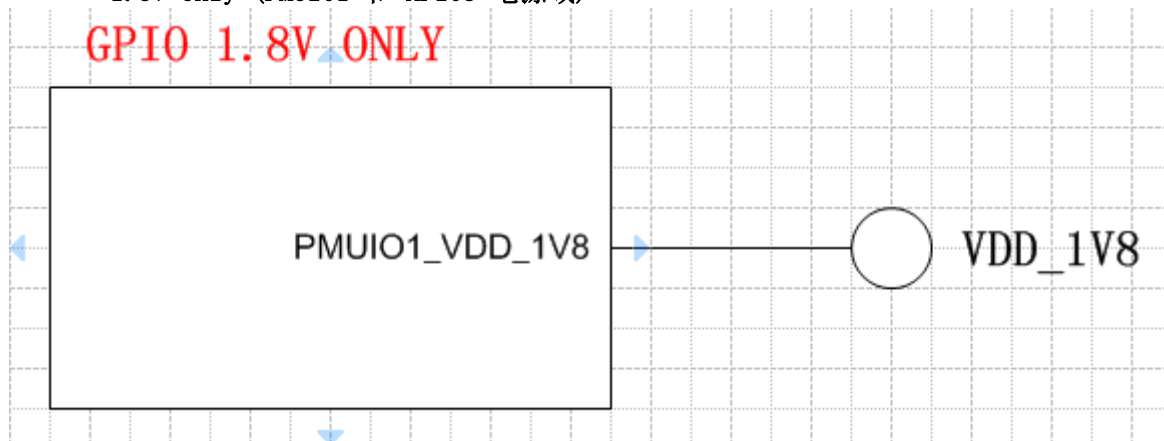


图 2 - 12 RK3399Pro GPIO 1.8V only电源设置

- 3.3V only (API01电源域)

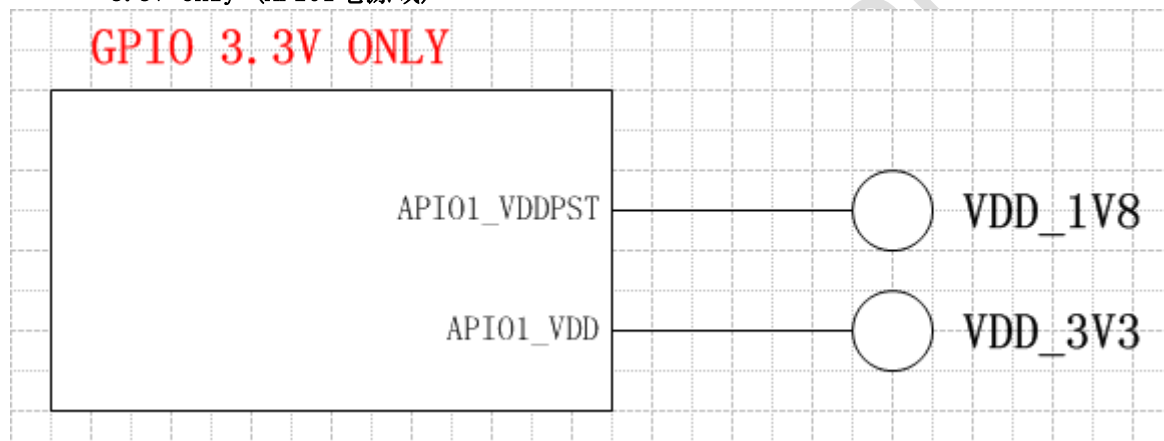


图 2 - 13 RK3399Pro GPIO 3.3V only电源设置

- 1.8V/3.0V at 1.8V mode (PMUI02、API02、API04和API05电源域)

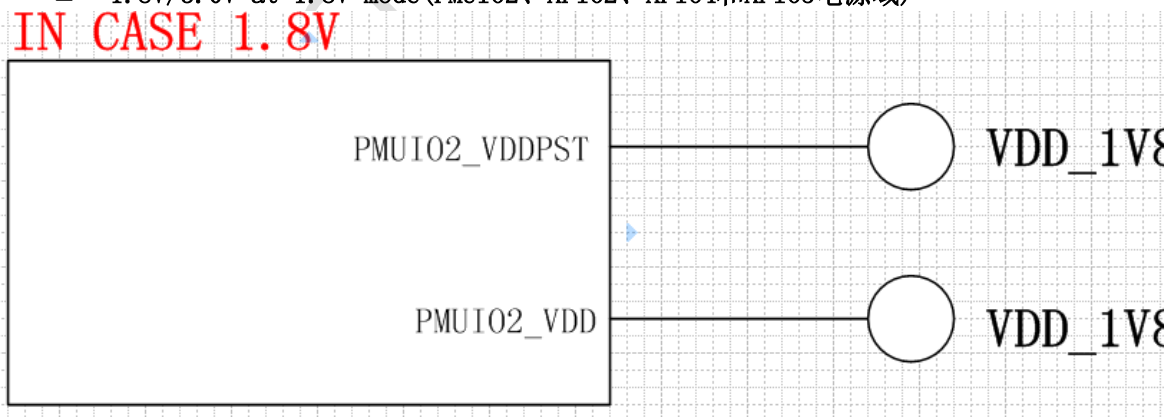


图 2 - 14 RK3399Pro GPIO 1.8V/3.0V电源设置-1.8V模式

- 1.8V/3.0V at 3.0V mode (PMUI02、API02、API04和API05电源域)



## IN CASE 3V0

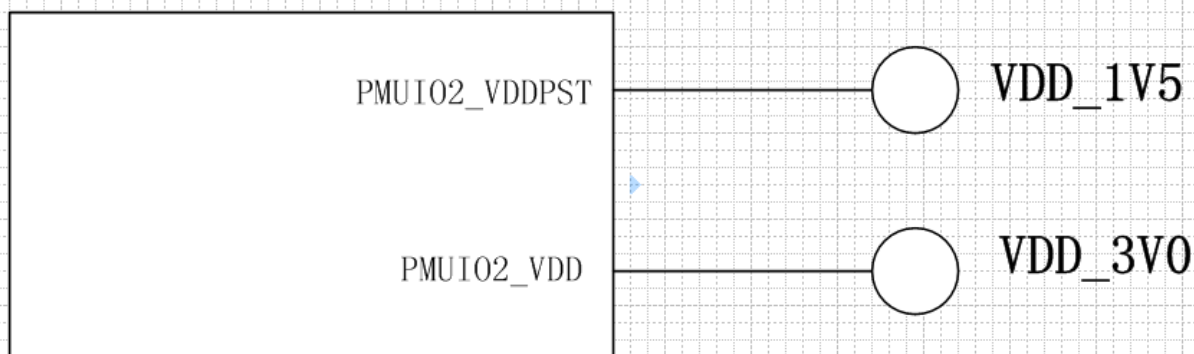


图 2-15 RK3399Pro GPIO 1.8V/3.0V电源设置-3.0V模式

■ 1.8V/3.0V auto (SDMMC0电源域)

对于Micro-SD卡来说，卡端总是使用3.0V供电，而RK3399Pro端Micro-SD卡接口电平VDD默认为3.0V。当插入Micro-SD卡时，SDMMC0的数据和IO信号的通信是基于3.0V的VDD电平。经过通信协商，如果Micro-SD卡是SD 3.0存储卡，可以支持UHS-I高速协议，则RK3399Pro通过调节PMIC输出，调整Micro-SD卡接口电平VDD为1.8V。

RK3399Pro内置的VDDPST生成电路如下图所示，可见SDMMC内部有一个LDO以及一个电子开关。当SDMMC工作在3.0V模式，LDO工作并生成1.5V的VDDPST电压，电子开关不工作。当SDMMC工作在1.8V模式，LDO不工作，VDDPST工作所需的1.8V电压由SDMMC0\_VDD通过电子开关提供。

LDO以及电子开关间的选择切换由RK3399Pro来自动控制，硬件上只需要在SDMMC0\_VDDPST外接一个1uF去耦电容即可。

## IN CASE 3V0

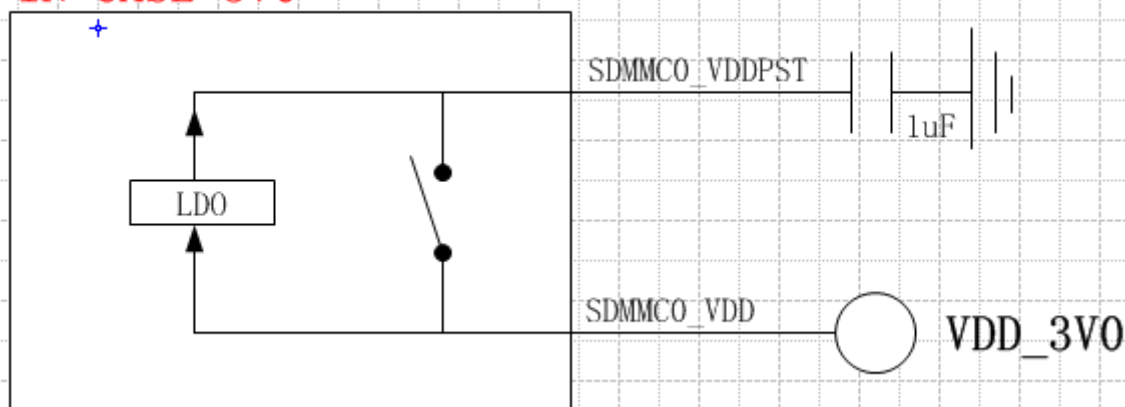


图 2-16 RK3399Pro GPIO 1.8V/3.0V auto电源设置-3.0V模式

## IN CASE 1V8

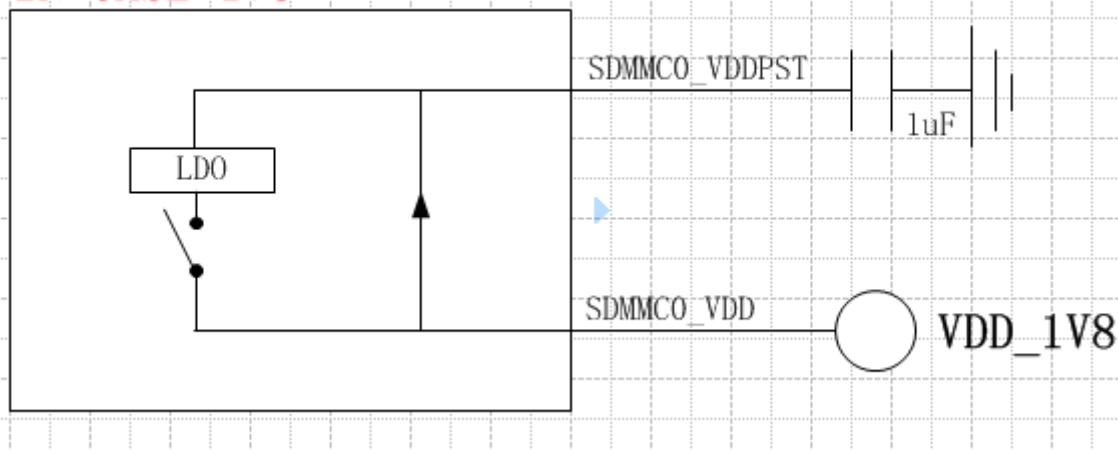




图 2 - 17 RK3399Pro GPIO 1.8V/3.0V auto电源设置-1.8V模式

Rockchip Confidential

## 2.2 CPU 电源设计

### 2.2.1 CPU 最小系统电源介绍

#### ● 2.2.1.1 电源需求

- PLL: PLL\_AVDD\_0V9、PLL\_AVDD\_1V8、PMU\_VDD\_0V9、PMU\_VDD\_1V8、DDRxPLL\_AVDD\_0V9
- CPU: VDD\_CPU\_L、VDD\_CPU\_B
- GPU: VDD\_GPU
- LOGIC: VDD\_LOG、VDD\_CENTER
- DDR: VCC\_DDR、VCC\_DDRC
- GPIO: PMUIO1\_VDD\_1V8

#### ● 2.2.1.2 上电时序

理论上遵循同一模块低压先上、高压后上；相同模块相同电压一起上电原则，不同模块间无时序要求。

推荐的上电时序参考如下：

VDD\_LOG--->VDD\_CENTER--->PLL\_AVDD\_0V9&PMU\_VDD\_0V9--->PLL\_AVDD\_1V8&PMU\_VDD\_1V8&PMUIO1\_VDD\_1V8--->VCC\_DDR&VCC\_DDRC--->VDD\_GPU&VCC\_CPU\_B--->VCC\_CPU\_L

### 2.2.2 CPU 电源设计建议

#### ● 2.2.2.1 待机电路方案

RK3399Pro板级系统采用待机方案，系统分为常供电区和待机掉电区，两部分独立供电，如下图所示：

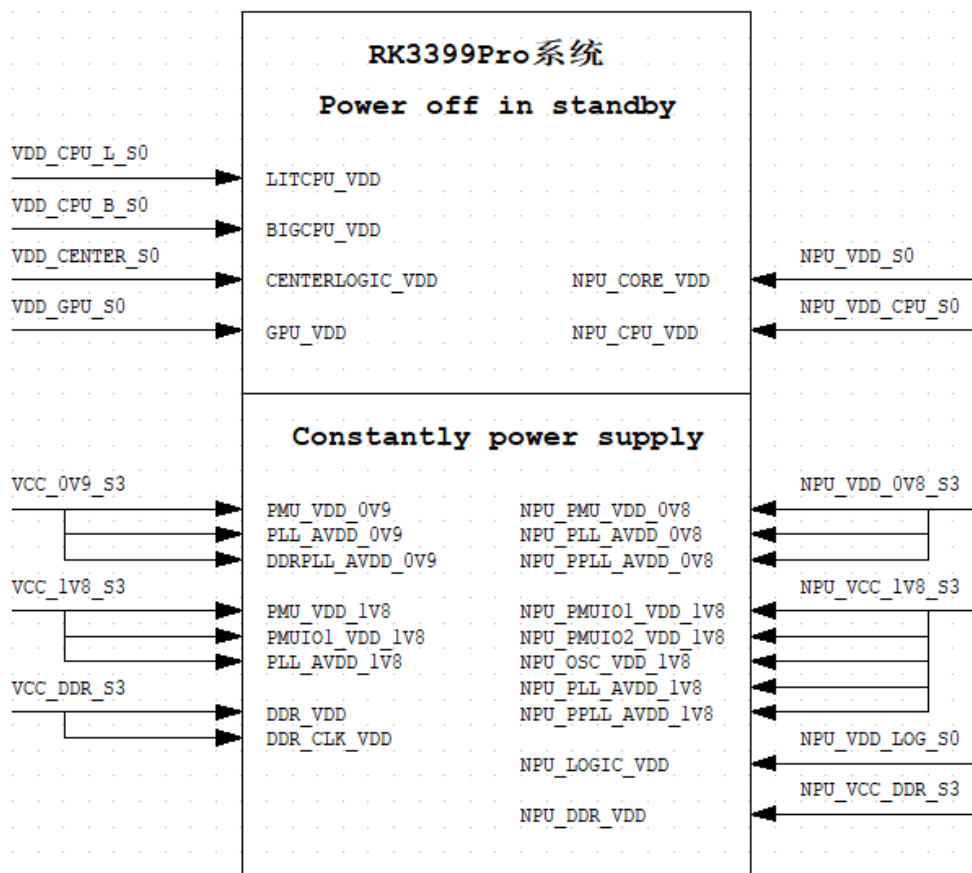


图 2-18 RK3399Pro 待机电路方案

待机掉电区电源通过PMIC控制各路独立电源关断，并通过PMIC\_SLEEP\_H控制其他电源在待机状态

下关断供电。

常供电区电源由电源芯片直接提供，在待机状态下至少应保留如下四组电源不关断：

- DDR: VCC\_DDR、DDR\_CLK\_VDD，为DDR自刷新提供电源；
- GPIO: PMUI01\_VDD\_1V8，为PMUI01电源域维持输出状态及中断响应提供IO电源；
- LOGIC: PMU\_VDD\_OV9，为PMUI01电源域的PLL工作提供电源；
- PLL: DDRPLL\_AVDD\_OV9、PLL\_AVDD\_OV9、PLL\_AVDD\_1V8、PMU\_VDD\_1V8，为PMUI01电源域的PLL以及CPU OSC工作提供电源；

### ● 2.2.2.2 PLL电源

RK3399Pro芯片CPU内部共有10个PLL，分配如下：

表 2-9 RK3399Pro 内部PLL介绍

	数量	电源	待机状态
PMU/OSC	1	PMU_VDD_OV9、PMU_VDD_1V8	不可关断电源
DDR控制器	2	DDR0PLL_AVDD_OV9、DDR1PLL_AVDD_OV9	不可关断电源
芯片内各模块	7	PLL_AVDD_OV9, PLL_AVDD_1V8	不可关断电源

电源上建议使用LDO为PLL单独供电，特别是DDR工作频率较高，稳定的PLL电源有助于提升高频下的工作稳定性，且去耦电容应靠近管脚摆放。

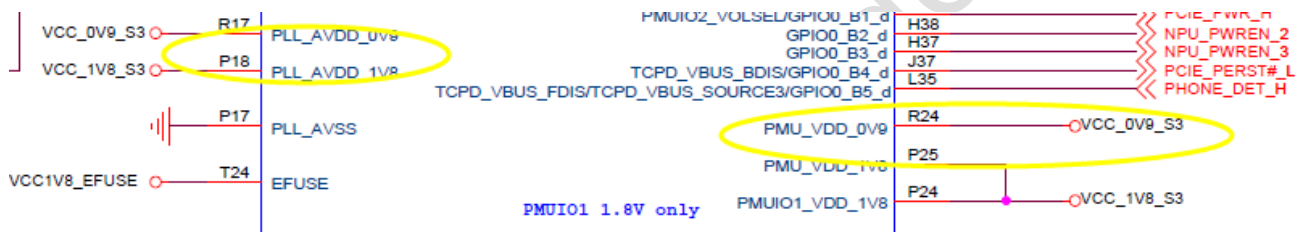


图 2-19 RK3399Pro 芯片PLL电源

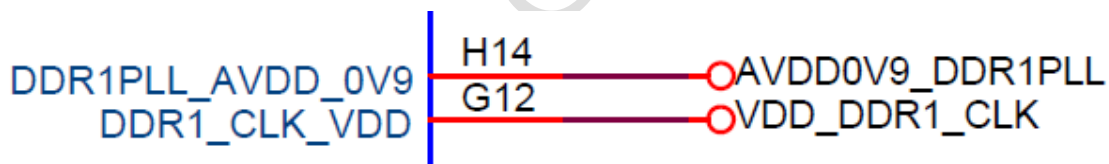


图 2-20 RK3399Pro 芯片DDR PLL电源

### ● 2.2.2.3 CPU电源

RK3399Pro采用CPU、CORE独立电源域供电，VDD\_CPU\_B\_S0为A72大核供电，VDD\_CPU\_L\_S0为A53小核供电，都支持DVFS动态调频调压功能，两路电源使用DC-DC电源独立供电，峰值电流分别可达4.3A/1.6A，所以请不要删减RK3399Pro芯片参考设计原理图中的电容。Layout时将大电容放置在RK3399Pro芯片背面（或靠近芯片放置），以保证电源纹波在100mV以内，避免大负载情况下引起电源纹波偏大，电容如下图所示：

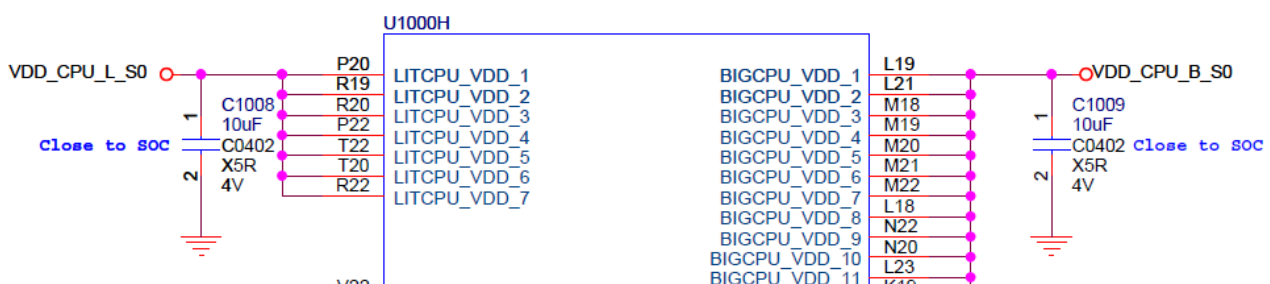


图 2-21 RK3399Pro 芯片VDD\_CPU电源

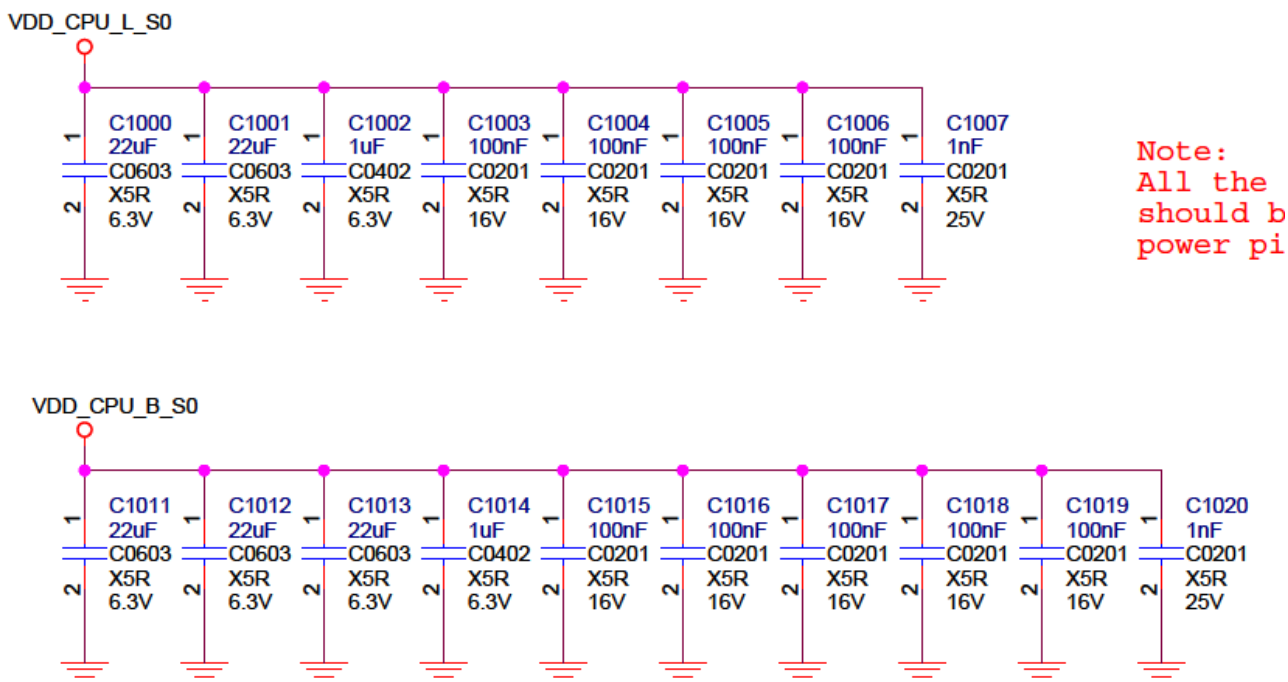


图 2 - 22 RK3399Pro 芯片VDD\_CPU电源的去耦

BIGCPU\_VDD\_COM是RK3399Pro芯片中VDD\_CPU\_B电源的反馈脚，需连接到DC-DC电源的FB端，可有效改善PCB电源线路阻抗引起的损耗，并提高电源动态调整的实时性。

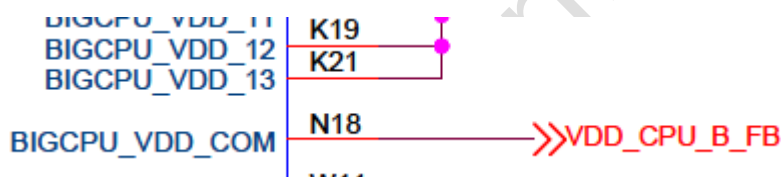


图 2 - 23 RK3399Pro 芯片VDD\_CPU\_COM电源反馈

#### ● 2.2.2.4 GPU电源

RK3399Pro的GPU电源使用DC-DC单独供电，支持DVFS动态调频调压功能，峰值电流可达4A，所以请不要删减RK3399Pro芯片参考设计原理图中的电容。Layout时将大电容放置在RK3399Pro芯片背面（或靠近芯片放置），以保证电源纹波在100mV以内，避免大负载情况下引起电源纹波偏大，电容如下图所示：

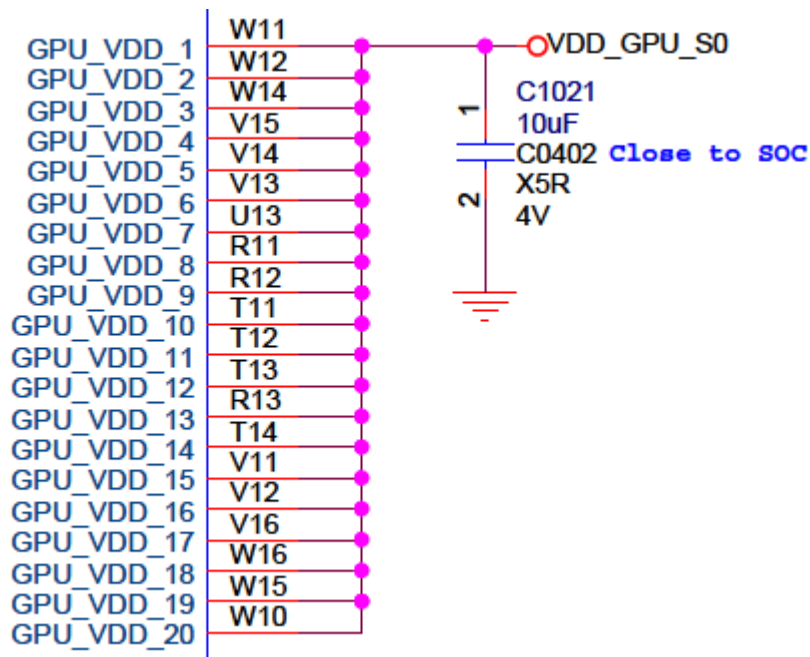


图 2-24 RK3399Pro 芯片VDD\_GPU电源

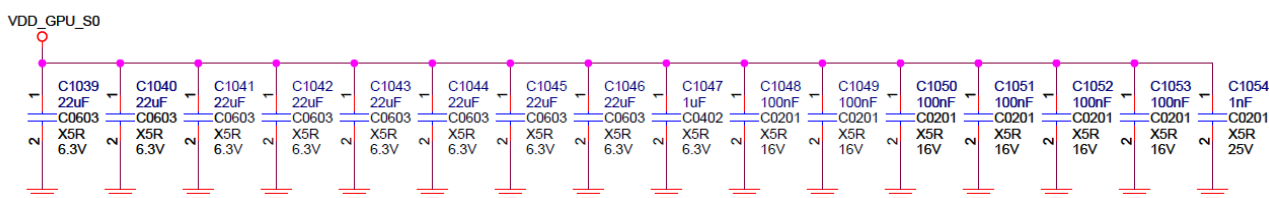


图 2-25 RK3399Pro 芯片VDD\_GPU电源的去耦

GPU\_VDD\_COM是RK3399Pro芯片中GPU\_VDD电源的反馈脚，需连接到DC-DC电源的FB端，可有效改善因PCB电源线阻抗引起的损耗，并提高电源动态调整的实时性。

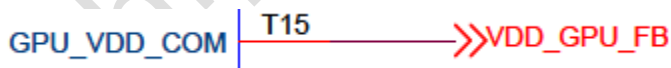


图 2-26 RK3399Pro 芯片VDD\_GPU\_COM电源反馈

### ● 3.2.2.5 LOGIC电源

RK3399Pro CPU的数字逻辑部分由VDD\_LOGIC和VDD\_CENTERLOGIC两个电源域单独供电，电源域分别包括如下逻辑部分：

VD_LOGIC	PD_ALIVE	CRU, PLL, GRF, TIMER, WDT, GPIO, INTR_ARB
	PD_PERI_LP	NOC, EFUSE, SRAM, ROM, CRYPTO, GIC, DMAC, DCF, I2S_8CH, SPDIF, UART, I2C, MAILBOX, SPI, SARADC, TSADC, Cortex-M0
	PD_PERI_HP	USB2, SD/MMC, SDIO, PCIe
	PD_EMMC	eMMC
	PD_GMAC	GMAC
	PD_USB3	USB3.0/2.0
	PD_EDP	eDP
	PD_VIO	MIPI
	PD_ISP0	ISP0
	PD_ISP1	ISP1
	PD_VOPB	VOP_BIG
	PD_VOPL	VOP_LIT
	PD_HDCP	HDCP2.2, HDMI, DP, Gasket
VD_CENTER	PD_CENTER	DDRC, Memory Scheduler, DFI_MONITOR, CIC
	PD_VDU	RKDEC
	PD_VCODEC	VCODEC
	PD_IEP	IEP
	PD_RGA	RGA

图 2-27 RK3399Pro 芯片数字逻辑介绍

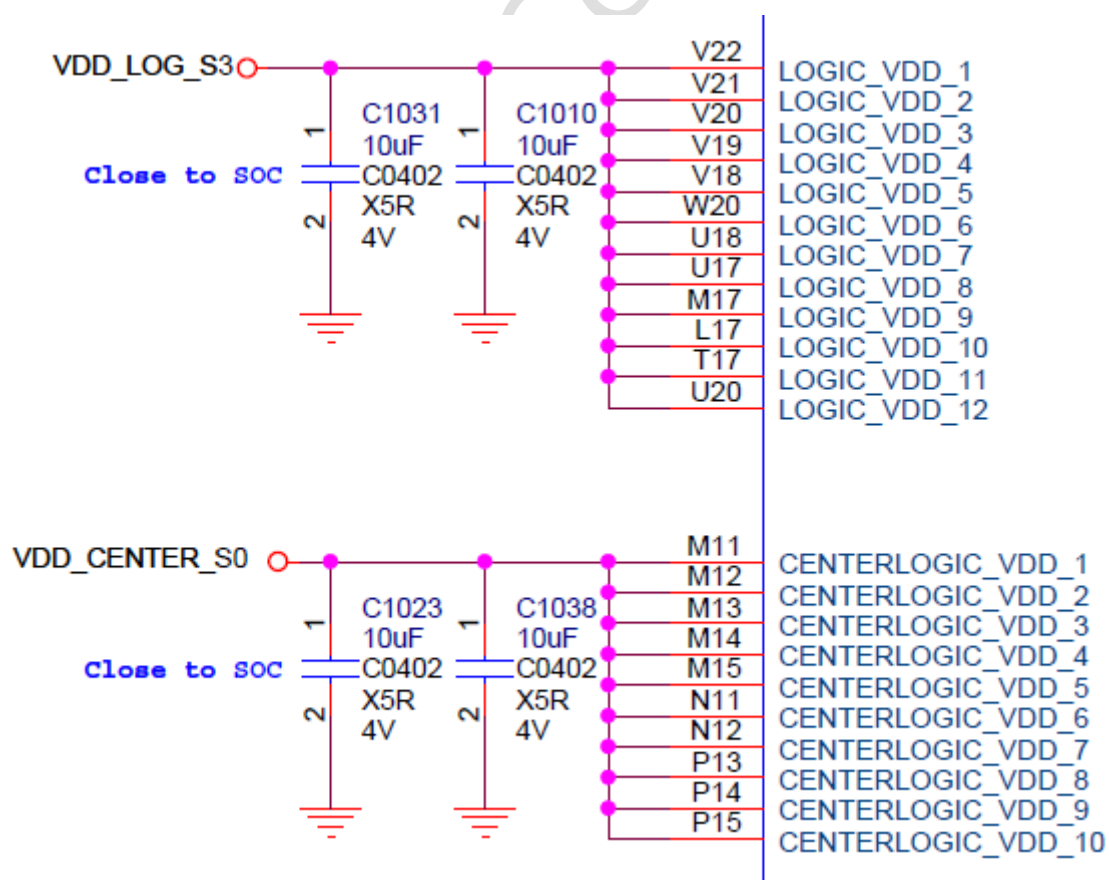


图 2-28 RK3399Pro 芯片逻辑电源

VDD\_LOG\_S3使用固定的0.9V电平，所以使用DC-DC直接供电，如下图所示：

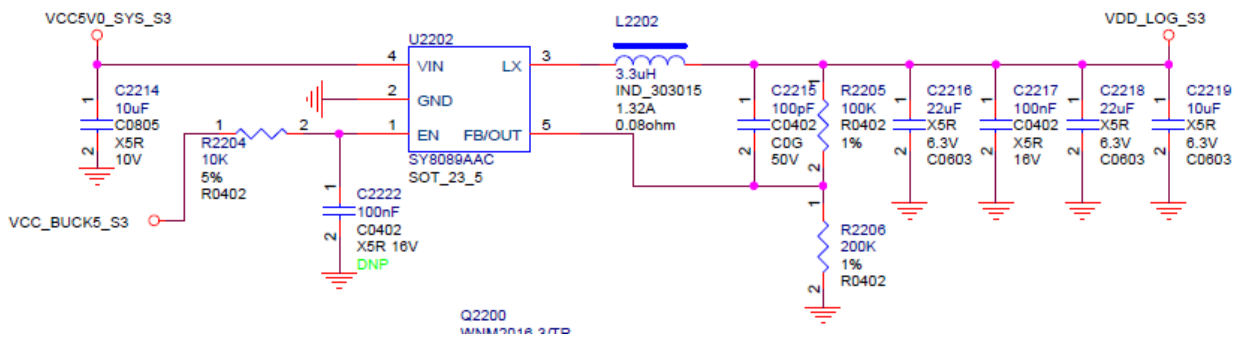


图 2-29 RK3399Pro 芯片VDD\_LOG电源

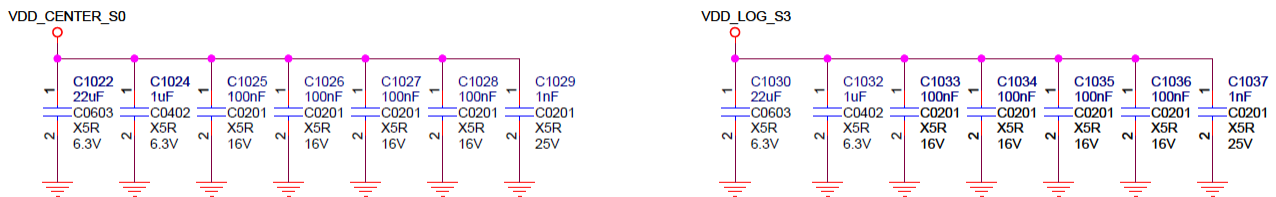


图 2-30 RK3399Pro 芯片逻辑电源的去耦

### ● 2.2.2.6 DDR电源

RK3399Pro CPU的DDR控制器接口支持DDR3/DDR3L/LPDDR3/LPDDR4电平标准，只需提供DDRIO\_VDD供电，在不同DDR颗粒情况下该电源电平不同，1.5V/1.35V/1.2V/1.1V三档可调，产品设计时请根据颗粒使用情况，确认符合设计要求。

RK3399Pro的DDR控制器内部集成了Vref电路，产生需要的参考电压 $V_{ref\_mcu} = VCC\_DDR/2$ 。DRAM端的Vref由电阻分压电路产生，其中 $V_{ref\_CA} = VCC\_DDR/2$ ，而 $V_{ref\_DQ}$ 则根据ODT策略来调整，可以根据驱动强度和ODT值调整对应的Vref电压。

以LPDDR3颗粒为例：在800MHz频率下，RK3399Pro芯片端的驱动强度为34.3ohm，DRAM端ODT配置为240ohm，当ODT enable时，根据公式算出来的DRAM  $V_{ref} = 0.56 * VCC\_DDR$ 。

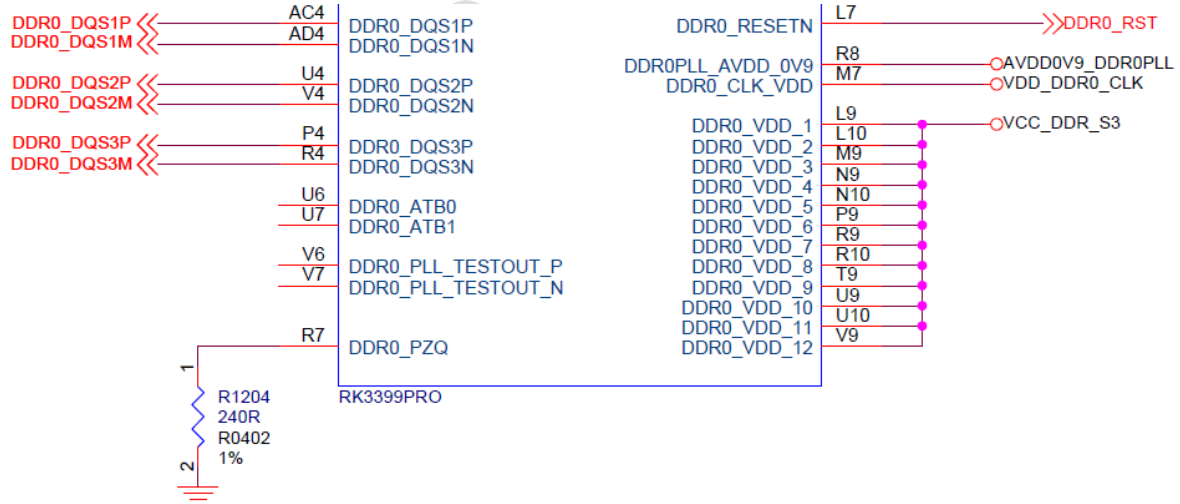


图 2-31 RK3399Pro 芯片DDR控制器电源

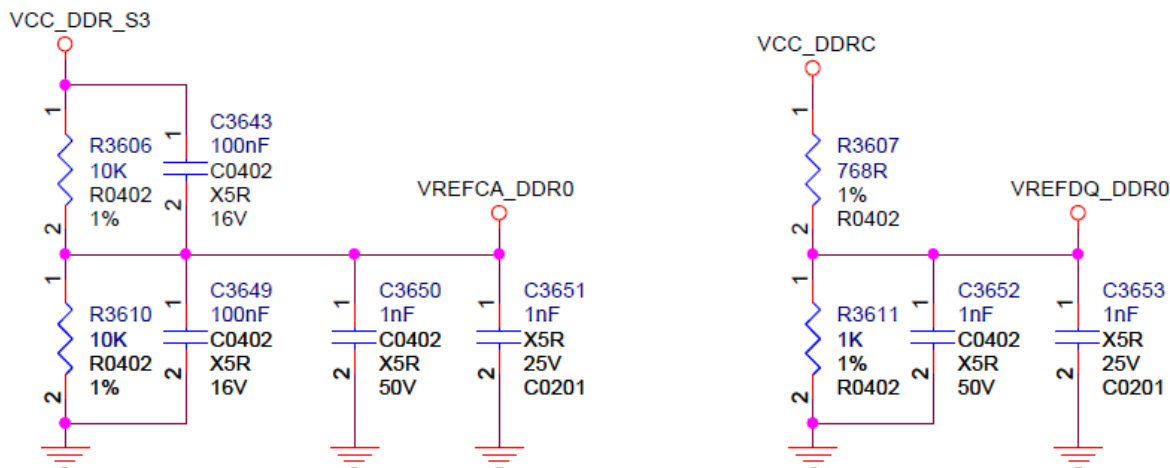


图 2-32 RK3399Pro LPDDR3 DRAM的VREF电源设计



## 注意

关于各种颗粒Vref\_DQ的设计:

LPDDR2不支持ODT功能; LPDDR4的Vref\_DQ在颗粒内部由软件调整; DDR3/DDR3L的ODT功能enable时内部会同时上下拉,  $V_{ref\_DQ} = V_{ref\_CA} = VCC\_DDR/2$ ; 所以只有LPDDR3需要调节单独Vref\_DQ。

RK3399Pro芯片DDR控制器的内部时钟由独立的PLL产生, PLL需要单独供电 (DDR0PLL\_AVDD\_0V9、DDR1PLL\_AVDD\_0V9), 要求每个DDR PLL管脚放置一个100nF去耦电容, 并靠近供电管脚摆放。

RK3399Pro芯片DDR CLK信号的供电管脚 (DDR0\_CLK\_VDD、DDR1\_CLK\_VDD) 使用VCC\_DDR\_S3供电, 建议串联电阻由源端星形走线, 避免引入VCC\_DDR\_S3电源平面上的噪声, 要求每个供电管脚放置一个100nF去耦电容, 并靠近供电管脚摆放。

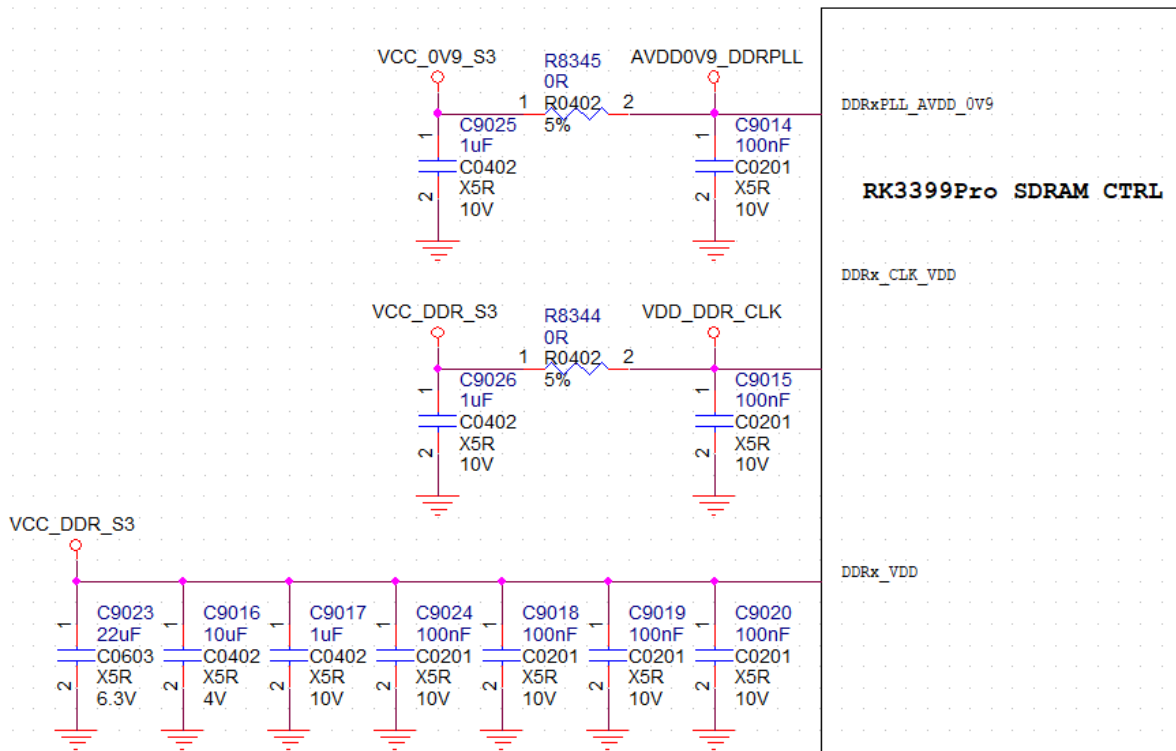


图 2-33 RK3399Pro 芯片DDR控制器电源设计



LPDDR3 DRAM端的VREF\_DQ和VREF\_CA采用独立的VREF电压参考电路；VREF\_DQ管脚供电可以通过1Kohm电阻（精度1%）分压提供，而VREF\_CA因为常供电的原因，可以改用10Kohm电阻（精度1%）分压以降低待机功耗，同时并联100nF电容改善与VCC\_DDR\_S3的电源跟随特性。每个参考电源管脚旁放置一个1nF的去耦电容。

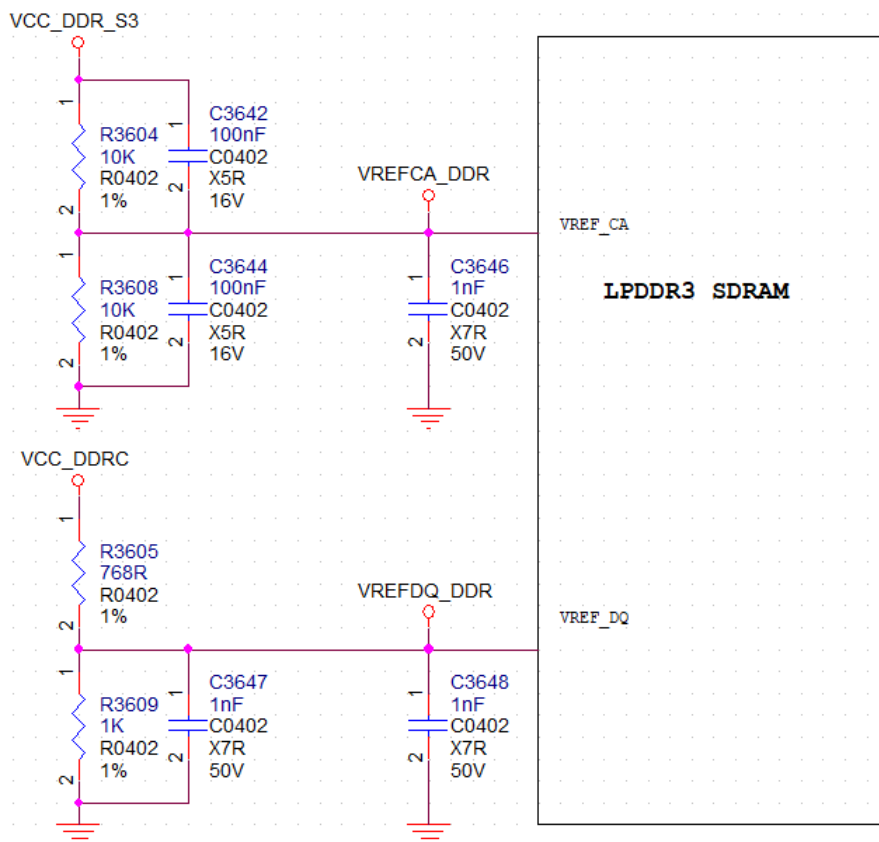


图 2 - 34 RK3399Pro LPDDR3 DRAM的VREF电源设计

#### ● 2.2.2.7 GPIO电源

GPIO电源请参考2.1.9节。建议每个管脚放置一个100nF去耦电容，并靠近供电管脚摆放。详细设计请参考RK3399Pro芯片参考设计原理图。

### 2.2.3 RK809-3方案介绍

#### ● 2.2.3.1 RK809-3框图

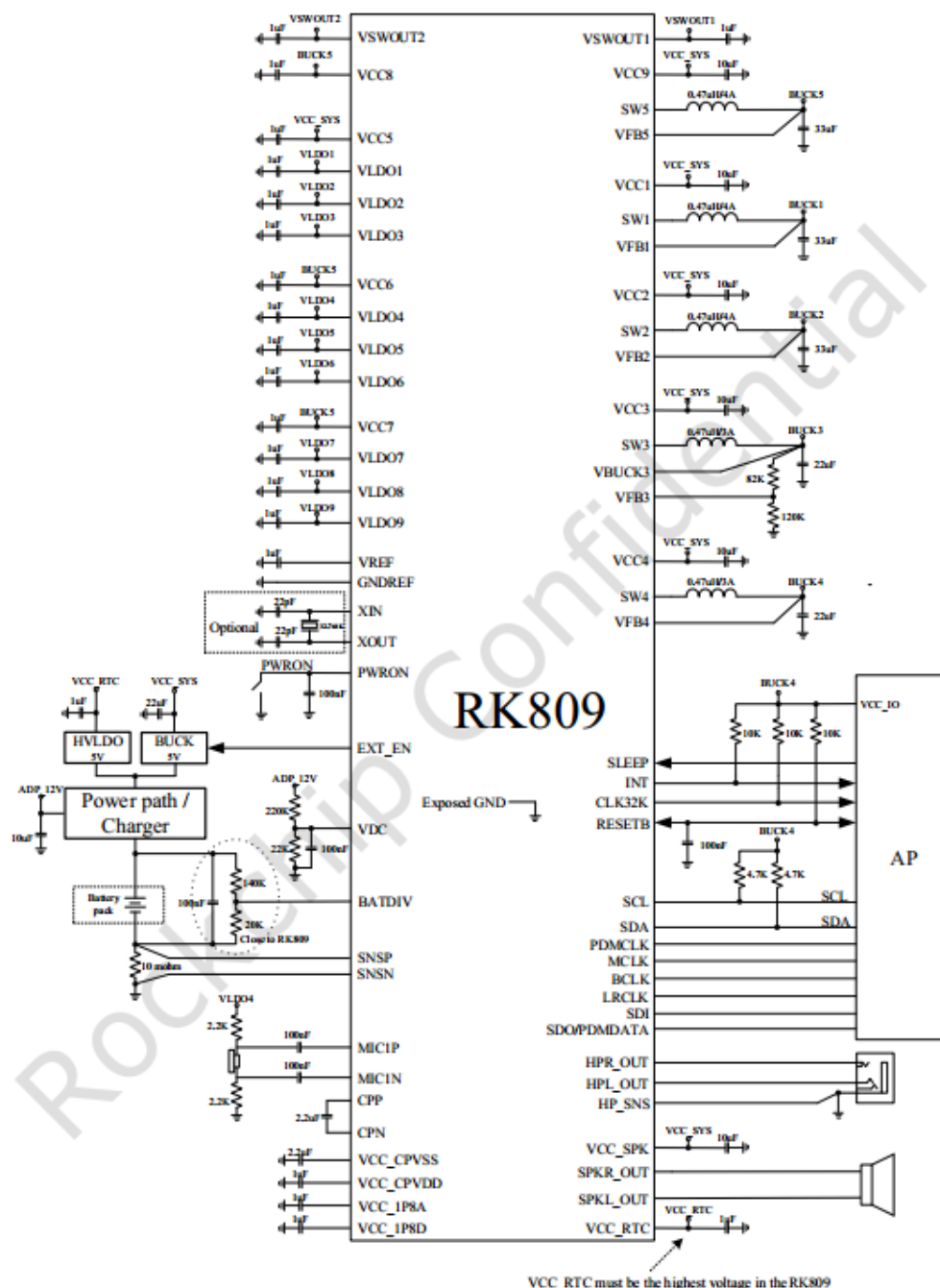


图 2-35 RK809-3 框图

### 2.2.3.2 RK809-3特征

- 电源输入范围：2.7V-5.5V
- 含单独电池电压、电流两路ADC的精准电量计
- 内置实时时钟（RTC）
- 16uA的极低待机电流（在32KHz时钟频率下）
- 采用电荷泵设计的耳机输出
- 不含滤波电感的1.3W Class D类功放
- 固定及可编程可选择的电源启动时序控制
- 内置高性能音频编解码器
  - ◆ 内置独立PLL
  - ◆ 支持麦克风输入
  - ◆ 支持可编程的数字与模拟增益
  - ◆ 支持16bits-32bits的比特率
  - ◆ 采样率高达192kHz

- ◆ 软件支持master和slave两种工作模式配置
- ◆ 支持3种I2S格式（标准，左对齐，右对齐）
- ◆ 支持PDM模式（外部输入PCLK）
- 供电电源：
  - ◆ 通道1：同步降压DC-DC转换器，2.5A max
  - ◆ 通道2：同步降压DC-DC转换器，2.5A max
  - ◆ 通道3：同步降压DC-DC转换器，1.5A max
  - ◆ 通道4：同步降压DC-DC转换器，1.5A max
  - ◆ 通道5：同步降压DC-DC转换器，2.5A max
  - ◆ 通道6-8、10-14：低压差线性稳压器，500mA max
  - ◆ 通道9：低噪声、高电源抑制比的低压差线性稳压器，100mA max
  - ◆ 通道15：开关，3A max
  - ◆ 通道16：开关，1.5A max
- 封装：7mmx7mm QFN68

### 2.2.3.3 RK3399Pro+RK809-3 Power Tree

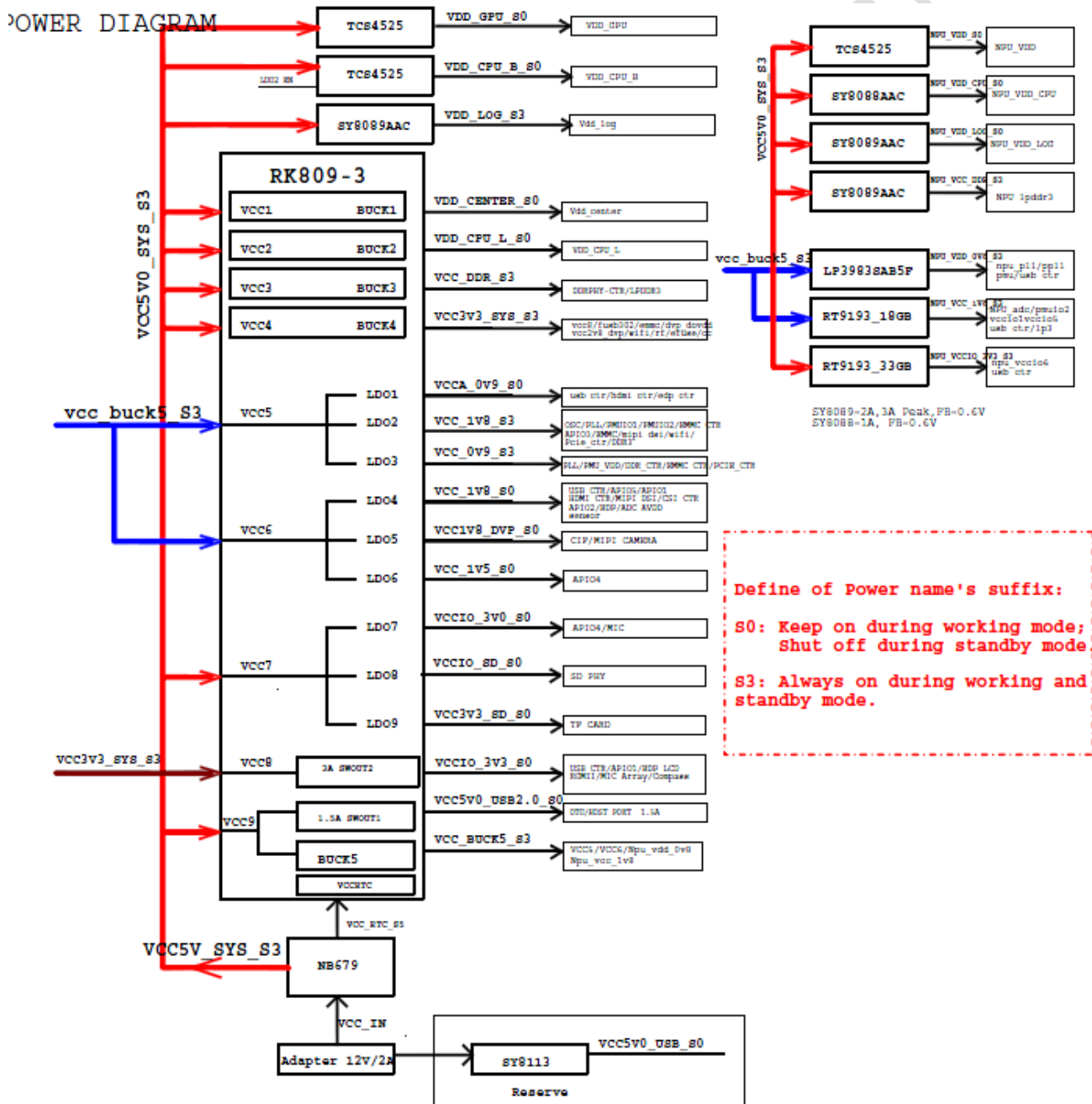


图 2 - 36 RK809-3 电源架构

### ● 2.2.3.4 RK809-3注意事项

- 32.768晶体的匹配电容推荐值为22pF，用户可根据所用晶体的具体规格微调此参数；



#### 注意

为了降低功耗PMIC RTC的晶体振荡都做的比较弱，在XOUT或XIN的管脚上用普通的示波器是测不到振荡信号的，或示波器探头一碰上去就会停振，要测32.768k信号请测试CLK32K管脚。

- **VCC\_RTC必须第一个供电，且其电压数值必须是供给RK809-3的输入电源中最高的；**
- BUCK1, BUCK2的输出电容必须大于30uF以上才能保证有比较好的去耦效果，特别是大电流高动态的负载情况下，可以适当加大输出去耦电容；
- RK809-3自带USB OTG供电功能，有短路保护功能，可配置1.0-1.5A的输出限流；
- 直接由输入电源控制的开机逻辑如下：当存在电源输入时，初级DCDC降压输出VCC5V0\_SYS和VCC\_RTC，电源通过外部分压电路后输入到VDC的电平大于0.55V，此时PMIC开始工作、输出电压；
- 通过按键控制的开关机逻辑如下：PWRON脚内置上拉电阻，上拉到VCC\_RTC，当检测到低电平时时间超过500ms就会自动开机；开机后如果PWRON脚被拉低超过6s就会强制关机（通常用于系统死机后的强制关机，再开机）；在休眠以及唤醒操作时，PWRON脚的低电平需维持20ms以上。
- RK809-3的开机条件：
  - ◆ VCC\_RTC供电，一般大于3.0V；
  - ◆ 检测到了以下三种情况中的一种：PWRON脚为低电平并维持500ms以上；VDC电平超过0.55V；内部RTC Alarm定时时间到并开启定时开机功能；
  - ◆ EXT\_EN输出高电平；
  - ◆ VCC9在EXT\_EN输出高电平的1.5ms内电压超过3.0V（否则不开机）；
  - ◆ 芯片开启上电流程，各个LDO和DCDC按时序分别上电，每个时序间隔是2ms直到所有时序上电结束，并释放reset，完成上电流程；

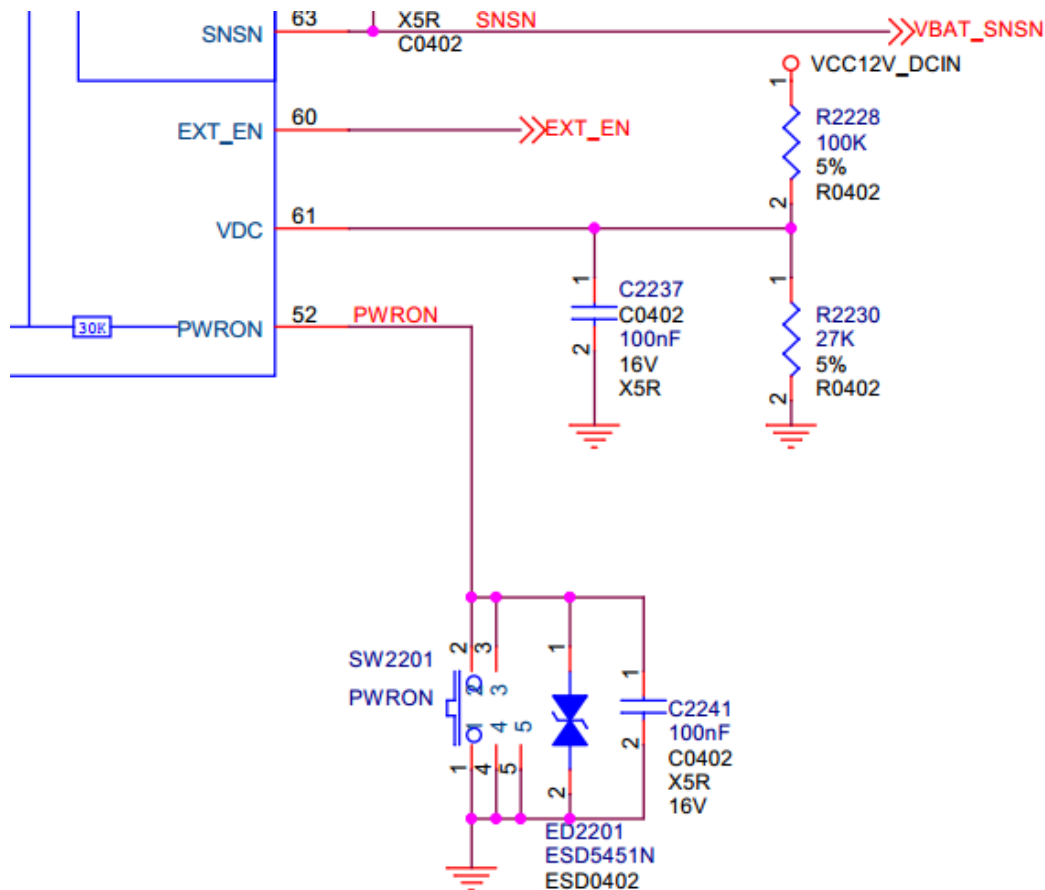


图 2-37 RK809-3 PWRON管脚

- RK809-3的关机条件：
  - ◆ I2C写DEVICE\_OFF=1;
  - ◆ PWRON脚为低超过6s;
  - ◆ VCC9电压低于欠压设计值;
  - ◆ 超温保护关机（145度）;
- RK809-3开始下电流程后，会在1个RTC时钟周期后（约30.5us后）拉低Reset，再经过2ms以后同时关断所有电源输出，完成下电流程；
- 2.2.3.5 RK809-3设计说明

RK809-3具体设计说明，请参考RK PMIC相关设计文档《RK809 应用指南》。

## 2.2.4 其他

### 2.2.4.1 过温保护电路

当RK3399Pro芯片CPU出现过热、死机等情况时，芯片的TSADC\_INT/GPIO1\_A6管脚会输出高电平，对RK809-3进行复位、控制电源下电并重新上电，在寄存器清零的同时复位整个系统。

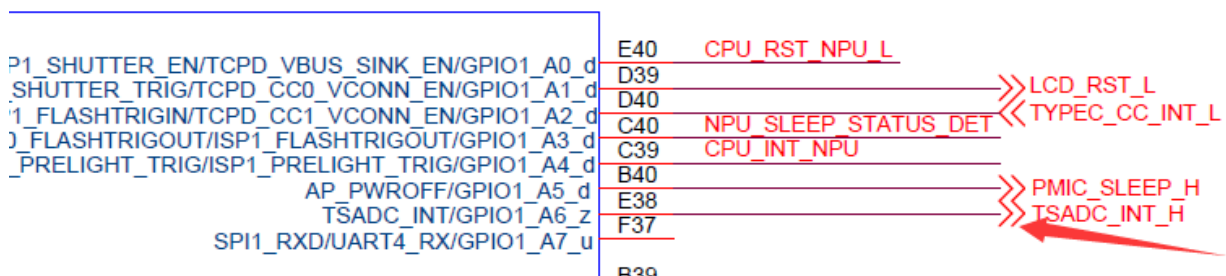


图 2-38 RK3399Pro TSADC\_INT\_H过温保护输出

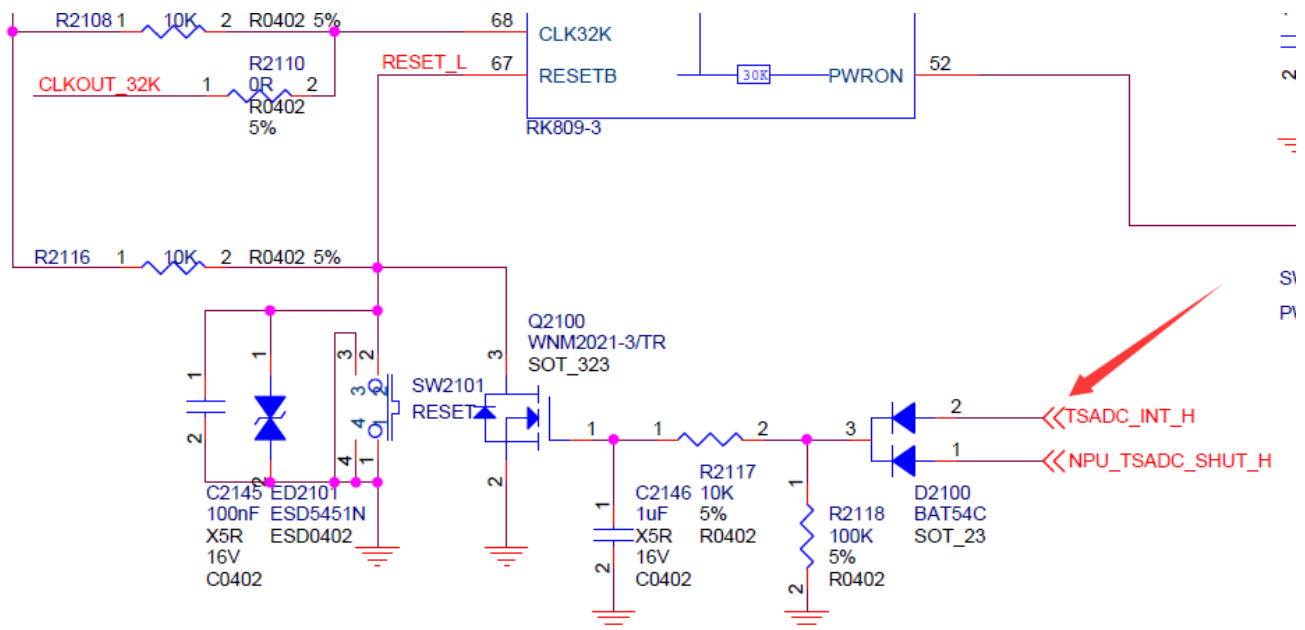


图 2-39 RK809-3 TSADC\_INT\_H过温保护输入

#### 2.2.4.2 PMIC SLEEP电路

当RK3399Pro芯片在正常工作模式时，芯片的状态管脚PMIC\_SLEEP会维持低电平输出。

当系统进入待机模式时，PMIC\_SLEEP管脚会输出高电平的休眠指示信号，此时PMIC受该信号控制进入待机状态。根据软件dts文件的配置，部份电源会关闭，部分电源会调低电压。

当系统从待机模式中被唤醒时，PMIC\_SLEEP管脚会在第一时间输出低电平，此时PMIC会恢复待机前的工作状态，恢复各路电源输出。

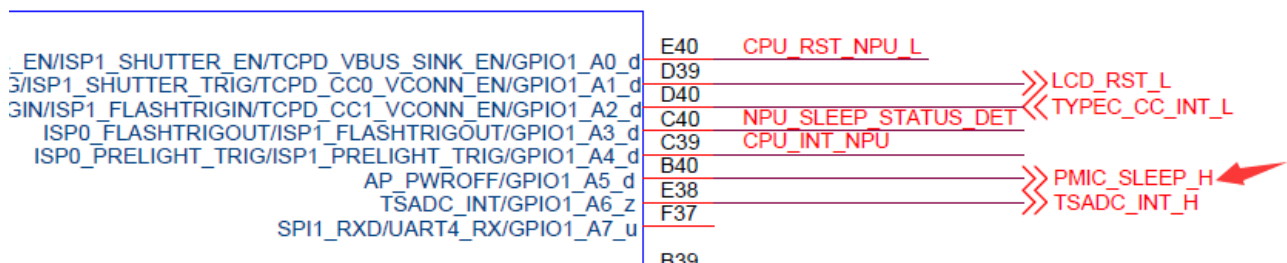


图 2-40 RK3399Pro PMIC\_SLEEP输出

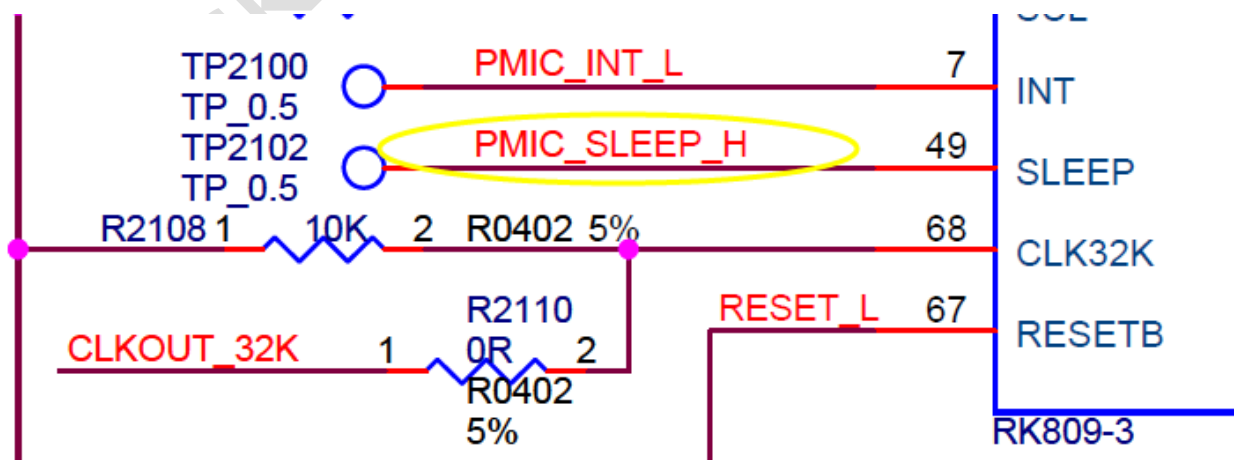


图 2-41 RK817-1 PMIC\_SLEEP输入

#### 2.2.5 CPU电源峰值电流表

下表为RK3399Pro EVB在运行模式下峰值电流测试结果，仅供参考。测试条件如下：

- APK版本: antutu\_benchmark\_v7\_3d+run.sh

- DDR颗粒：32bit LPDDR3 K4E6E304EB-EGCF；
- 示波器打开20MHz带宽限制；

Configuration	ITEM	SOC Model	CPU frequency	NPU frequency	Memory	GPU Render	GPU Frequency	DDR Type	DDR Frequency	Bat voltage (V)
	RK3399Pro	Dual-core Cortex-A72 + Quad-core Cortex-A53 + NPU	A72 Max: 1800MHz 1.20V A53 Max: 1416MHz 1.125V	Max: 800MHz 0.85V	CPU: 4G NUP: 2G	Mail-T860MP4	Max: 800MHz 1.075V	CPU: LPDDR3 NPU: LPDDR3	CPU DDR Max: 800MHz NPU DDR Max: 786M	

图 2 - 42 RK3399Pro EVB峰值电流测试条件

表 2 - 10 RK3399Pro CPU峰值电流表

PowerName	Voltage (V)	Peak Current (mA)
VCC5V0_SYS	4.970	3461.0
VCC3V3_SYS	3.291	378.2
VCC_BUCK5_S3	3.302	529.5
VDD_CPU_B_S0	1.220	2429.9
VDD_CPU_L_S0	1.141	654.0
VDD_GPU_S0	1.112	3403.9
VDD_LOG_S0	0.901	1267.0
VCC_DDR_S3	1.262	845.4
VCC_0V9_S3	0.901	33.9
VCC_1V8_S3	1.792	243.9



## 2.3 CPU 功能接口电路设计指南

### 2.3.1 CPU 存储卡电路

RK3399Pro提供了一个SDMMC接口控制器，可支持SD v3.0以及MMC v4.51协议，如下图所示：

- SDMMC控制器采用单独的电源域供电；
- SDMMC与UART2、JTAG等功能复用在一起，通过SDMMC0\_DET进行功能选择，具体请参考2.1.4小节；
- 内部集成LDO和电子开关，SDMMC0\_VDDPST管脚只需外接100nF去耦电容到地，内部提供VDD电源；
- SDMMC0\_VDD为IO电源，需要外部提供3.0V供电（SD 2.0模式）或3.0V/1.8V可调供电（SD 3.0模式）；

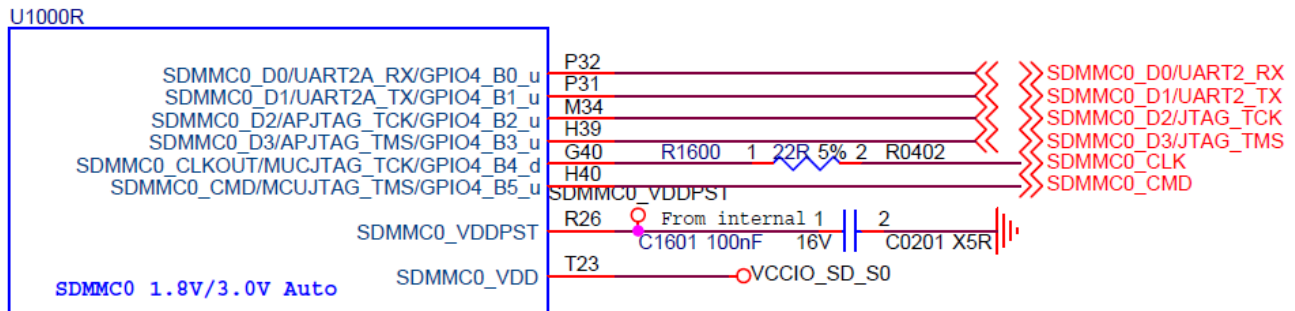


图 2-43 RK3399Pro SDMMC模块电路

SDMMC接口上下拉和匹配设计推荐如下表所示：

表 2-11 RK3399Pro SDMMC接口设计

信号	内部上下拉	连接方式 (SDR104高速模式)	描述（芯片端）
SDMMC_DQ[3:0]	上拉	串联22ohm电阻 走线较短时可删除	SD数据发送/接收
SDMMC_CLK	下拉	串联22ohm电阻	SD时钟发送
SDMMC_CMD	上拉	串联22ohm电阻 走线较短时可删除	SD命令发送/接收

### 2.3.2 CPU 以太网口电路

RK3399Pro内部集成了一个千兆以太网MAC，可以外接不同以太网PHY，实现百兆/千兆网络功能。具体设计请参考phy原厂的设计文档，指南中不做过多介绍。

千兆模式下，PHY所用的工作时钟，需要通过外置晶体提供，如下图所示：



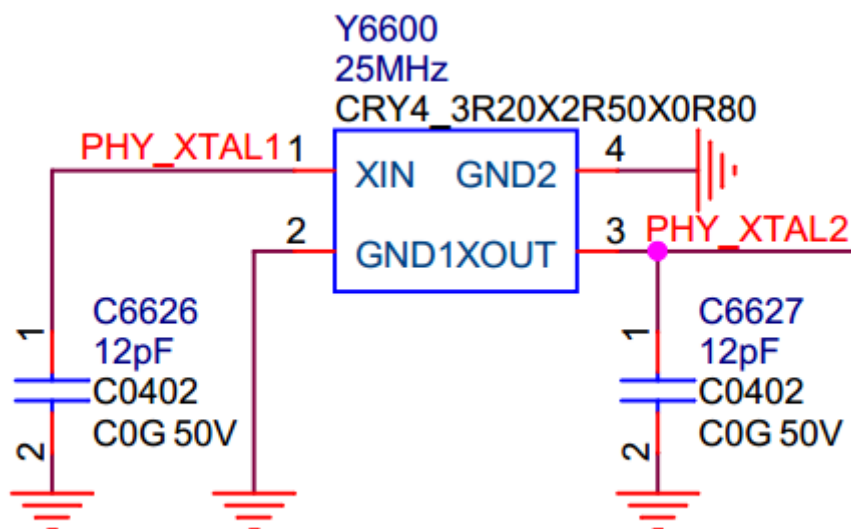


图 2 - 44 千兆PHY工作时钟

百兆模式下，PHY所用的工作时钟，可以由RK3399Pro的MAC控制器来提供，省掉PHY端的一个晶体。

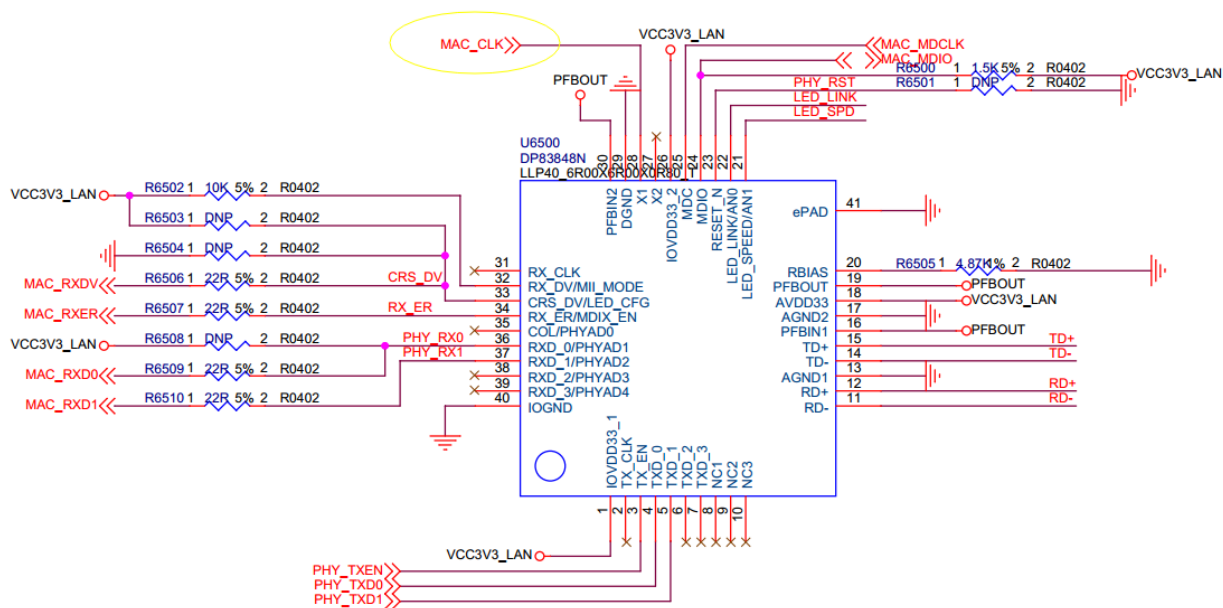


图 2 - 45 百兆PHY工作时钟

RK3399Pro的MAC控制器需要两路供电电源，core电压为1.8V（Pin J22），IO电压为3.3V（Pin J23），所以PHY芯片的IO供电电压需要与MAC控制器的IO电平保持一致，同样为3.3V。

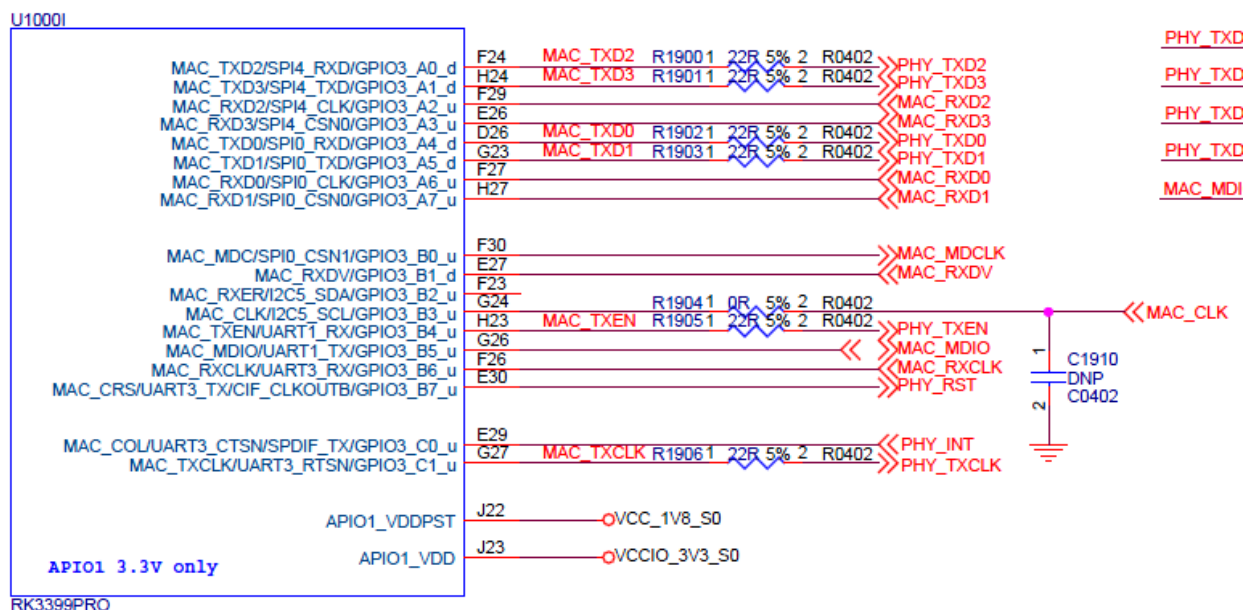


图 2-46 百兆PHY工作时钟

MAC控制器对PHY芯片的复位方式用GPIO来控制，也可以使用RC硬件复位电路，需要注意的是，若是采用RC硬件复位电路，则PHY芯片的电源必须是可控的。

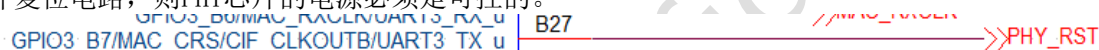


图 2-47 RK3399Pro MAC控制器复位

MAC控制器与PHY芯片之间传送控制和状态信息为MDIO接口，时钟MDC信号和数据MIDO信号，需要注意的是MDIO信号需要上拉，如下图所示：



图 2-48 RK3399Pro RGMII MDIO信号

- 2.3.2.1 1000M MAC

RK3399Pro支持10/100/1000M MAC，现对1000M GMAC部分设计及其注意事项说明如下：

表 2-12 RK3399Pro RGMII接口设计

信号	内部上下拉	连接方式	描述
MAC_TXCLK	上拉	串联22ohm电阻 电阻靠近MAC端	数据发送的参考时钟
MAC_RXCLK	上拉	串联22ohm电阻 电阻靠近PHY端	数据接收的参考时钟
MAC_TXD[3:0]	下拉	串联22ohm电阻 电阻靠近MAC端	数据发送
MAC_RXD[3:0]	上拉	串联22ohm电阻 电阻靠近PHY端	数据接收
MAC_TXEN	上拉	串联22ohm电阻 电阻靠近MAC端	发送数据使能
MAC_RXDV	下拉	串联22ohm电阻	接收数据有效指示

		电阻靠近PHY端	
MAC_MDC	上拉	直连	配置接口时钟
MAC_MDIO	上拉	直连	配置接口I/O
MAC_CLK	上拉	串联22ohm电阻 电阻靠近PHY端	MAC主时钟输入，125MHz

- RGMII接口收发信号线上，TX\_CLK和RX\_CLK是125MHz，为了达到1000Mb的传输速率，TXD和RXD信号线在时钟的双边沿都进行采样，数据使能信号(MAC\_TXEN、MAC\_RXDV)必须在数据发出有效前使能。

### ● 2.3.2.2 100M MAC

RK3399Pro支持10/100/1000M GMAC。现对100M MAC部分设计及其注意事项说明如下：

表 2-13 RK3399Pro RMII接口设计

信号	内部上下拉	连接方式	说明
MAC_TXCLK	上拉	串联22ohm电阻 电阻靠近MAC端	数据发送的参考时钟
MAC_RXCLK	上拉	串联22ohm电阻 电阻靠近PHY端	数据接收的参考时钟
MAC_TXD[1:0]	下拉	串联22ohm电阻 电阻靠近MAC端	数据发送
MAC_RXD[1:0]	上拉	串联22ohm电阻 电阻靠近PHY端	数据接收
MAC_TXEN	上拉	串联22ohm电阻 电阻靠近MAC端	发送数据使能
MAC_RXDV	下拉	串联22ohm电阻 电阻靠近PHY端	接收数据有效指示
MAC_MDC	上拉	直连	配置接口时钟
MAC_MDIO	上拉	直连	配置接口I/O
MAC_CLK	上拉	串联22ohm电阻 电阻靠近MAC端	MAC主时钟输出，50MHz

- RMII接口收发信号线上，MAC\_CLK是50MHz，RMII接口的收发以MAC\_CLK为参考时钟，在每个时钟周期采样一次数据。数据使能信号(MAC\_TXEN、MAC\_RXDV)必须在数据发出有效前使能。
- 如果10/100M RMII接法时，需特别注意的是PHY\_CRS\_DV是接RK3399Pro芯片的MAC\_RXDV，而不是MAC\_CRS管脚。

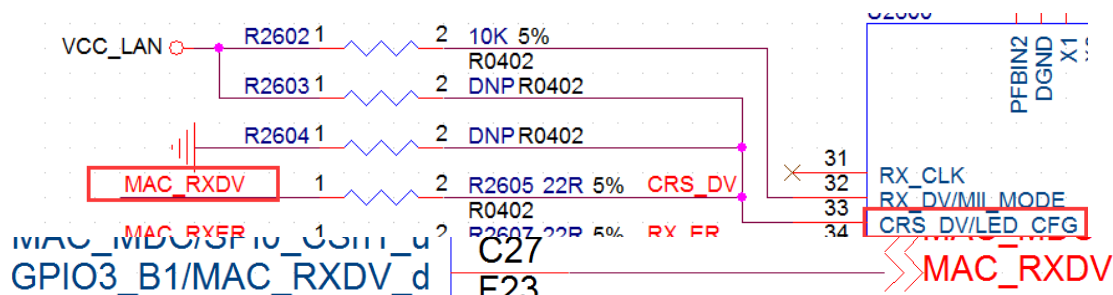


图 2-49 RK3399Pro RMII接口MAC\_RXDV

### 2.3.3 CPU USB电路

RK3399Pro CPU包括两个USB 2.0控制器及两个USB 3.0的控制器，一个USB 2.0控制器和一个USB 3.0控制器共同使用，可以组成一个完整的USB3.0（或Type-C）接口。



#### 注意

USB 2.0控制器与USB 3.0控制器共同使用的时候，需要遵循USB 2.0 PHY0与USB 3.0 PHY0搭配，USB2.0 PHY1与USB 3.0 PHY1搭配的原则。

#### 2.3.3.1 USB 2.0

RK3399Pro USB 2.0包括USB2.0 PHY0、USB2.0 HOST0、USB2.0 HOST1、USB2.0 OTG1四个USB控制器，共计有4个USB 2.0接口。

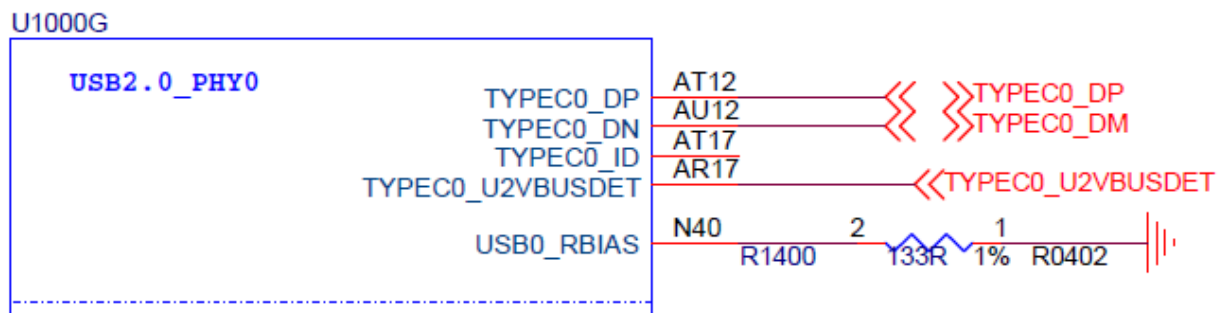


图 2-50 RK3399Pro USB 2.0 PHY0

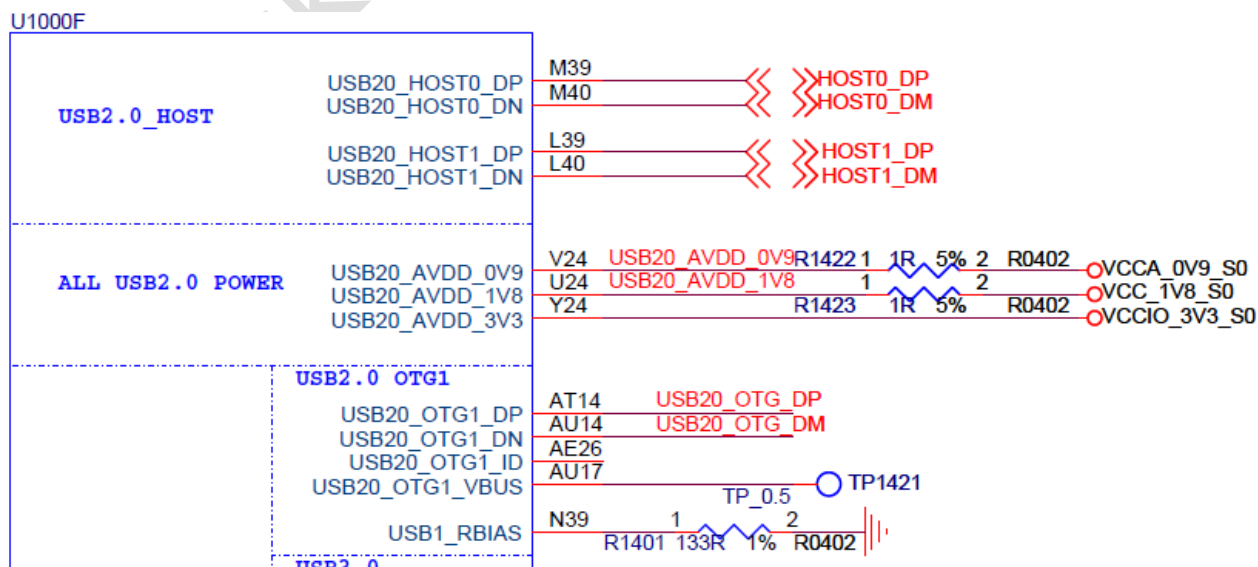


图 2-51 RK3399Pro USB2.0 HOST0&amp;HOST1&amp;OTG1

设计中请注意:

- USB2.0\_PHY0接口默认做为系统固件烧写端口，在调试过程中必须要预留接口；

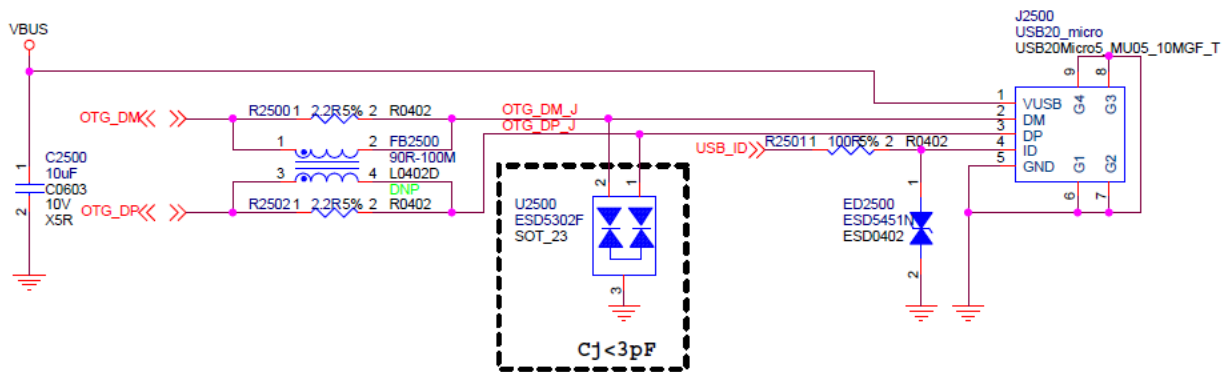


图 2-52 RK3399Pro USB连接座

- USB2.0 OTG1作为CPU与NPU的通信口，默认连接到NPU，不能扩展其他USB使用；
- USB\_ID有200K的内部上拉电阻，上拉到USB\_AVDD\_1V8，所以OTG默认会做为Device模式；
- USB\_VBUS (USB\_DET) 做为USB插入检测，检测到高电平则说明有USB插入；

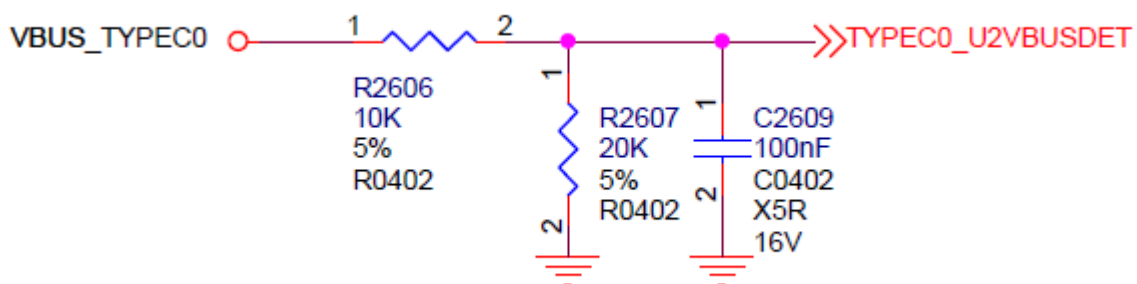


图 2-53 RK3399Pro USB插入检测

- USB控制器配置参考电阻R1400请选用1%精度的电阻，该电阻关系到USB幅度并影响眼图好坏；

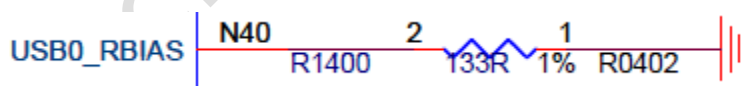


图 2-54 RK3399Pro USB20控制器参考电阻1

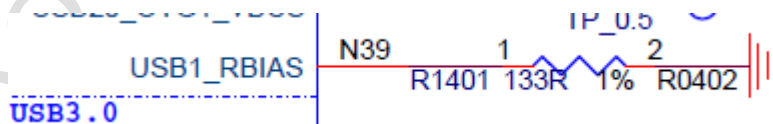


图 2-55 RK3399Pro USB20控制器参考电阻2

- 为避免浪涌对芯片造成的损伤，控制器的0.9V/1.8V电源需要串联1ohm电阻；

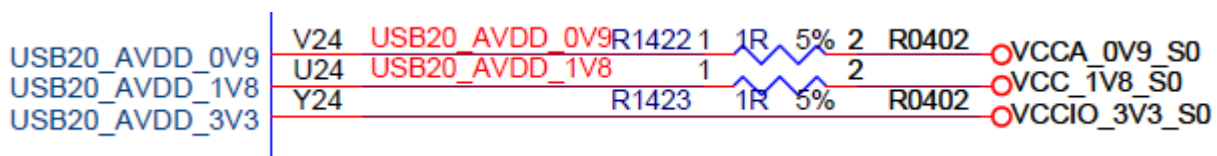


图 2-56 RK3399Pro USB控制器电源防浪涌

- 为提高USB性能，控制器电源的去耦电容请靠近管脚放置；
- 为抑制电磁辐射，可以在信号线上预留共模电感 (Common mode choke)，在调试过程中根据实际

情况选择使用电阻或者共模电感。

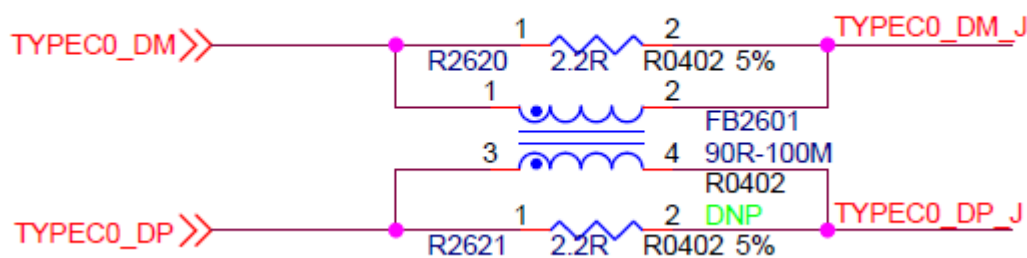


图 2 - 57 RK3399Pro USB预留共模电感

USB2.0接口上下拉和匹配设计推荐如下表所示：

表 2 - 14 RK3399Pro USB2.0接口设计

信号	连接方式	说明
TYPEC0_DP/DM	串联2.2ohm电阻	USB2.0 OTG0 输入/输出，可与USB3.0 PHY0组成Type-C0接口
TYPEC0_ID	直连，内部上拉	USB2.0 OTG0 ID识别，Type-C接口时不用连接Micro-B接口时需要使用
TYPEC0_U2VBUSDET	电阻分压检测	USB2.0 OTG0 插入检测
USB0_RBIAAS		USB2.0 PHY0 配置参考电阻，133ohm接地，对HOST0和OTG0有效
USB20_HOST0_DP/DM	直连	USB2.0 HOST0 输入/输出
USB20_HOST1_DP/DM	直连	USB2.0 HOST1 输入/输出
USB20_OTG1_DP/DM	直连	USB2.0 OTG1 输入/输出，可与USB3.0 PHY1组成Type-C1接口
USB20_OTG1_ID	NA	USB2.0 OTG1 ID识别，Type-C接口时不用连接Micro-B接口时需要使用
USB20_OTG1_U2VBUSDET	NA	USB2.0 OTG1 插入检测
USB1_RBIAAS		USB2.0 PHY1 配置参考电阻，133ohm接地，对HOST1和OTG1有效

### ● 2.3.3.2 USB 3.0

RK3399Pro USB 3.0包括TYPEC\_PORT0和USB3.0 PHY两个接口。

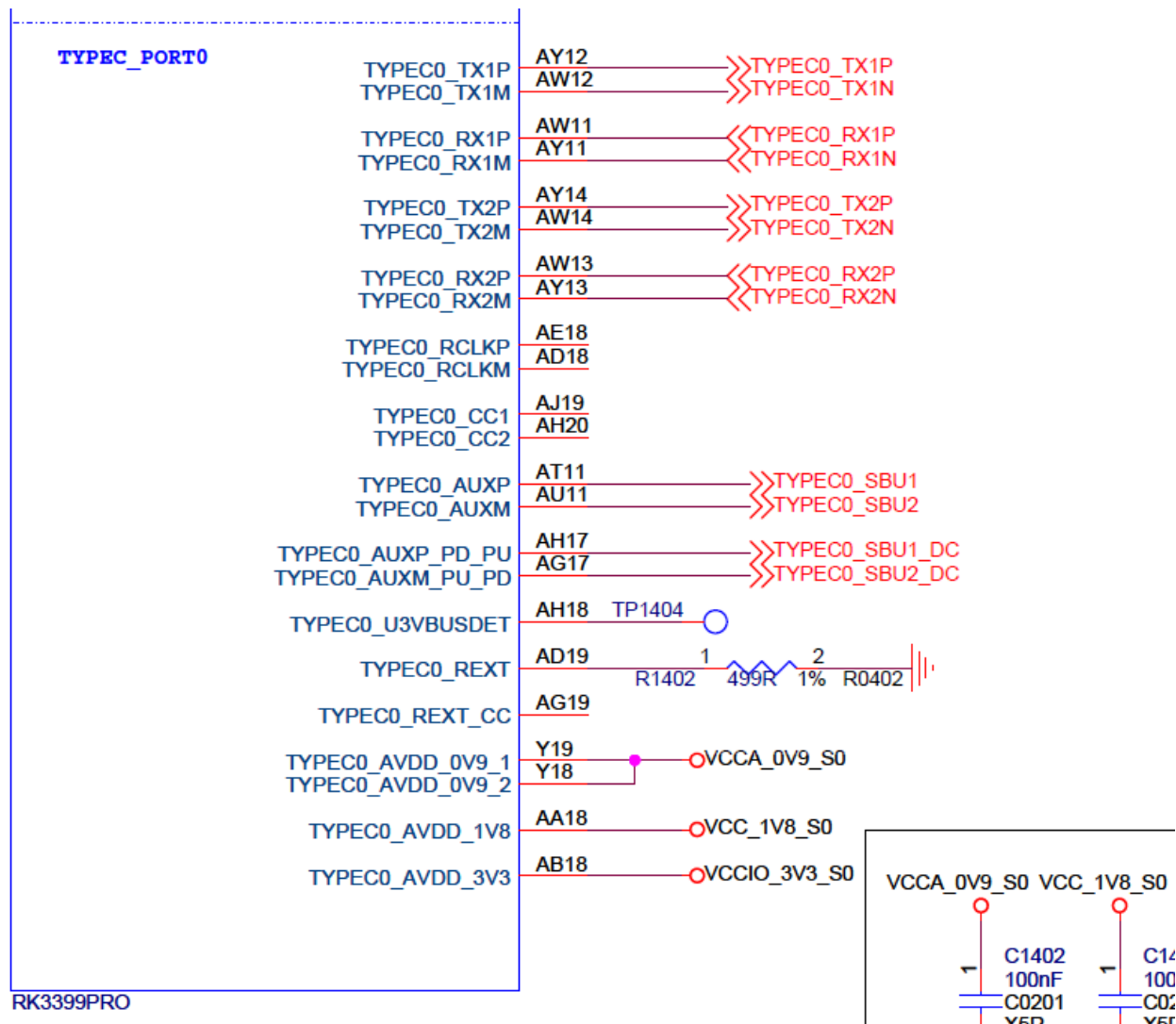


图 2 - 58 RK3399Pro USB3.0 TYPEC\_PORT0

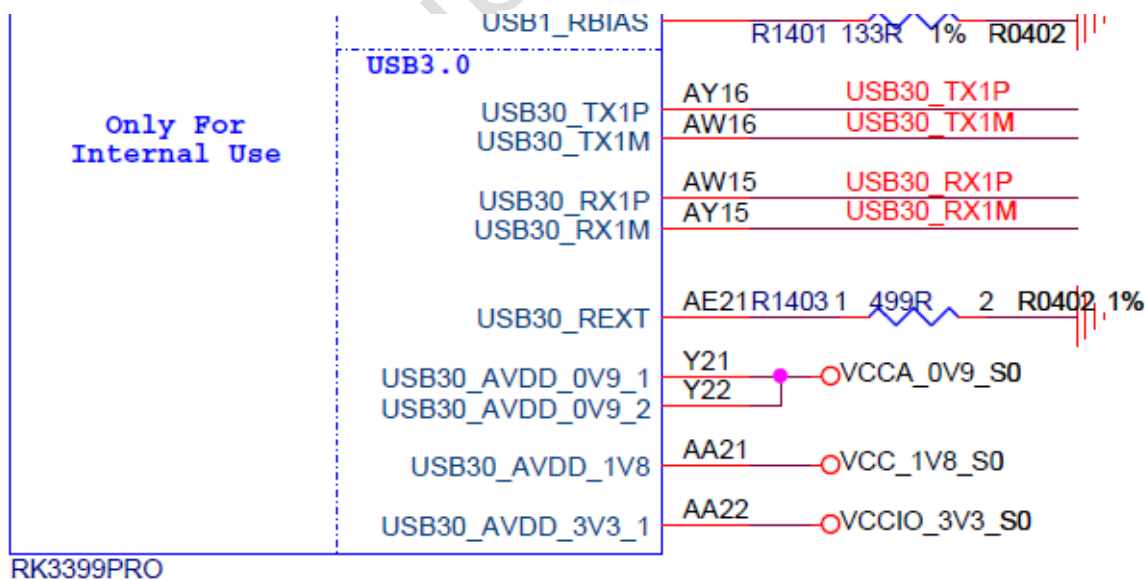


图 2 - 59 RK3399Pro USB3.0 PHY

USB3.0接口上下拉和匹配设计推荐如下表所示：



表 2 - 15 RK3399Pro USB3.0接口设计

信号	连接方式	说明
TYPECO_TX1P/TX1M	100nF电容耦合连接	USB3.0 PHY0 SuperSpeed发送数据1
TYPECO_TX2P/TX2M	100nF电容耦合连接	USB3.0 PHY0 SuperSpeed发送数据2
TYPECO_RX1P/RX1M	直连	USB3.0 PHY0 SuperSpeed接收数据1
TYPECO_RX2P/RX2M	直连	USB3.0 PHY0 SuperSpeed接收数据2
TYPECO_RCLKP/RCLKM	NA	USB3.0 PHY0 外部参考时钟，不使用
TYPECO_CC1/CC2	NA	USB3.0 PHY0 内置CC控制信号，不使用
TYPECO_AUXP/AUXM	100nF电容耦合连接	USB3.0 PHY0 辅助信号
TYPECO_AUXP_PD_PU	NA	USB3.0 PHY0 辅助信号直流偏置
TYPECO_AUXM_PD_PU	NA	USB3.0 PHY0 辅助信号直流偏置
TYPECO_U3VBUSDET	NA	不使用
TYPECO_REXT		USB3.0 PHY0 配置参考电阻，499R接地。
TYPECO_REXT_CC	NA	USB3.0 PHY0 内置CC控制信号配置参考电阻，499R接地，不使用。
USB30_TX1P/TX1M	100nF电容耦合连接	USB3.0 PHY1 SuperSpeed发送数据
USB30_RX1P/RX1M	直连	USB3.0 PHY1 SuperSpeed发送数据
USB30_REXT		USB3.0 PHY1 配置参考电阻，499R接地。

使用中请注意：

- CC1/CC2为内置CC控制器信号，当前参考设计使用外置CC/PD检测芯片实现，所以暂不使用；
- 应用中USB 3.0需要与USB 2.0搭配使用，以实现USB协议的向下兼容；
- 如果使用USB 3.0 Type-A接口，默认使用TYPECO\_TX1P/TX1M、TYPECO\_RX1P/RX1M做为SSTX、SSRX信号；TYPECO\_TX2P/TX2M、TYPECO\_RX2P/RX2M不能单独支持USB 3.0 Type-A接口使用；
- USB控制器配置参考电阻请选用1%精度的电阻，该电阻关系到USB幅度并影响眼图好坏；

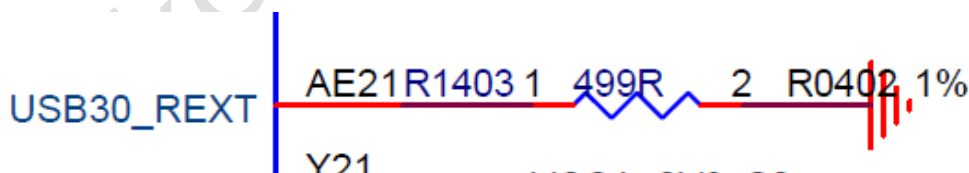


图 2 - 60 RK3399Pro USB30控制器参考电阻

- 为抑制电磁辐射，可以考虑在信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感。

### ● 2.3.3.3 USB Type-C

USB Type-C接口应该包括一个USB 2.0 OTG接口及一个USB 3.0接口，参考设计如下图所示：



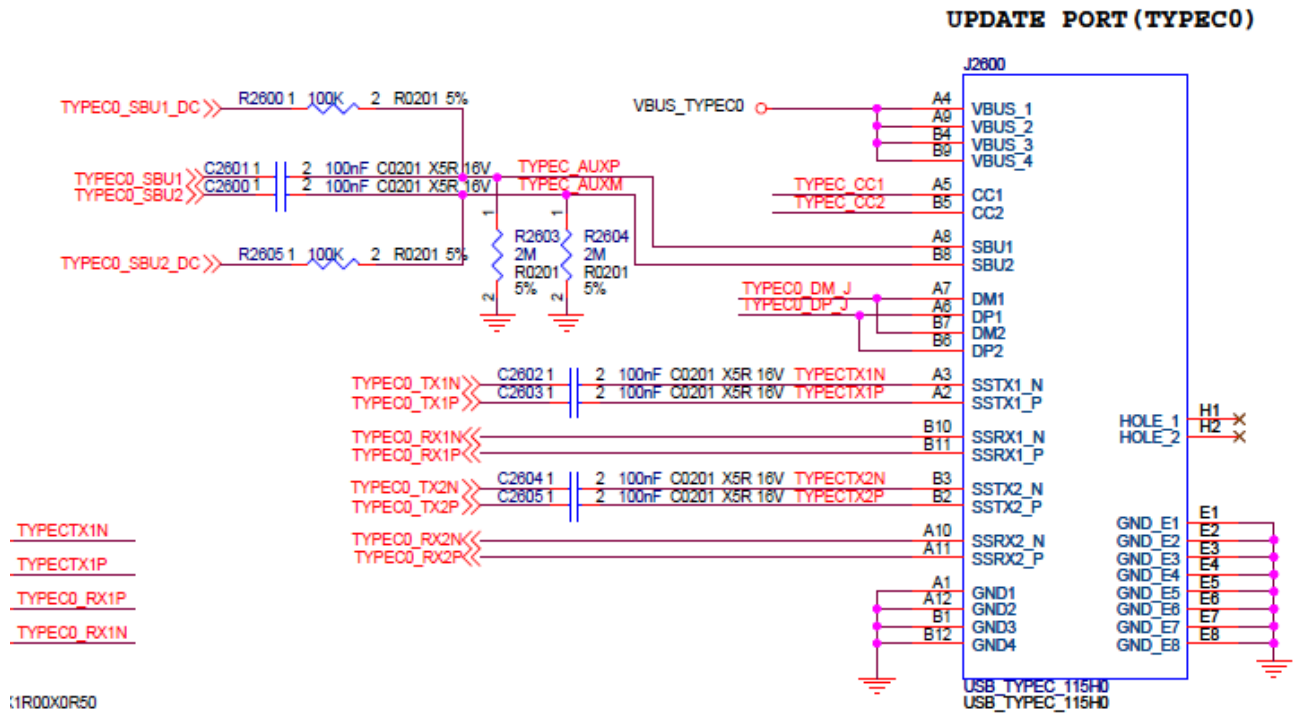


图 2-61 USB Type-C接口

- TX信号线的耦合电容应靠近接口放置，RX信号线的耦合电容由设备端提供；

#### 2.3.4 CPU DP电路

RK3399Pro CPU的USB3.0 PHY内置了DP (Display Port) 控制器, 在确定连接DP设备的情况下, 可以选择直接连接而不经USB协议控制, 具体连接分为两种情况: 与DP设备或是DP转换芯片直连; 通过USB Type-C 线缆连接。

原理图线路连接关系，请务必按照本节中表格顺序对应设计。

### ● 2.3.4.1 设备直连

在Netbook或者行业终端的应用中，会用到DP屏幕或是DP接口转换的情景，只需要将Type-C接口按照信号顺序连接Display Port即可。

表 2-16 RK3399Pro DP接口设计

信号	连接方式	说明
TYPECO_TX1P/TX1M	100nF电容耦合连接	对应DP_TX2P/TX2N
TYPECO_TX2P/TX2M	100nF电容耦合连接	对应DP_TX1P/TX1N
TYPECO_RX1P/RX1M	100nF电容耦合连接	对应DP_TX3P/TX3N
TYPECO_RX2P/RX2M	100nF电容耦合连接	对应DP_TX0P/TX0N
TYPECO_AUXP/AUXM	100nF电容耦合连接，并提供直流偏置	对应DP_AUX 辅助信号

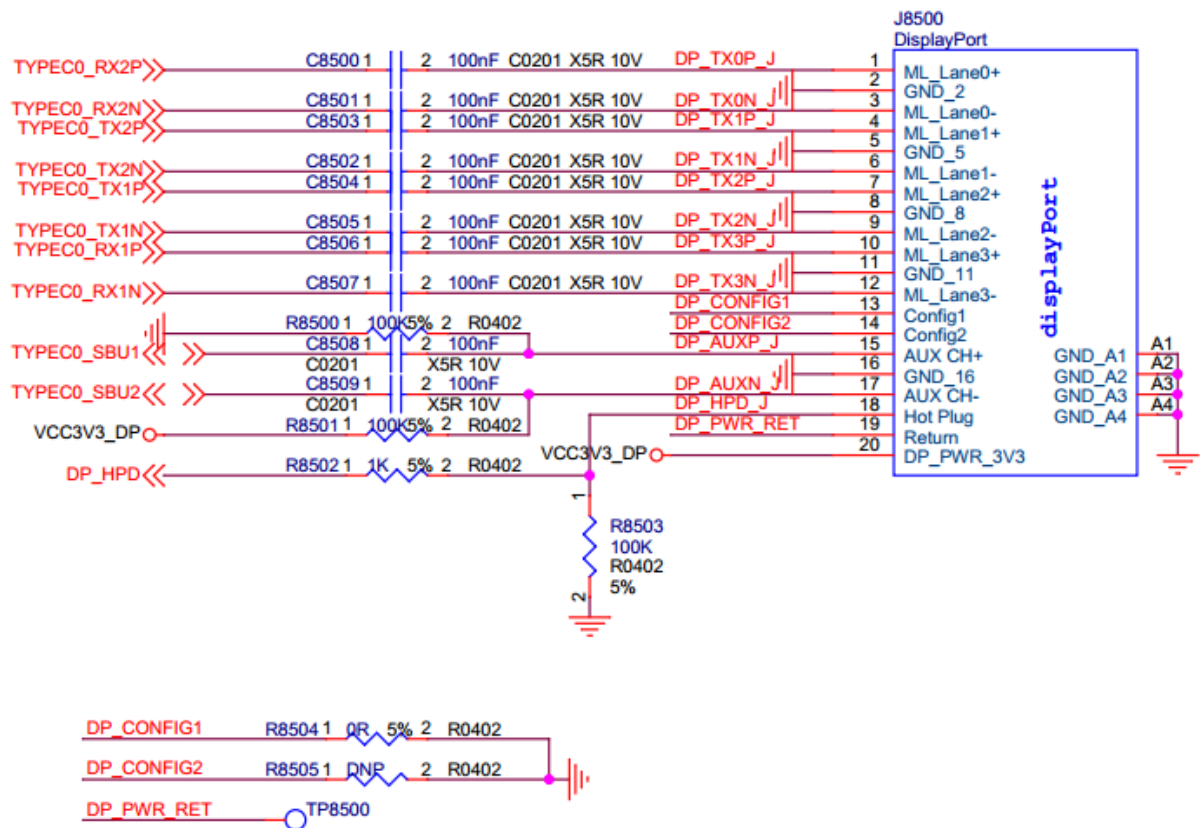


图 2 - 62 USB Type-C转DP接口

#### 2.3.4.2 线缆连接

在分体式VR眼镜的应用中，会用到DP通过USB Type-C通过线缆连接眼镜，而眼镜设备上通过DP转MIPI芯片输出图像信号的情况。在此应用场景下，需注意在标准USB Type-C线缆中TX和RX是存在交叉对应关系的，所以需要在设备上对信号做交叉处理。

如表3-15为USB规范定义的Type-C线缆连接关系：

表 2 - 17 USB全功能Type-C标准线缆

USB Type-C Plug #1		Wire		USB Type-C Plug #2	
Pin	Signal Name	Wire Number	Signal Name	Pin	Signal Name
A1, B1, A12, B12	GND	1[16]	GND_PWRrt1[GND_PWRrt2]	A1, B1, A12, B12	GND
A4, B4, A9, B9	Vbus	2[17]	PWR_Vbus1[PWR_Vbus2]	A4, B4, A9, B9	Vbus
A5	CC	3	CC	A5	CC
B5	Vconn	18	PWR_Vconn	B5	Vconn
A6	Dp1	4	UTP_Dp	A6	Dp1
A7	Dn1	5	UTP_Dn	A7	Dn1
A2	SSTXp1	6	SDPp1	B11	SSRXp1
A3	SSTXn1	7	SDPn1	B10	SSRXn1
B11	SSRXp1	8	SDPp2	A2	SSTXp1
B10	SSRXn1	9	SDPn2	A3	SSTXn1
B2	SSTXp2	10	SDPp3	A11	SSRXp2
B3	SSTXn2	11	SDPn3	A10	SSRXn2
A11	SSRXp2	12	SDPp4	B2	SSTXp2
A10	SSRXn2	13	SDPn4	B3	SSTXn2
A8	SBU1	14	SBU_A	B8	SBU2
B8	SBU2	15	SBU_B	A8	SBU1
Shell	Shield	Braid	Shield	Shell	Shield

所以RK3399Pro芯片端如下表方式连接：

表 2 - 18 RK3399Pro DP接口设计-芯片端

信号	连接方式	说明
TYPECO_TX1P/TX1M	100nF电容耦合连接	对应DP_TX2P/TX2M
TYPECO_TX2P/TX2M	100nF电容耦合连接	对应DP_TX1P/TX1M
TYPECO_RX1P/RX1M	直连	对应DP_TX3P/TX3M
TYPECO_RX2P/RX2M	直连	对应DP_TX0P/TX0M
TYPECO_AUXP/AUXM	100nF电容耦合连接，并提供直流偏置	对应DP_AUX 辅助信号

VR眼镜端如下表方式连接：

表 2 - 19 RK3399Pro DP接口设计-VR眼镜端

信号	连接方式	说明
TYPEC_TX1P/TX1M	100nF电容耦合连接	对应DP_TX3P/TX3M
TYPEC_TX2P/TX2M	100nF电容耦合连接	对应DP_TX0P/TX0M
TYPEC_RX1P/RX1M	直连	对应DP_TX2P/TX2M
TYPEC_RX2P/RX2M	直连	对应DP_TX1P/TX1M
TYPEC_AUXP/AUXM	100nF电容耦合连接，并提供直流偏置	对应DP_AUX 辅助信号

### 2.3.5 CPU 音频电路

RK3399Pro提供两组标准I2S接口，均支持master或slave模式、最高采样率至192kHz，比特率从16bits到32bits。

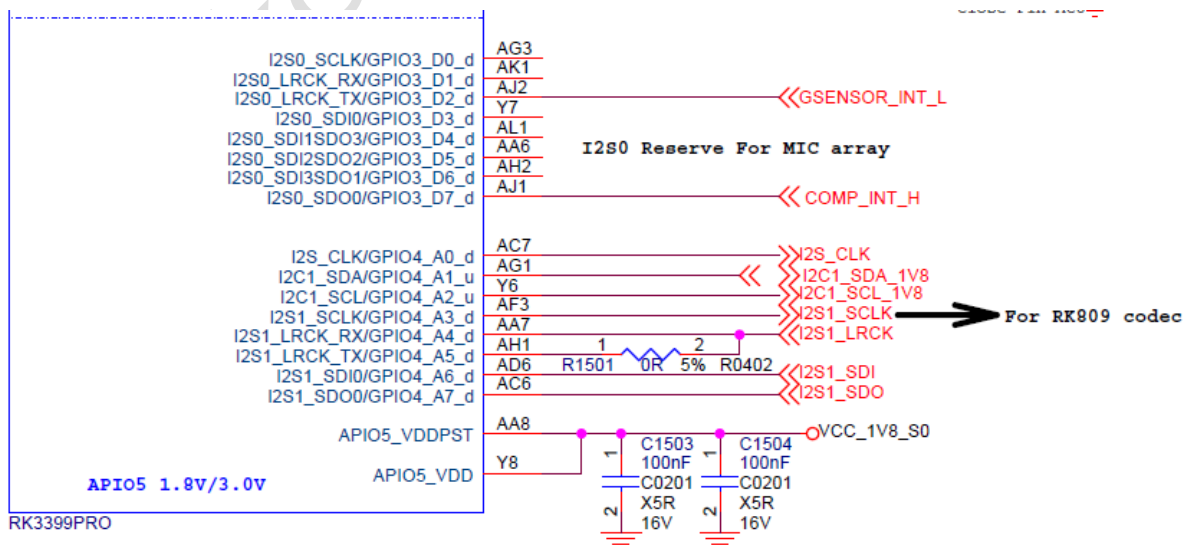


图 2 - 63 RK3399Pro I2S模块

#### ● 2.3.5.1 I2S0

I2S0接口包含1个SDI0、1个SDO0与3个SDIxSDOx接口，因此可灵活配置SDIx与SDOx接口，最多同时支持8声道输入/2声道输出或2声道输入/8声道输出。为满足播放和录音的异采样率的需求，帧时钟提供两组(LRCKTX, LRCKRX)；需要注意的是，对于SDOx和SDIx只参考一组帧时钟的情形，优先使用LRCKTX作为它们的共同时钟。

需要注意的是，该组I2S接口属于API05电源域，默认设置为VCC\_1V8\_S0供电。如I2S外设IO电平为3.3V，需调整此处供电，并注意同电源域相关IO的电平匹配。

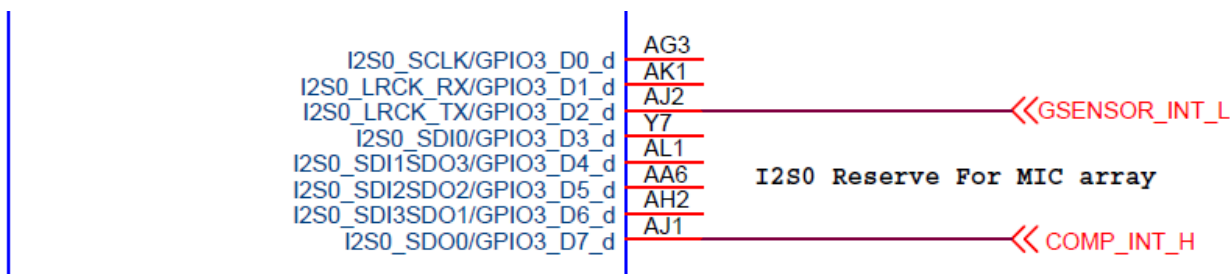


图 2 - 64 RK3399Pro I2S0模块

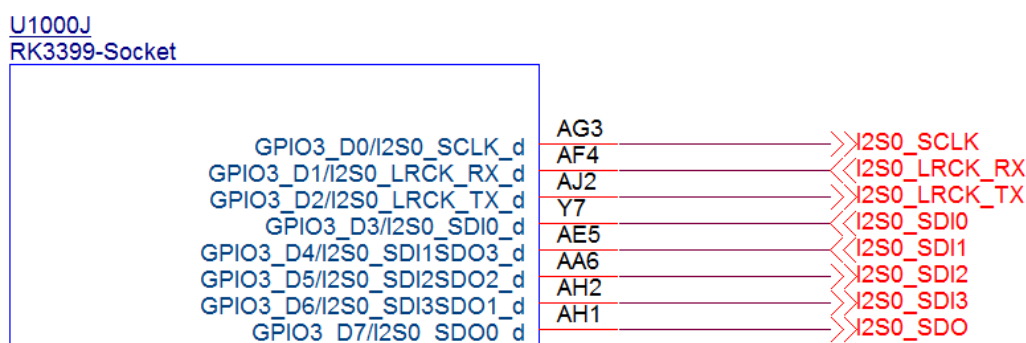


图 2 - 65 RK3399Pro I2S0的8声道输入与2声道输出

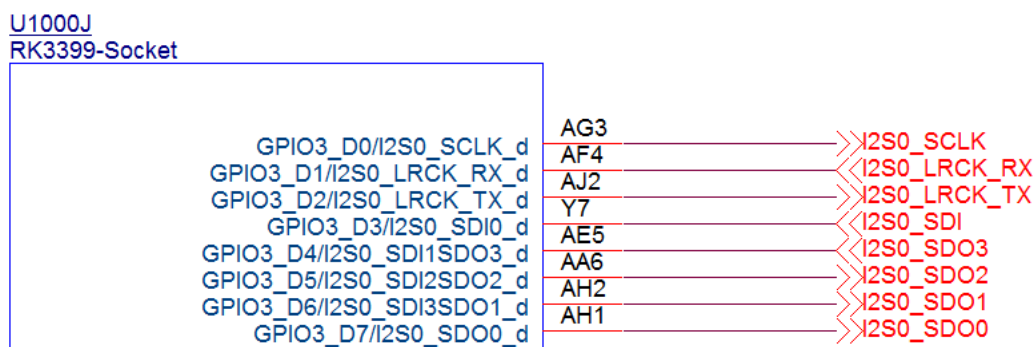


图 2 - 66 RK3399Pro I2S0的2声道输入与8声道输出

I2S0接口上下拉和匹配设计推荐如下表所示：

表 2 - 20 RK3399Pro I2S0接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S_CLK	下拉	串联22ohm电阻	I2S系统时钟输出，供I2S0&I2S1设备工作
I2S0_SCLK	下拉	串联22ohm电阻	I2S0位时钟输出
I2S0_LRCK_TX/RX	下拉	串联22ohm电阻	I2S0声道选择输入/输出
I2S0_SDI0	下拉	串联22ohm电阻	I2S0数据输入通道0
I2S0_SDI1SDO3	下拉	串联22ohm电阻	I2S0数据输入通道1/输出通道3

I2S0_SDI2SD02	下拉	串联22ohm电阻	I2S0数据输入通道2/输出通道2
I2S0_SDI3SD01	下拉	串联22ohm电阻	I2S0数据输入通道3/输出通道1
I2S0_SD00	下拉	串联22ohm电阻	I2S0数据输出通道0

- 2.3.5.2 I2S1

I2S1支持2通道输入与2通道输出，可作为PCM接口使用；默认连接到RK809 Codec I2S输入。

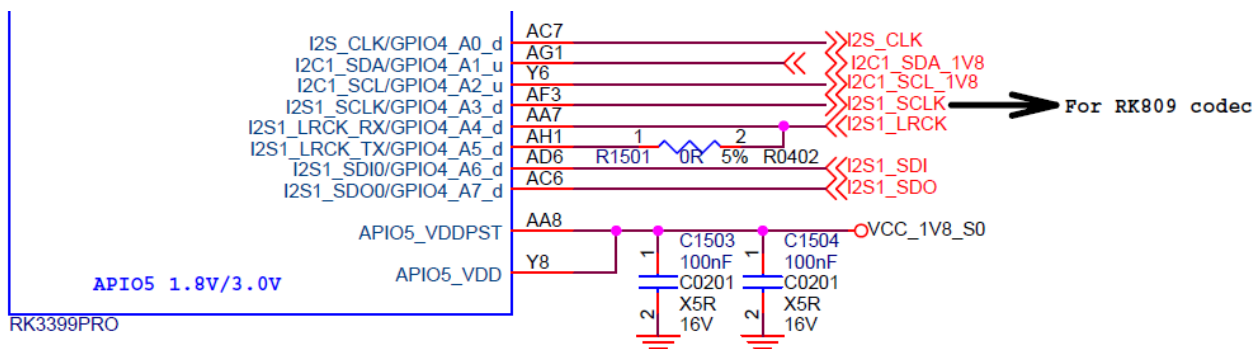


图 2-67 RK3399Pro I2S1模块

I2S1接口上下拉和匹配设计推荐如下表所示:

表 2-21 RK3399Pro I2S1接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S1_SCLK PCM_CLK	下拉	串联22ohm电阻	I2S1位时钟输出 PCM时钟
I2S1_LRCK_TX/RX PCM_SYNC	下拉	串联22ohm电阻	I2S1声道选择输入/输出 PCM数据帧同步
I2S1_SDI0 PCM_IN	下拉	串联22ohm电阻	I2S1数据输入通道0 PCM数据输入
I2S1_SDO0 PCM_OUT	下拉	串联22ohm电阻	I2S1数据输出通道0 PCM数据输出

- 2.3.5.3 Codec

RK809-3自带Codec，通过I2S接口与RK3399Pro连接。

## PMIC RK809-3 CODEC

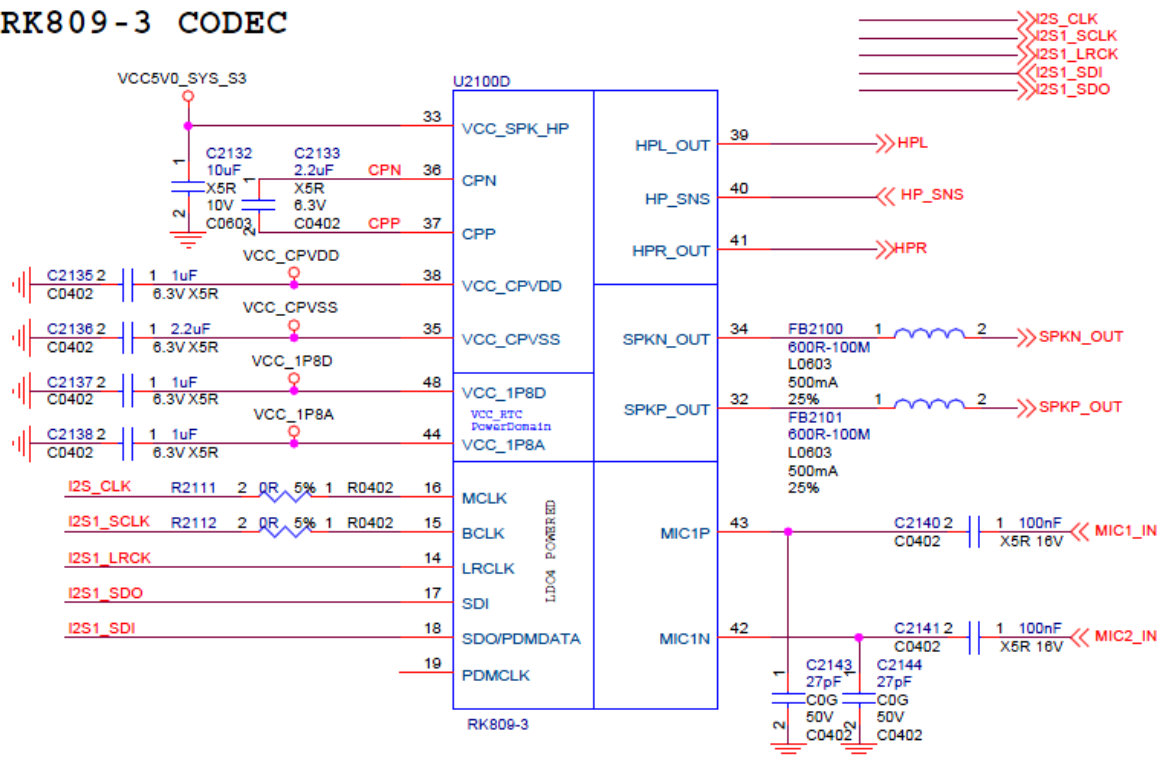


图 2 - 68 RK809-3 Codec电路

Codec输出的HPSNS作为内部Offset参考，需要与GND连接，在耳机座子处与GND相连，减小与耳机GND间的电平差，走线时在HPR/HPL中间伴随走线，避免受其他信号干扰。如果Codec的GND与耳机GND在同一完整GND平面上，器件布局靠近，则可以直接连到GND平面。

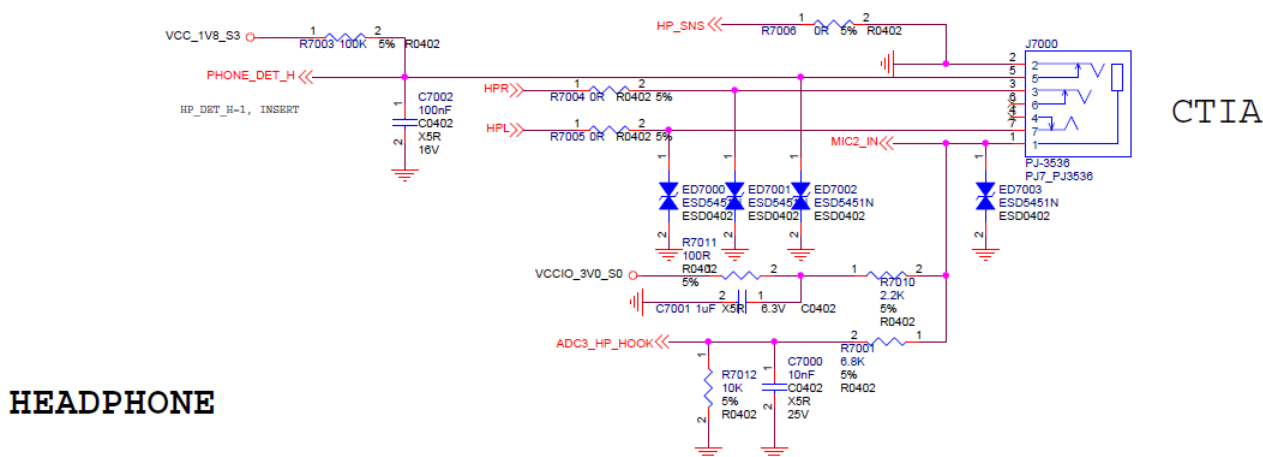


图 2 - 69 RK3399Pro Headphone电路

Codec内置Mono免滤波喇叭驱动电路，可提供1.3W@8ohm的驱动能力，满足对小功率单声道的应用场景，线路简单，可省去额外的外部功放成本。

## SPEAKER

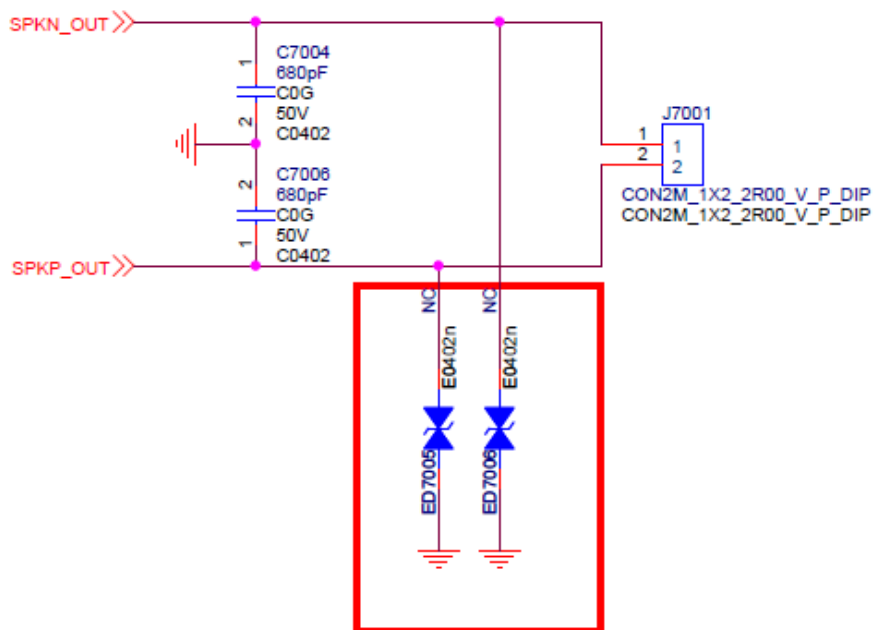


图 2 - 70 RK3399Pro Speaker电路

当使用该内置功放做阵列麦回采时，建议的回采电路如下，经过分压、滤波后输出差分回采信号到RK809-3的音频ADC接口，由RK809-3完成A/D转换后经I2S接口传回RK3399Pro。

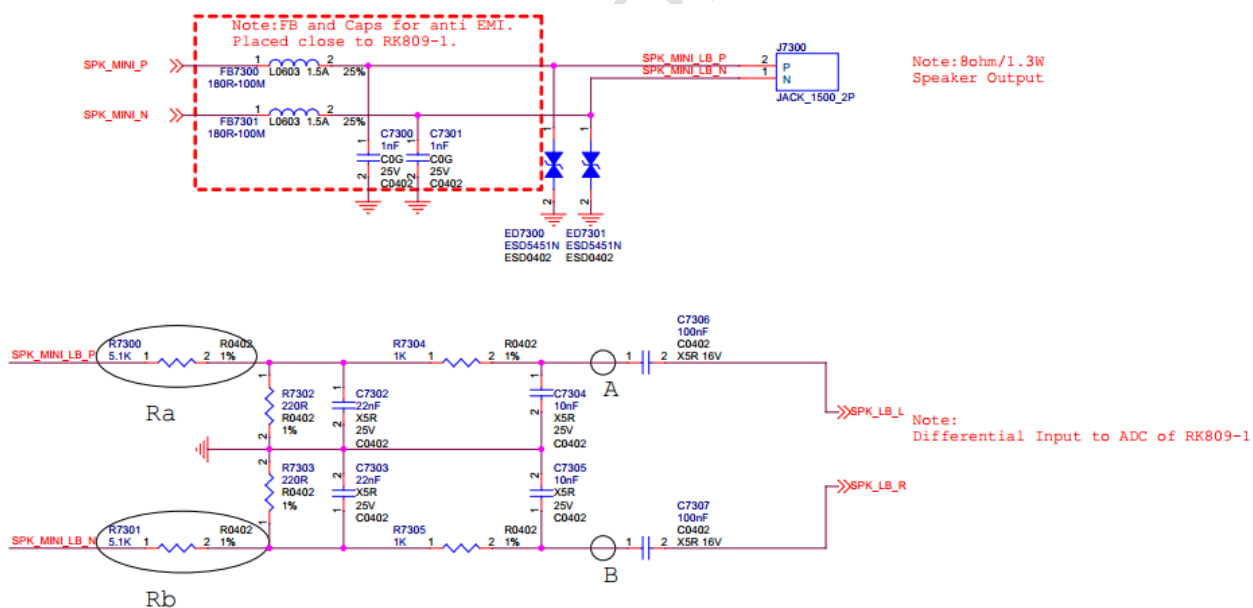


图 2 - 71 RK3399Pro Speaker电路



## PMIC RK809-3 CODEC

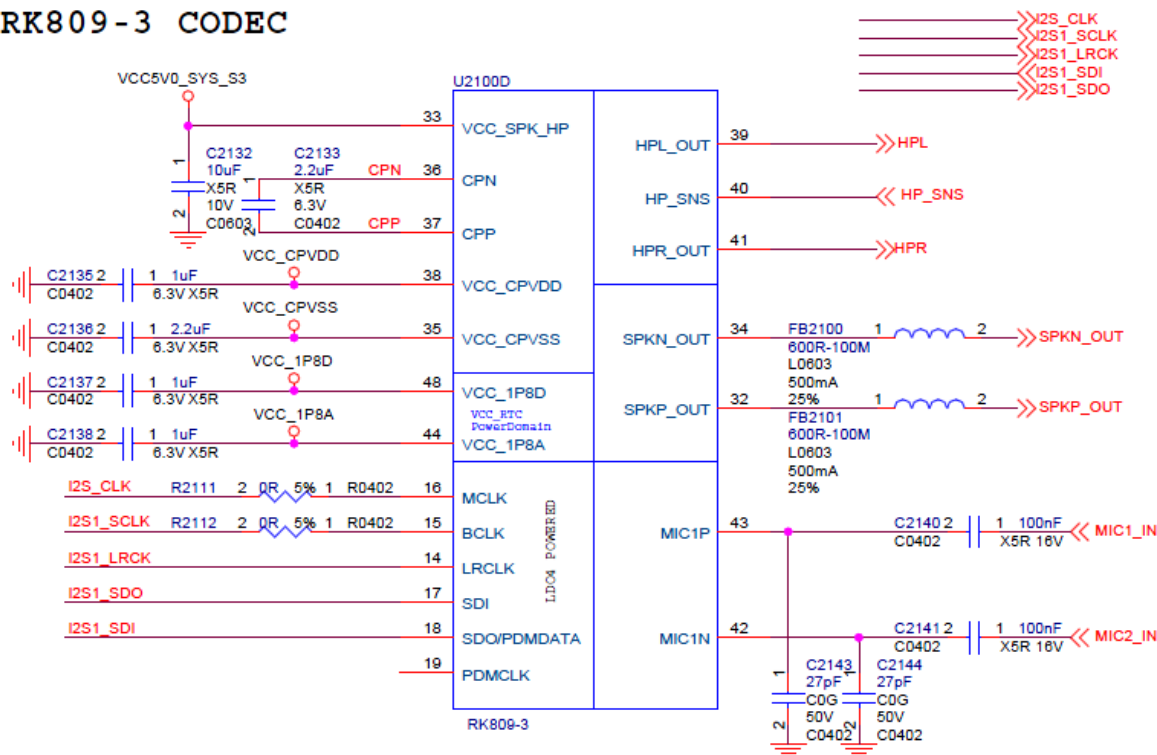


图 2-72 RK3399Pro 回采路径示意

若Codec内置Mono喇叭驱动电路无法满足对驱动能力的要求，可外挂独立的模拟/数字功放，其回采同样可参考上述电路，需要注意的是应结合独立功放的输出电平调整 $R_a$ \ $R_b$ 的电阻值，使得A/B两点处测得的最大电平不大于ADC的输入限值，根据调试情况建议小于500mV。

对于Stereo立体声的需求，RK809-3的ADC需配置为两路单端输入以满足两路回采的需求，出于不同类型功放兼容性的考虑，回采采集点放置于LINEOUT端；此处可结合算法需求作调整，也可以使用外置ADC进行回采采集；

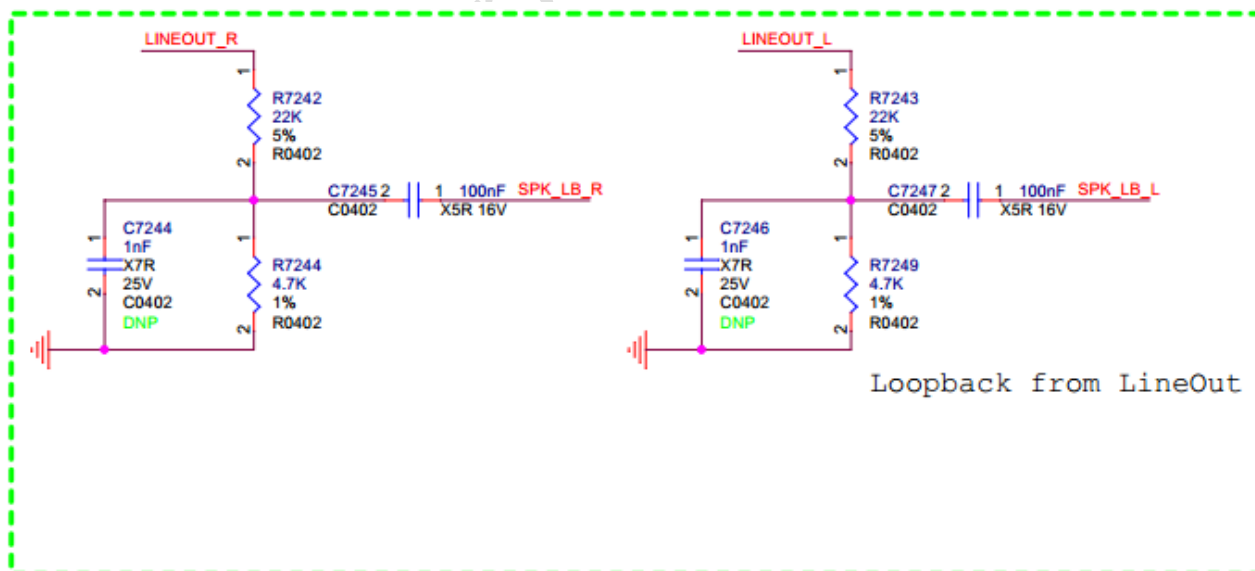


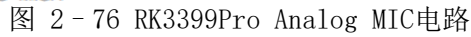
图 2-73 RK3399Pro 立体声回采

### 2.3.5.4 MIC

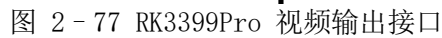
MIC电路如图3-64，请根据驻极体麦克风规格，选择合适的分压电阻R7105、R7106；如果使用的是模拟接口的MEMS MIC，请参考具体的推荐设计电路；







RK3399Pro芯片内置了视频控制器，支持eDP/HDMI/MIPI-DSI三种视频输出模式。



- eDP控制器参考电阻R1704请选用1%精度的电阻，该电阻会影响眼图信号质量；
- EDP\_TXn信号耦合电容请靠近发送端放置，即connect端；

## EDP

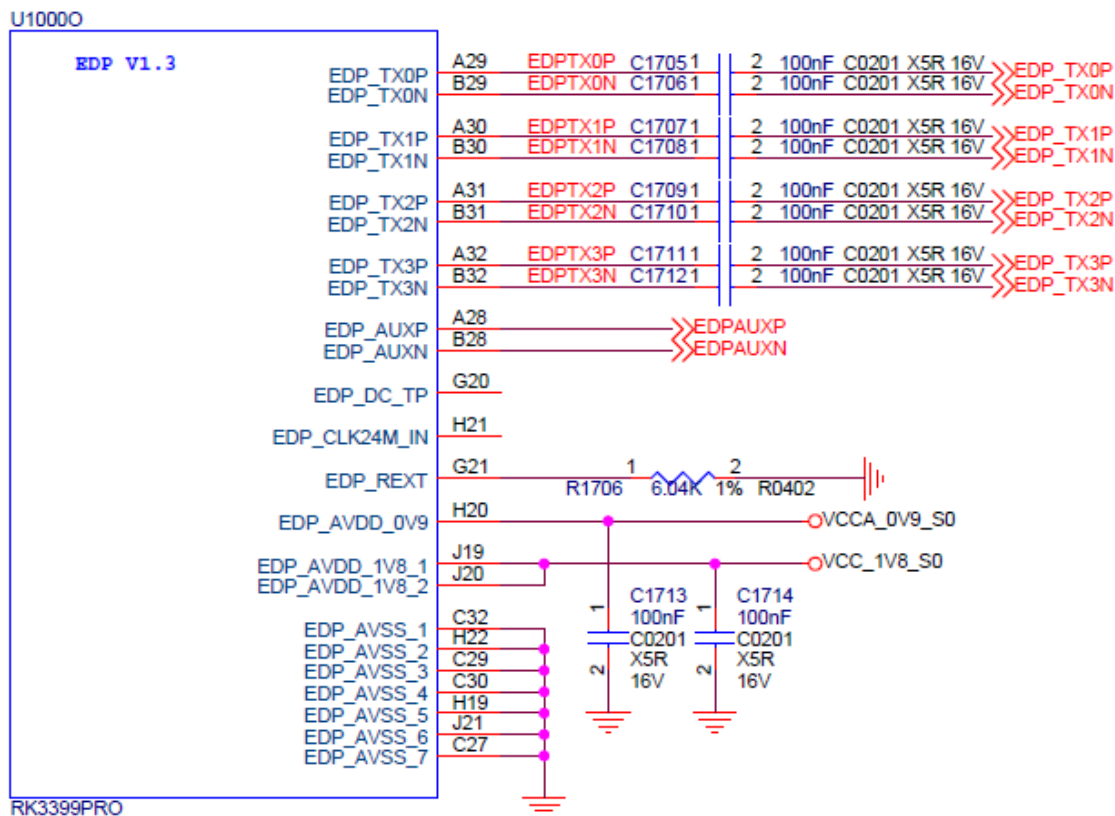


图 2 - 78 RK3399Pro eDP模块

- 2.3.6.2 HDMI OUT模式

RK3399Pro提供了一个HDMI接口，支持HDMI 2.0协议：

## HDMI

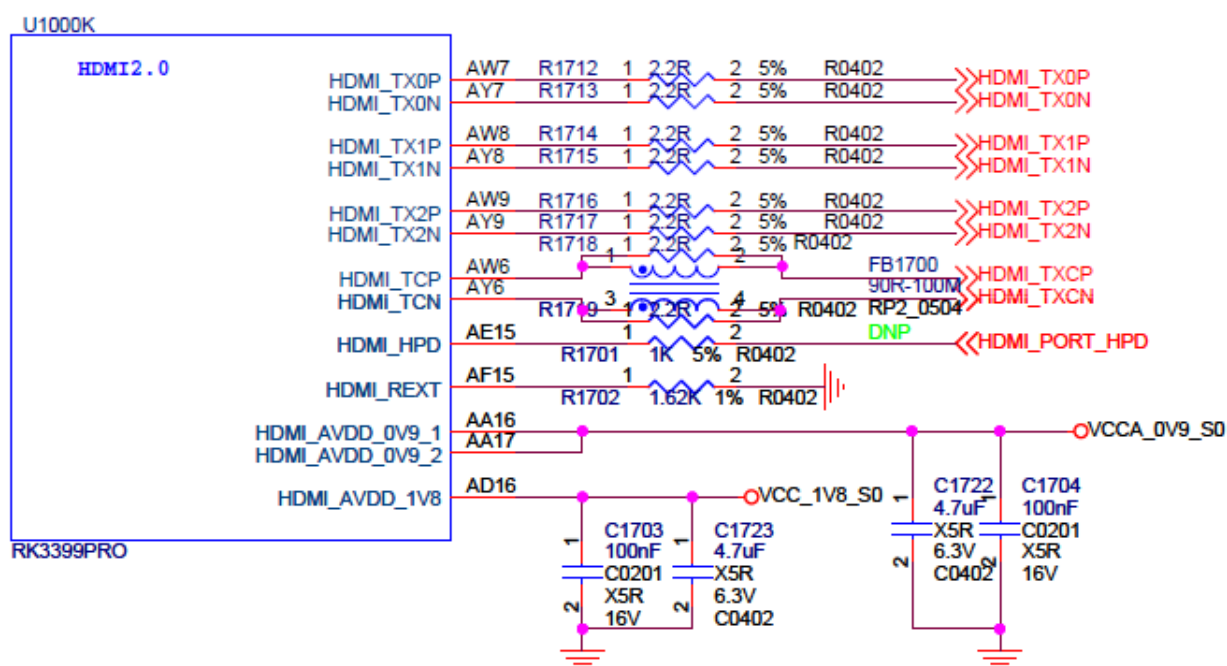


图 2 - 79 RK3399Pro HDMI模块

- HDMI控制器参考电阻R1702请选用1%精度的电阻，该电阻会影响眼图信号质量；
- HDMI 接口CEC电路注意防电平倒灌设计，详见RK3399Pro参考设计原理图；

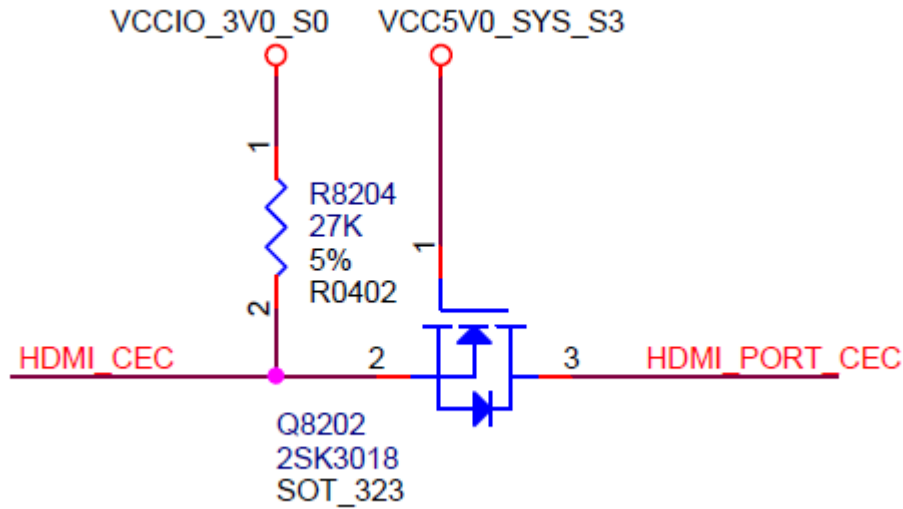


图 2 - 80 HDMI CEC防倒灌电路

- RK3399Pro芯片的I2C不支持5V电平，DDC/I2C总线需要增加电平转换电路；

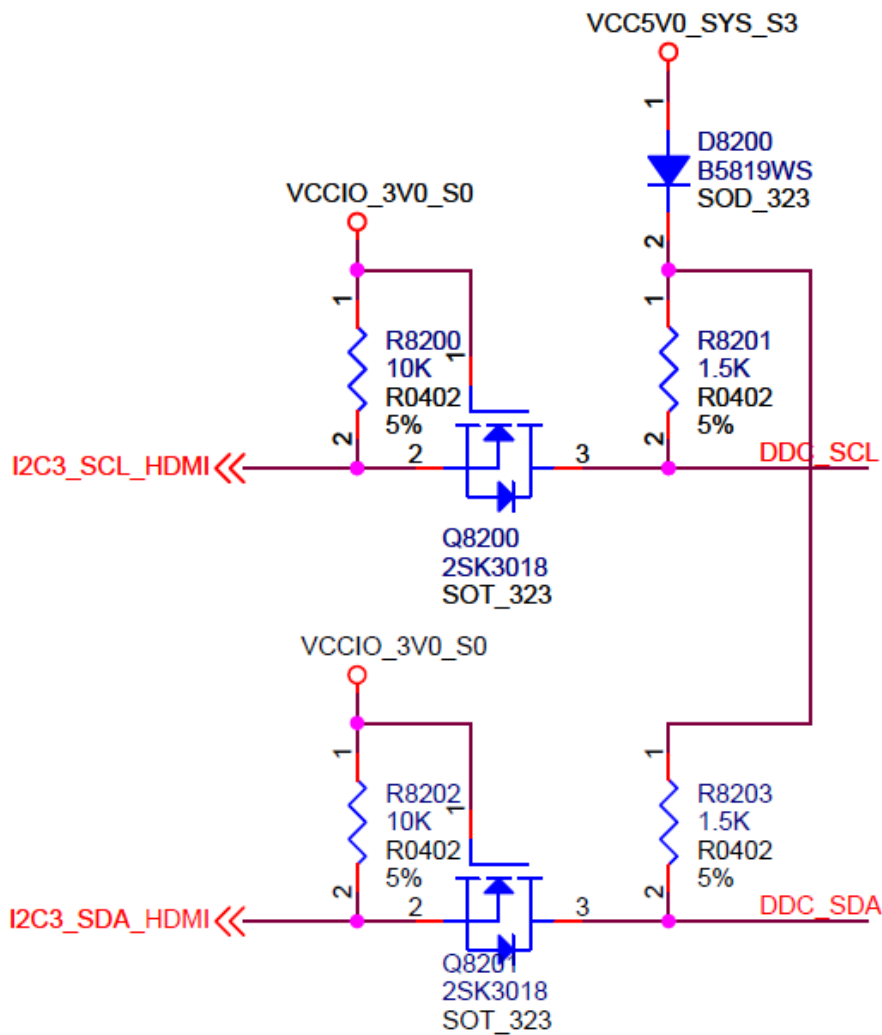


图 2 - 81 HDMI DDC电平转换电路

- HDMI的四组差分信号上需要有ESD保护，ESD器件请靠近HDMI接口放置，推荐电容最大不超过0.4pF。

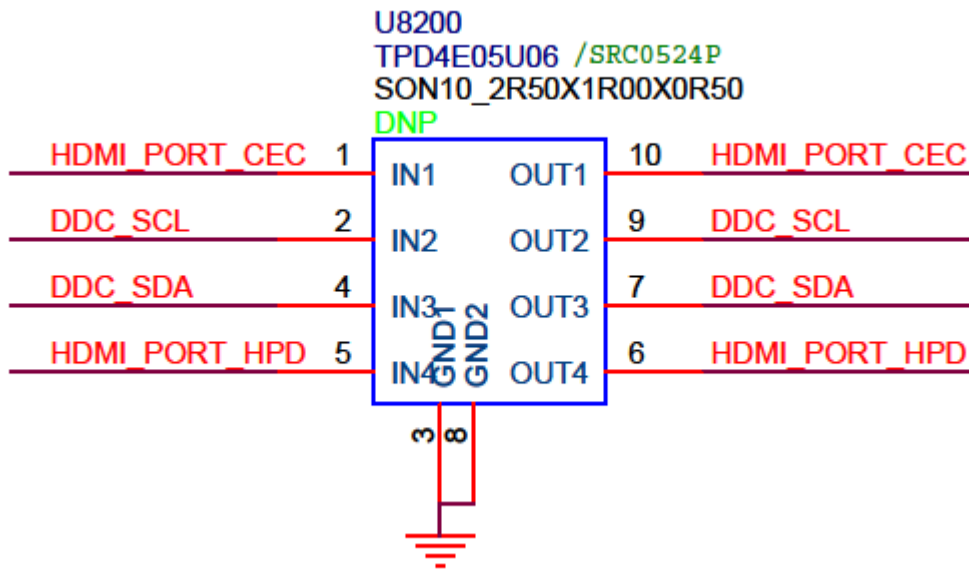


图 2 - 82 HDMI ESD电路

### ● 2.3.6.3 MIPI-DSI模式

RK3399Pro内置了两个MIPI-DSI控制器MIPI\_DSI0和MIPI\_DSI1。其中MIPI\_DSI1与MIPI\_CSI1复用管脚，同一时间只能使用其中一项功能，使用时软件上需配置对应的输入/输出模式。

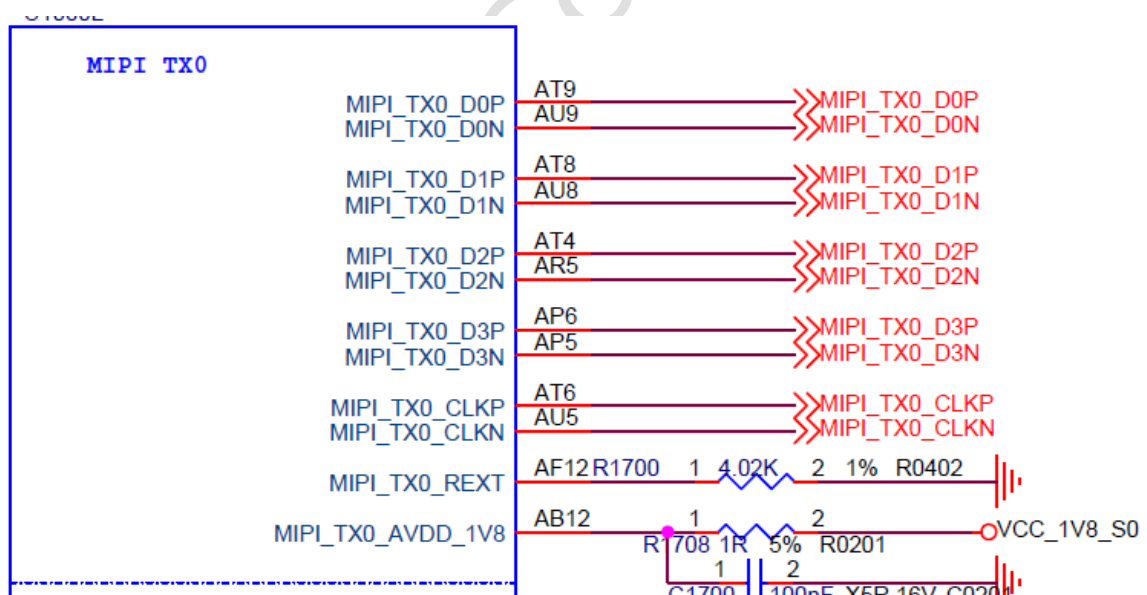


图 2 - 83 RK3399Pro MIPI-DSI0模块

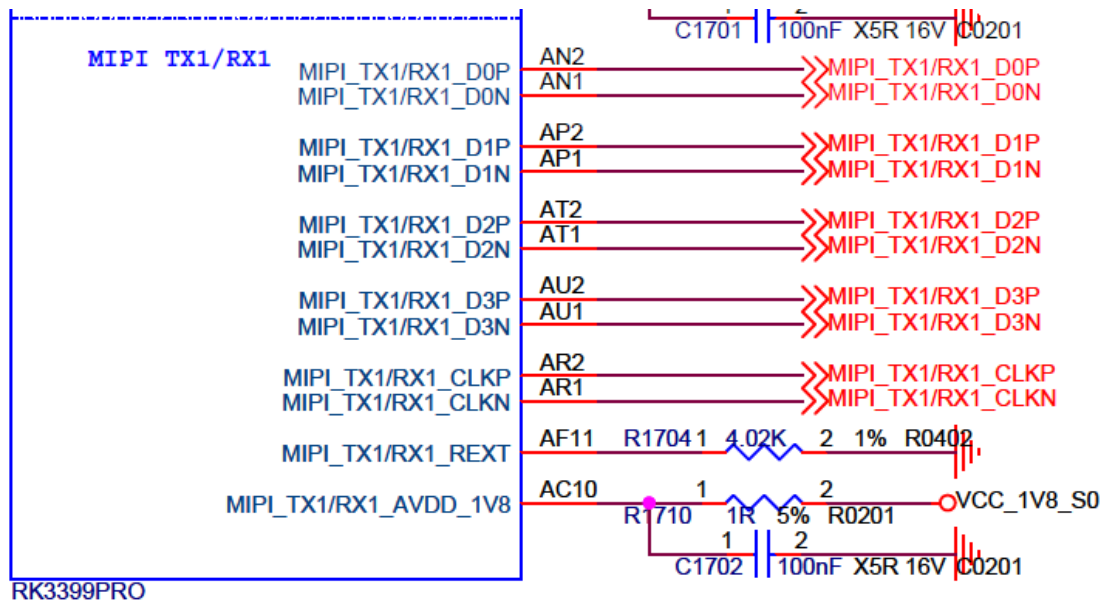


图 2-84 RK3399Pro MIPI-DSI1模块

设计中请注意:

- MIPI-DSI控制器参考电阻请选用1%精度的电阻，该电阻会影响眼图信号质量；

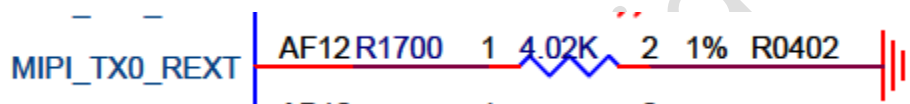


图 2-85 RK3399Pro MIPI-DSI0控制器参考电阻

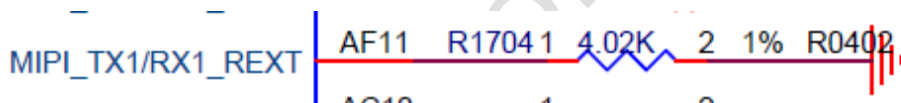


图 2-86 RK3399Pro MIPI-DSI1控制器参考电阻

- 单MIPI输出工作模式下，必须使用MIPI-DSI0控制器，即MIPI\_TX0这组；MIPI-DSI1不能被单独使用；
- 双MIPI输出工作模式下，MIPI\_TX0和MIPI\_TX1/RX1通道可以根据布局以及走线需要，整组调换使用；
- MIPI\_TX\_AVDD\_1V8与MIPI\_TX/RX\_AVDD\_1V8在芯片封装上是同一组电源，所以必须使用相同电源供电；为避免浪涌对芯片造成的损伤，MIPI控制器的1.8V电源需要串联1ohm电阻；

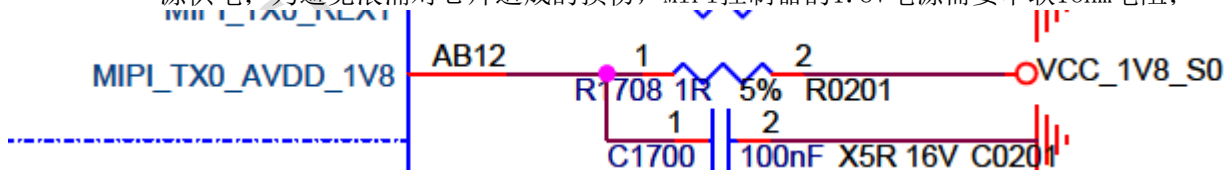


图 2-87 RK3399Pro MIPI-DSI0供电

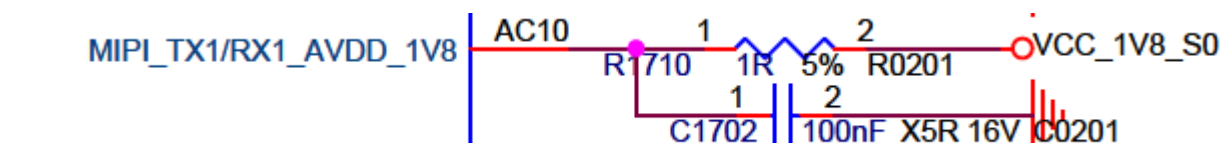


图 2-88 RK3399Pro MIPI-DSI1供电

- 为提高MIPI性能，控制器电源的去耦电容请靠近管脚放置；

### 2.3.7 CPU 摄像头电路

#### ● 2.3.7.1 USB CAMERA

USB CAMERA请参考小节2.3.3中USB的设计方法。

### ● 2.3.7.2 MIPI CSI

RK3399Pro内置了两个MIPI-CSI控制器MIPI\_CSI0和MIPI\_CSI1，均内置ISP处理器，在双MIPI输入的时候可以同时使用。其中MIPI\_CSI1与MIPI\_DSI1复用管脚，同一时间只能使用其中一项功能，使用时软件上需配置对应的输入/输出模式。

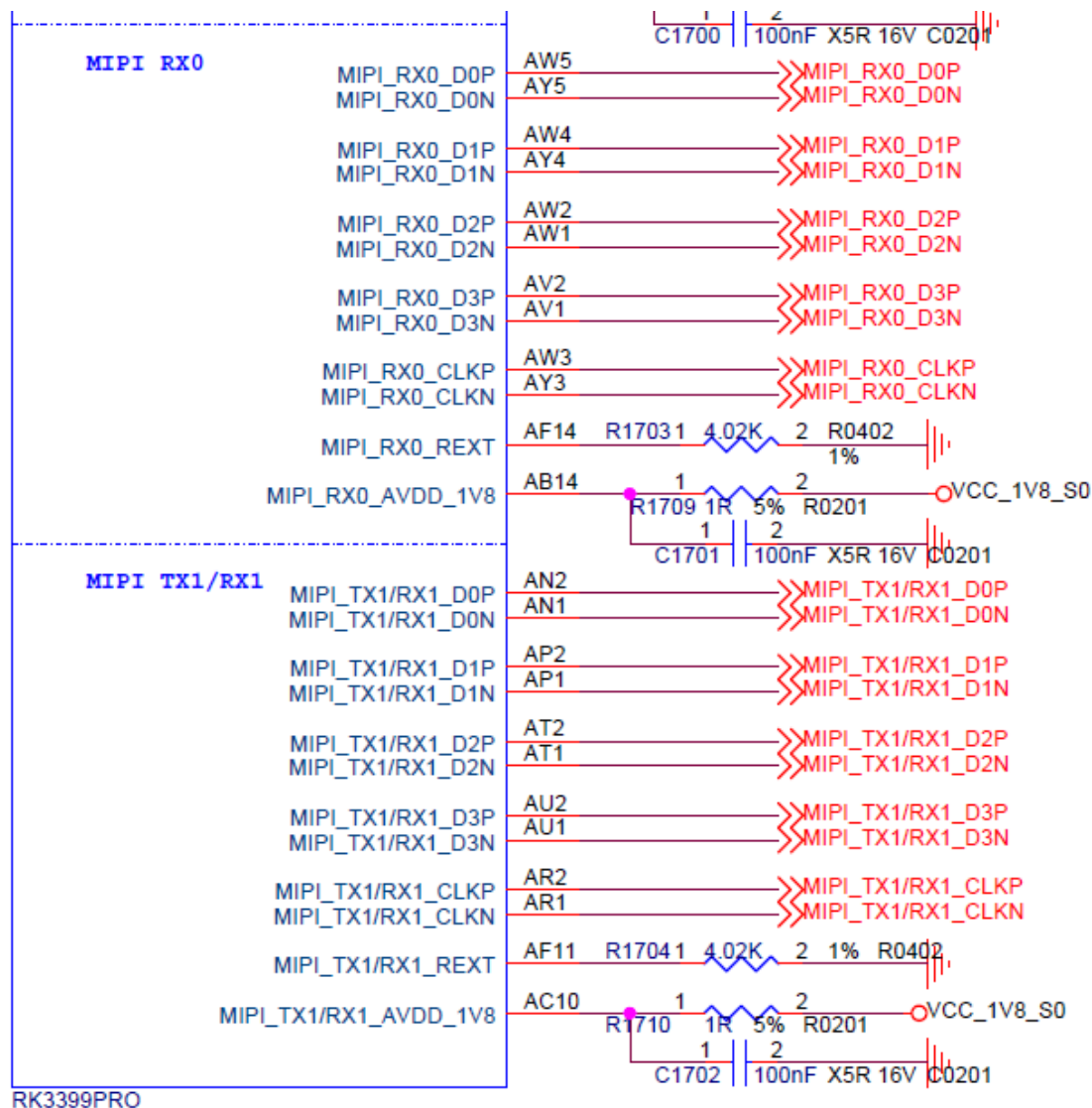


图 2-89 RK3399Pro MIPI-CSI模块

设计中请注意：

- 控制器参考电阻请选用1%精度的电阻，该电阻会影响眼图信号质量；



图 2-90 RK3399Pro MIPI-CSI0控制器参考电阻

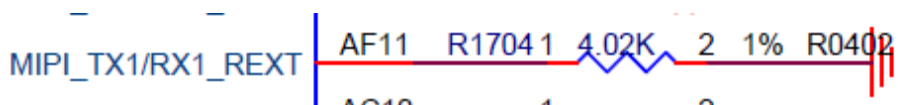


图 2-91 RK3399Pro MIPI-CSI1控制器参考电阻

- 为避免浪涌对芯片造成的损伤，MIPI-CSI控制器的电源需要串联1ohm电阻；



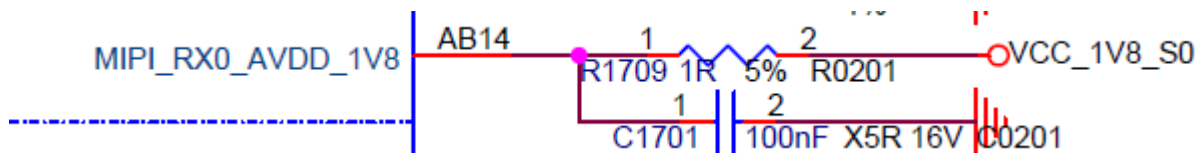


图 2-92 RK3399Pro MIPI-CSI0供电

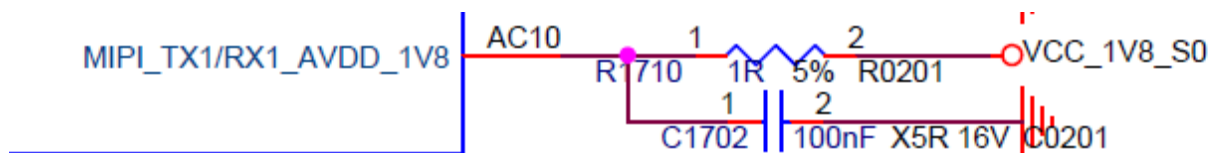


图 2-93 RK3399Pro MIPI-CSI0供电

- 为提高MIPI-CSI性能，控制器电源的去耦电容请靠近管脚放置；
- 2.3.7.3 CIF CAMERA

CIF接口电源域为API02\_VDD供电，实际产品设计中，需要根据产品Camera的实际I0供电要求（1.8V or 2.8V），选择对应的供电，同时I2C上拉电平必须与其保持一致，否则会造成Camera工作异常或无法工作。

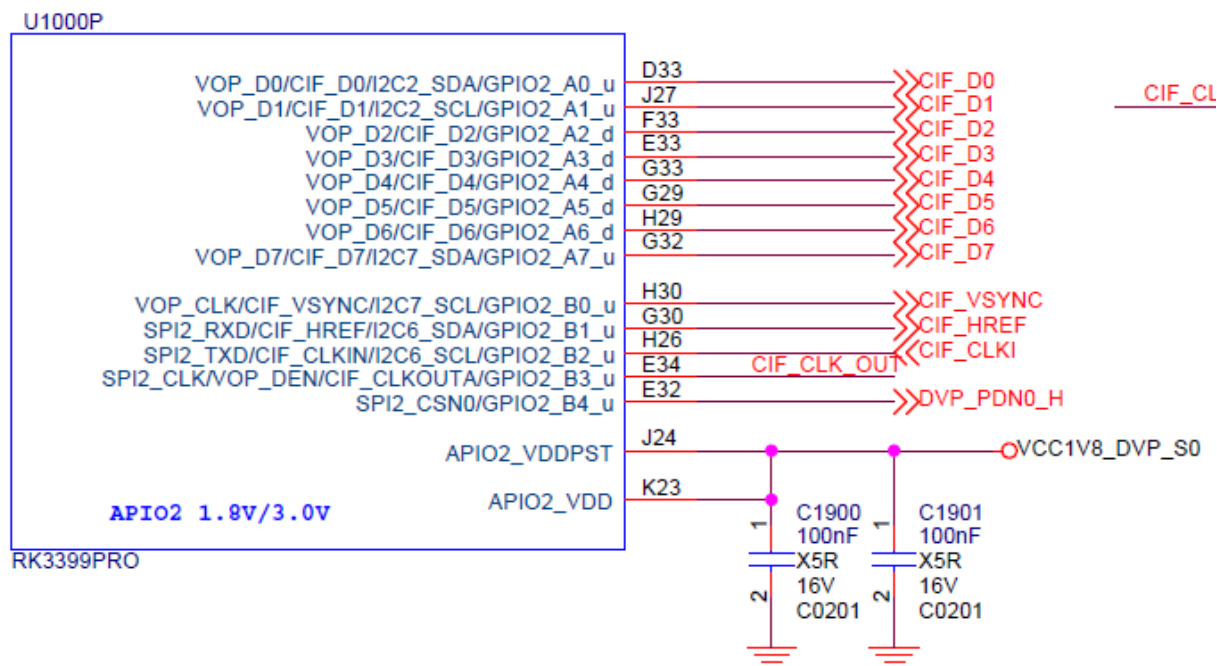


图 2-94 RK3399Pro CIF模块

### 2.3.8 CPU ADC电路

RK3399Pro芯片采用SARADC的ADC\_IN2做为键值输入采样口，并复用为Recovery模式按键（不需要更新LOADER），如图。在系统已经烧录固件的前提下，系统启动时拉低ADKEY\_IN，将ADC\_IN2保持为0V电平，则RK3399Pro进入Rockusb烧写模式。当PC识别到USB设备时，松开按键使ADC\_IN2恢复为高电平（1.8V），即可进行固件烧写。



## 注意

平板、BOX和VR产品均使用此升级方法；而Netbook使用的是EC烧录，需要使用servoboard烧写工具。

RK3399Pro上, SARADC采样范围为0~1.8V, 采样精度为10bits。按键阵列采用并联型, 可以通过增减按键并调整分压电阻比例来调整输入键值, 实现多键输入以满足客户产品需求。设计中建议任意两个按键键



值必须大于+/-35, 即中心电压差必须大于123mV。

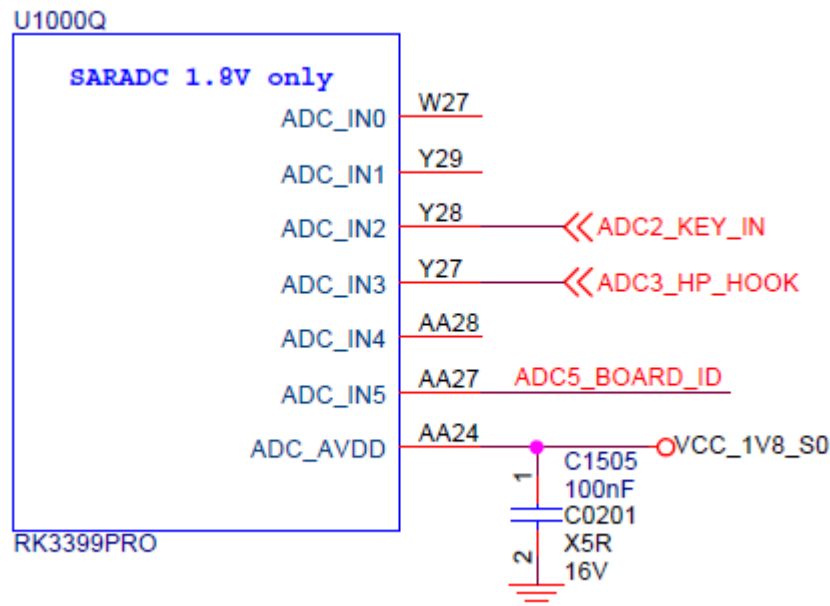


图 2 - 95 RK3399Pro SAR-ADC模块

### 2.3.9 CPU SDIO/UART电路

RK3399Pro支持SDIO 3.0接口的WIFI/BT模组，如下图所示。采用SDIO、UART接口的WIFI/BT模组时，需要注意RK3399Pro SDIO、UART控制器的供电为1.8V，所以模组的IO电平也必须支持1.8V。

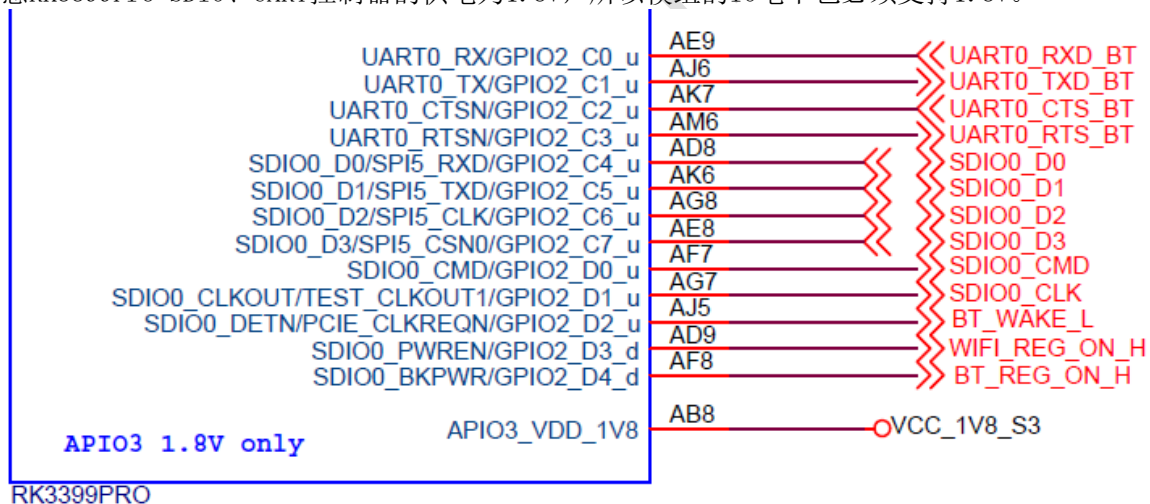


图 2 - 96 RK3399Pro SDIO/UART模块

#### ● 2.3.9.1 SDIO

SDIO接口上下拉和匹配设计推荐如下表所示：

表 2 - 22 RK3399Pro SDIO接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SDIO0_DQn[0:3]	上拉	串联22ohm电阻 走线较短时可删除	SDIO数据发送/接收
SDIO0_CLK	下拉	串联22ohm电阻	SDIO时钟发送
SDIO0_CMD	下拉	串联22ohm电阻 走线较短时可删除	SDIO命令发送/接收

### 2.3.9.2 UART

UART接口上下拉和匹配设计推荐如下表所示:

表 2 - 23 RK3399Pro UART接口设计

信号	内部上下拉	连接方式	描述（芯片端）
UART0_RX	上拉	直连	UART1数据输入
UART0_TX	上拉	直连	UART1数据输出
UART0_CTSn	上拉	直连	UART1允许发送信号
UART0_RTSn	上拉	直连	UART1请求发送信号

### 2.3.10 CPU UART Debug电路

RK3399Pro的Debug UART2与SDMMC接口复用在一起, 当需要调试时, 可以外接UART转USB转接小板进行调试。

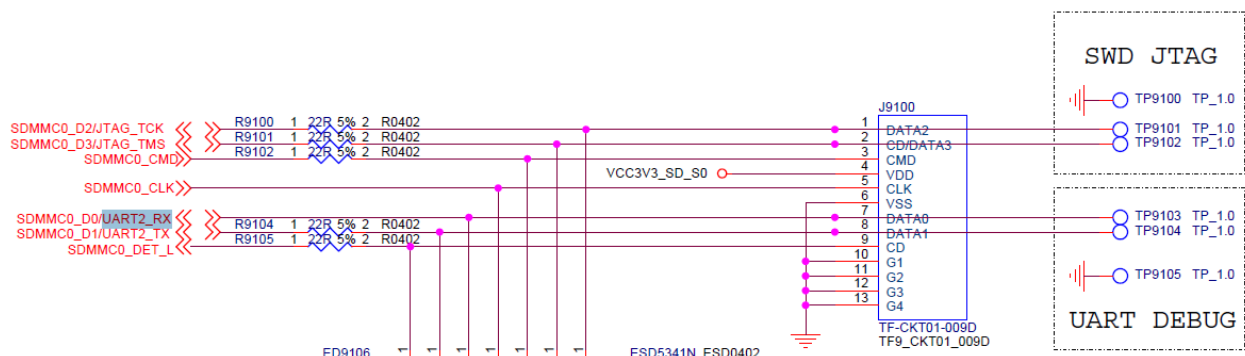


图 2 - 97 RK3399Pro UART2复用关系

端口号请选择PC连接开发板的端口号, 波特率选择1.5M, 流控RTS/CTS不需勾选。如果PC端内置的DB-9端口不支持高速率模式, 请使用USB转串口的方式。

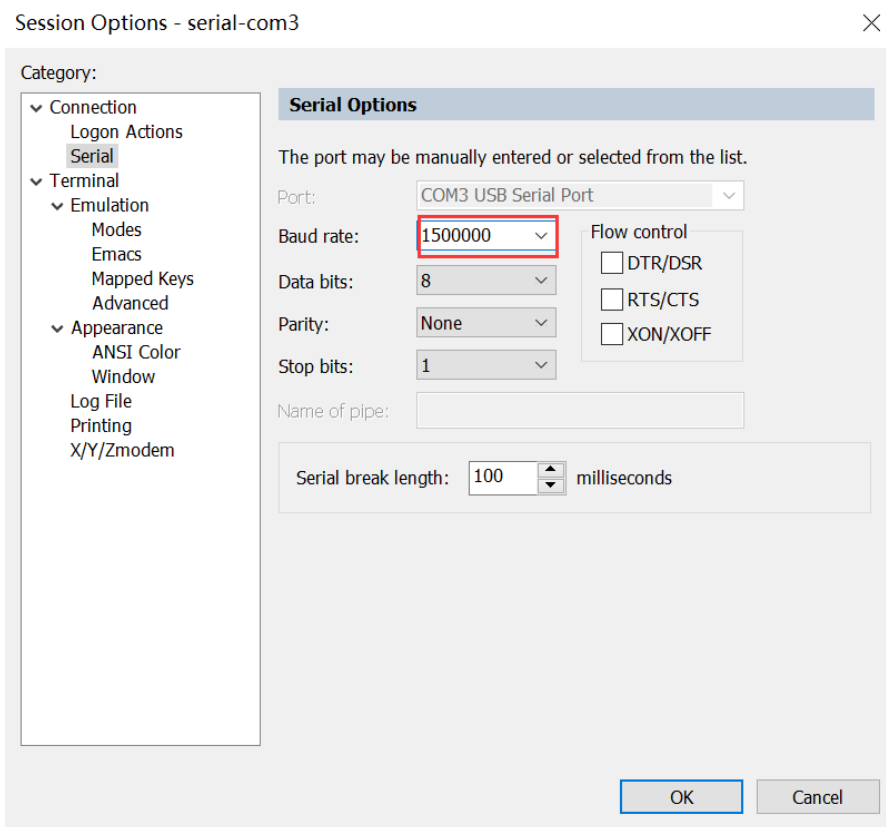


图 2-98 RK3399Pro 串口配置

### 2.3.11 CPU 数字音频电路

SPDIF全称为Sony/Philips Digital Interface Format是SONY、PHILIPS数字音频接口的简称。就传输载体而言，SPDIF又分为同轴和光纤两种，其实他们可传输的信号是相同的，只不过是载体不同，接口和连线外观也有差异。但光信号传输无需考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。

RK3399Pro提供一个SPDIF输出接口,最大支持24bits解析度。光纤SPDIF座子最高传输速率决定了SPDIF的最高采样率,如果光纤SPDIF座子最高传输16Mbps,那么采样率最高只能到96KHz,光纤SPDIF座子需支持25Mbps,采样率才能支持192KHz。

数字音频输出光纤接口电路如下图所示，信号到接口走线需要有伴随地。

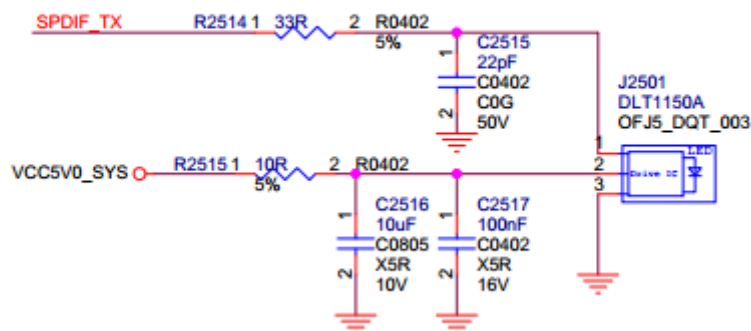


图 2-99 SPDIF使用光纤接口

数字音频输出同轴接口电路如下图，信号到接口走线需要有耦合电容进行隔直处理，否则当设备端电平不匹配的时候，会有烧坏芯片的风险：



## PCIE

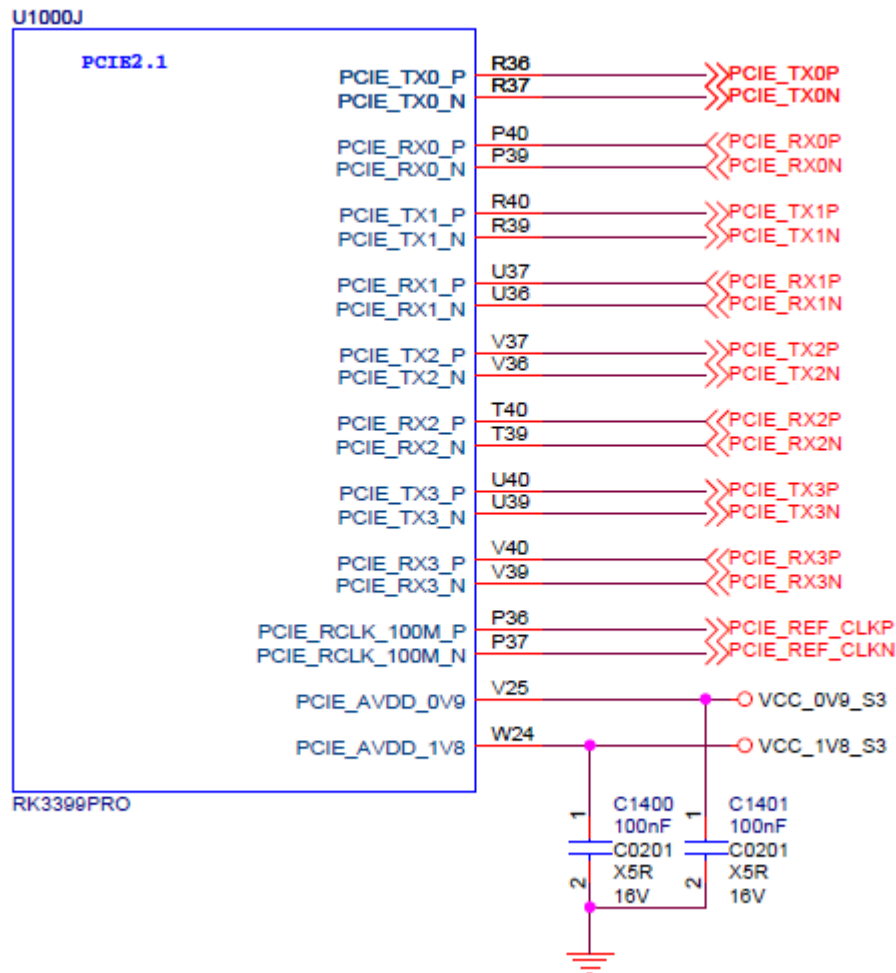


图 2 - 101 RK3399Pro PCIe模块

- TX信号线的耦合电容应靠近PCIe连接座放置，RX电容由设备端提供；
- A bulk decoupling capacitor (greater than 10  $\mu\text{F}$ ) is recommended on each power supply used within a device on the add-in card. This bulk decoupling capacitor should be in close proximity to the add-in card device.

图 2 - 102 PCIe JEDEC中的耦合电容放置需求

- 应用中请注意PCIe设备的供电情况，如果是SSD存储类设备的功耗要求比较大，而网卡类设备的功耗需求比较低；

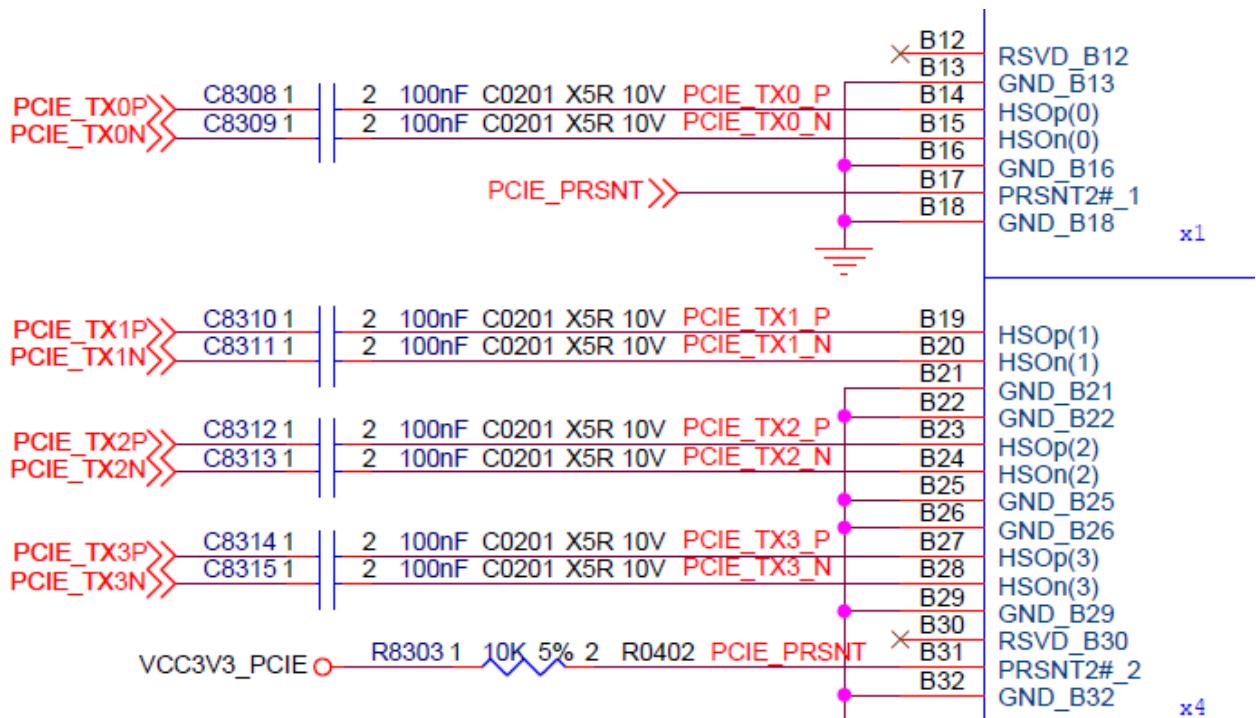


图 2 - 103 PCIe TX耦合电容

### 2.3.13 CPU eFUSE电路

eFUSE是电子熔丝的简称，本质是内嵌的一次性可编程存储器（OTP：One Time Programmable Memory），它仅可被烧写一次，但可以被多次读取。eFUSE memory的编程是按bit进行的，初始状态下所有eFUSE bit均为0，通过瑞芯微电子提供的工具并按照对应的编程时序，可以将bit从0改成1。一旦某个bit被烧写成1后便再也无法被修改，而为0的bit还可以继续被修改。eFUSE的一部分区域用于存储芯片信息，无法修改。一部分可编程区域，用户可以用来存储自定义信息进行加密操作。RK3399Pro CPU eFUSE具有如下特点：

- 两个1024 bits（32x32）高密度eFUSE；
- 编程时需要提供电源，读取时不需要提供电源；

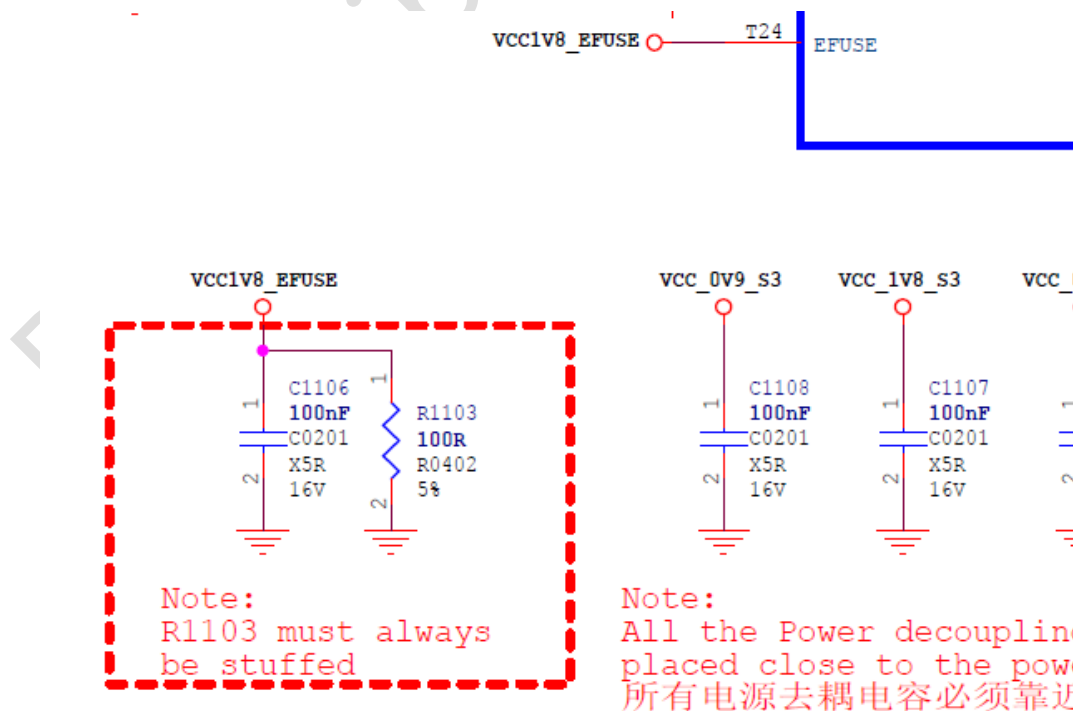


图 2 - 104 RK3399Pro CPU eFUSE模块

eFUSE使用中请注意：

- 请使用瑞芯微电子提供的PC工具，在Maskrom模式下进行编程；
- eFUSE管脚连接100ohm放电电阻，避免引脚悬空；
- 编程电源请参考瑞芯微电子提供的电路，并使用固定的电源控制信号（EFUSE\_VQPS/GPI04\_D3）；

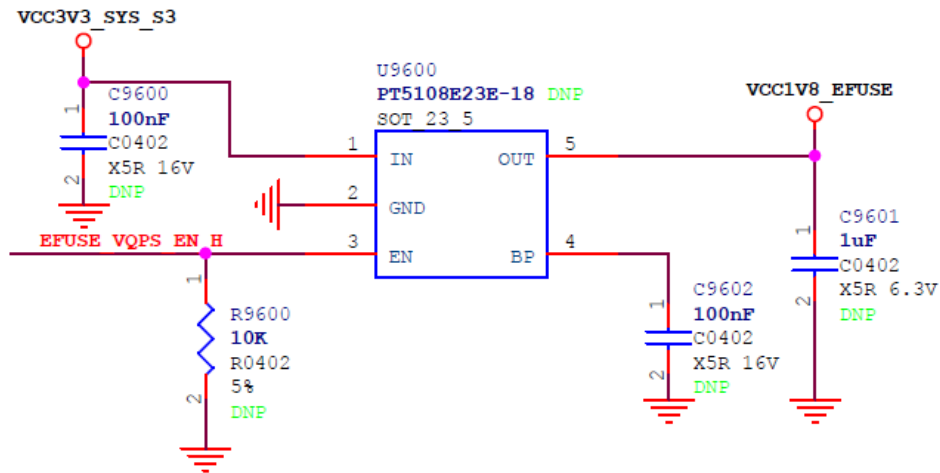


图 2 - 105 RK3399Pro CPU eFUSE供电

- 如果为了降低成本，可以将eFUSE供电电路预留在工装上，但是必须保持电源控制信号，以配合编程的时序要求；
- 如果没有使用该功能，可以删除电路，并将管脚接地；

### 3 NPU 原理图设计建议

#### 3.1 NPU 最小系统设计

##### 3.1.1 NPU 时钟电路

RK3399Pro NPU的时钟由CPU的PLL分频出来提供，不需要外接晶体，如下图所示：

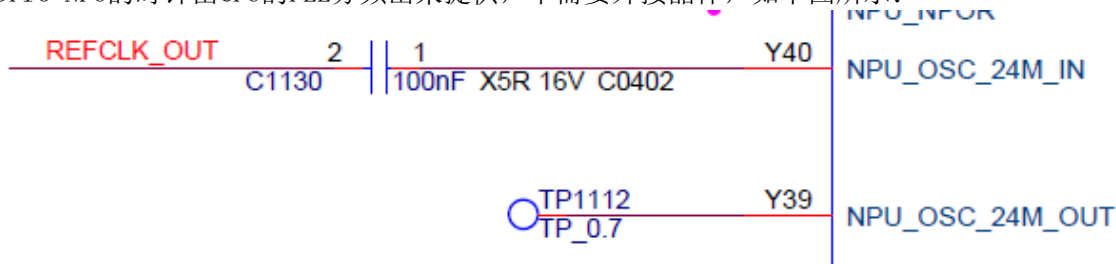


图 3-1 RK3399Pro NPU 晶体连接方式及器件参数



#### 注意

电容C1102、C1103的值需要根据晶体的实际标称负载电容值选择，8pF为我司选用晶体所对应容值，不为通用值。

RK3399Pro NPU在待机时，会将内部时钟源切换到内部PLL分频出来的PVTM上，自动生成32.768KHz时钟降低系统时钟频率达到降低系统功耗的目的，该时钟不需要外部提供，如下图所示：



图 3-2 RK3399Pro NPU 待机时钟输入

外置32.768kHz RTC时钟参数如下表所示：

表 3-1 RK3399Pro NPU 32.768KHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	32.768000			kHz
频率偏差	+/-30			ppm
工作温度	-20	70	℃	Frequency tolerance
占空比	50			%

##### 3.1.2 NPU 复位电路

RK3399Pro芯片内部集成POR(Power on Reset)电路，低电平有效，电容C1100用来消除抖动，布局时请靠近RK3399Pro放置。为保证芯片稳定和正常工作，所需的最短复位时间为100个24MHz主时钟周期，即至少4us以上。

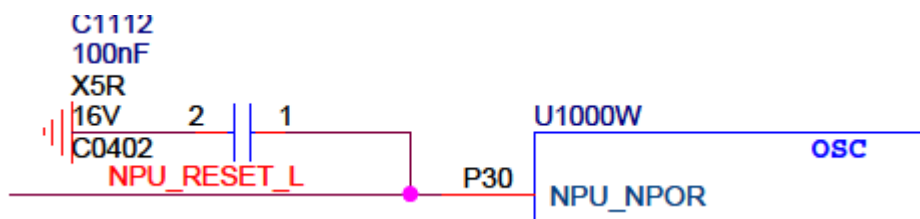


图 3-3 RK3399Pro NPU 复位输入

##### 3.1.3 NPU 系统启动引导顺序

RK3399Pro NPU的系统启动引导顺序优先级从高到低依次为：

- SPI FALSE



- USB OTG

### 3.1.4 NPU 系统初始化配置信号

RK3399Pro NPU中有个重要信号，需要在上电前配置完毕，是NPU的OSC配置管脚。应用中，通过该管脚，来选择NPU的时钟输入源，是由自身24MHz晶体生成系统时钟，或者由外部输入24MHz时钟供系统使用。

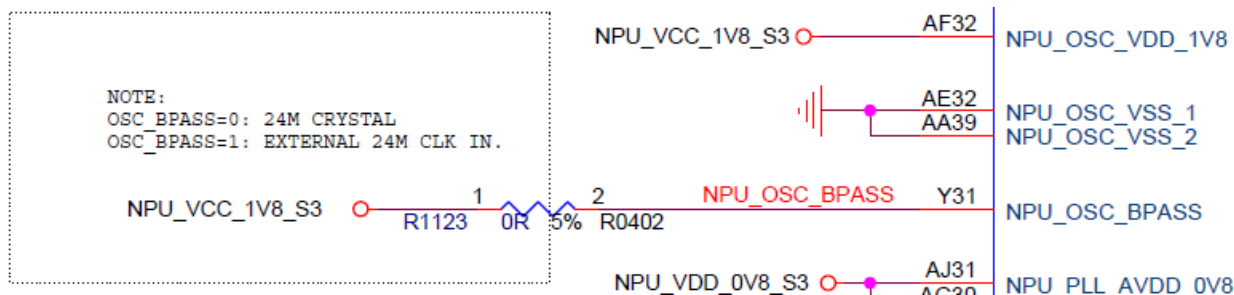


图 3-4 RK3399Pro NPU PMUI02电源域电平配置管脚

这个管脚的配置方式如下表所示。

表 3-2 RK3399Pro NPU 系统初始化配置信号描述

信号名	内部上下拉	描述
NPU_OSC_BPASS	下拉	NPU OSC选择管脚： 0: 系统24MHz晶体时钟 (default); 1: 外部24MHz时钟输入;

### 3.1.5 NPU JTAG Debug电路

RK3399Pro NPU的JTAG接口符合IEEE1149.1标准，PC可通过SWD模式（两线模式）连接DSTREAM仿真器，调试芯片内部Core。

JTAG接口说明如下表所示：

表 3-3 RK3399Pro NPU JTAG Debug接口信号

信号名	描述
JTAG_TCK	JTAG时钟输入，建议下拉。
JTAG_TMS	JTAG模式选择输入，建议上拉。

### 3.1.6 NPU DDR电路

- 3.1.6.1 DDR控制器介绍

RK3399Pro芯片NPU的DDR控制器接口支持JEDEC SDRAM标准接口，控制器有如下特点：

- 支持DDR3/DDR3L/LPDDR3等标准；
- 提供一个32bit的DDR控制器接口，控制器接口分别提供2个CS、2个ODT，支持数据总线位宽，地址总线最大支持16bit；
- 支持的最大DDR容量为4GB；
- 支持Power Down、Self Refresh等低功耗模式；

- 3.1.6.2 DDR拓扑结构与连接方式

以LPDDR3为例，RK3399Pro的SDRAM拓扑结构如下图所示：

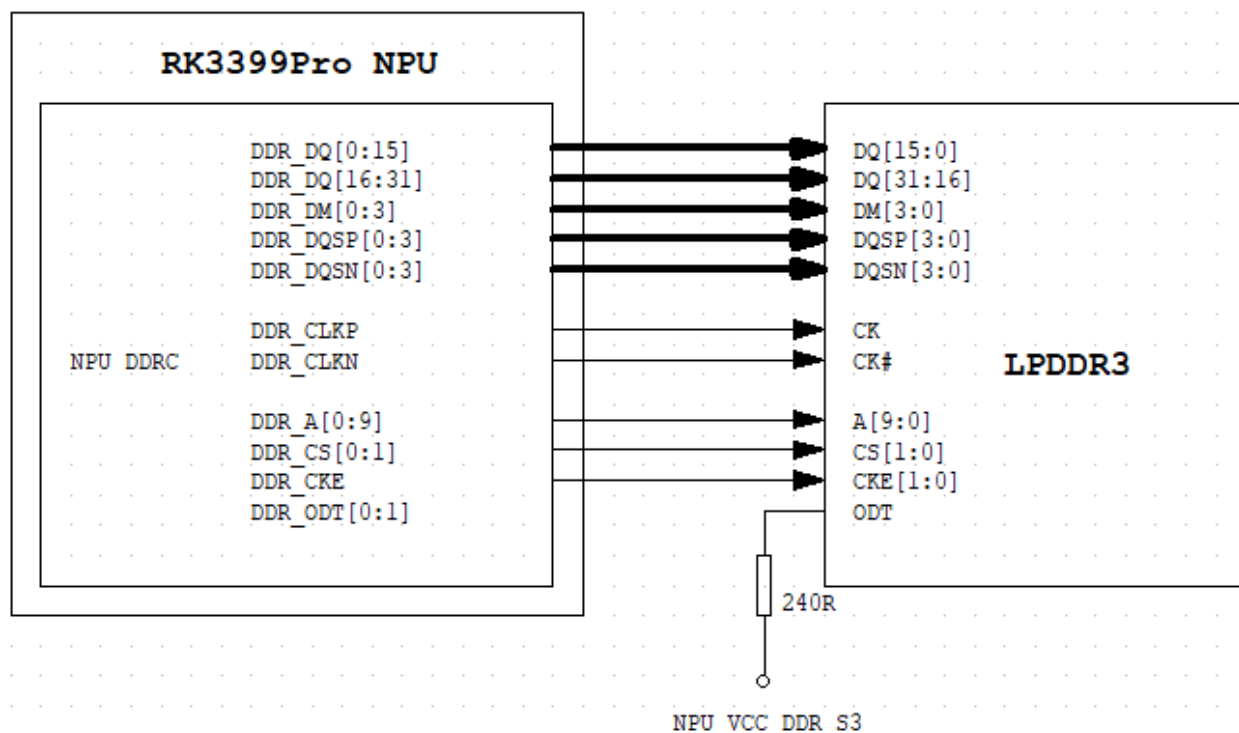


图 3 - 5 RK3399Pro NPU LPDDR3的拓扑结构图

### ● 3.1.6.3 DDR上电时序要求

RK3399Pro NPU DDR控制器包括两组电源：

- NPU\_VCC\_DDR：DDR控制器的Core供电、接口I/O供电以及缓冲器电源；
- NPU\_VREF0\_DDR：DDR控制器的内部参考电源输出，可以提供给颗粒端的VREF\_DQ和VREF\_CA；

SDRAM颗粒包括两组电源，上电时序请参考各JEDEC标准：

DDR3 SDRAM的上电时序如下图所示：

1. Apply power (RESET# is recommended to be maintained below  $0.2 \times VDD$ ; all other inputs may be undefined). RESET# needs to be maintained for minimum 200 us with stable power. CKE is pulled “Low” anytime before RESET# being de-asserted (min. time 10 ns). The power voltage ramp time between 300 mv to VDDmin must be no greater than 200 ms; and during the ramp,  $VDD > VDDQ$  and  $(VDD - VDDQ) < 0.3$  volts.
    - VDD and VDDQ are driven from a single power converter output, AND
    - The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side. In addition, VTT is limited to 0.95 V max once power ramp is finished, AND
    - Vref tracks VDDQ/2.
- OR
- Apply VDD without any slope reversal before or at the same time as VDDQ.
  - Apply VDDQ without any slope reversal before or at the same time as VTT & Vref.
  - The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side.

图 3 - 6 DDR3 SDRAM上电时序

LPDDR3 DRAM的上电时序如下图所示：

After...	Applicable Conditions
Ta is reached	$V_{DD1}$ must be greater than $V_{DD2}-200\text{mV}$
	$V_{DD1}$ and $V_{DD2}$ must be greater than $V_{DDCA}-200\text{mV}$
	$V_{DD1}$ and $V_{DD2}$ must be greater than $V_{DDQ}-200\text{mV}$
	$V_{Ref}$ must always be less than all other supply voltages

图 3-7 LPDDR3 SDRAM上电时序

### 3.1.6.4 DDR支持的型号列表

RK3399Pro NPU DDR接口DDR3/LPDDR3最高工作频率支持到800MHz，支持器件请参考瑞芯微电子《RK DDR Support List》文档，该文档可于瑞芯微redmine上下载：

[https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s\\_pctim\\_aiomsg](https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg)

## 3.1.7 NPU SPI电路

### 3.1.7.1 SPI控制器介绍

RK3399Pro NPU中有1个SPI控制器，可用来连接SPI设备做为boot使用。SPI控制器的供电NPU\_VCCIO5，影响到系统的引导，所以即便在不使用SPI控制器的情况下，该电源也必须常供电。同理，SPI\_CSN也不能被拉低。

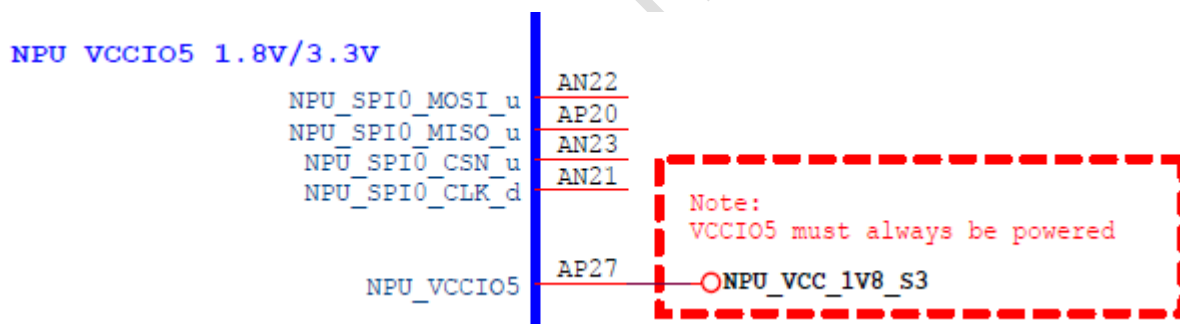


图 3-8 RK3399Pro NPU SPI控制器供电

### 3.1.7.2 SPI拓扑结构与连接方式

SPI接口上下拉和匹配设计推荐如下表所示：

表 3-4 RK3399Pro NPU SPI接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SPIO_MOSI	上拉	直连	SPI数据发送
SPIO_MISO	上拉	直连	SPI数据接收
SPIO_CSN	上拉	直连	SPI片选信号
SPIO_CLK	下拉	串联22ohm电阻	SPI时钟发送

### 3.1.7.3 SPI上电时序要求

SPI控制器的上电时序要求请遵守GPIO电源域的上电时序要求，必须常供电。

SPI Flash颗粒只有一路电源，所以对上电时序没有要求。

### 3.1.8 NPU GPIO电路

在RK3399Pro NPU中，有两种GPIO类型：

- 1.8V only，固定配置 1.8V 电平；
- 1.8V/3.3V，可配置 1.8V 及 3.3V 电平；

#### ● 3.1.8.1 GPIO驱动能力

RK3399Pro NPU中，根据不同的GPIO类型，提供了不同的驱动能力以及工作频率范围：

表 3 - 5 RK3399Pro NPU GPIO驱动能力

电源域	GPIO类型	I/O频率 @1.8V	I/O频率 @3.3V	支持驱动能力类型	默认驱动能力
NPU PMUIO1	1.8V only	150MHz	N/A	2mA, 4mA, 8mA, 12mA	2mA
NPU PMUIO2	1.8V/3.3V	150MHz	50MHz	2mA, 4mA, 8mA, 12mA	2mA
NPU VCCI05	1.8V/3.3V	150MHz	50MHz	2mA, 4mA, 8mA, 12mA	4mA
NPU VCCI06	1.8V/3.3V	150MHz	50MHz	2mA, 4mA, 8mA, 12mA	8mA

#### ● 3.1.8.2 GPIO电源

GPIO电源域的电源脚描述如下：

表 3 - 6 RK3399Pro NPU GPIO电源脚描述

电源域	GPIO类型	管脚名	描述
NPU PMUIO1	1.8V only	NPU_PMU_VDD_0V8	0.8V power for this domain (group of) GPIO.
		NPU_PMUIO1_VDD_1V8	1.8V post drive for this domain (group of) GPIO.
NPU PMUIO2	1.8V/3.3V	NPU_PMUIO2_VDD	1.8V or 3.3V power for this domain (group of) GPIO.
NPU VCCI05	1.8V/3.3V	NPU_VCCI05	1.8V or 3.3V power for this domain (group of) GPIO.
NPU VCCI06	1.8V/3.3V	NPU_VCCI06	1.8V or 3.3V power for this domain (group of) GPIO.

对于不同的应用，请遵守以下电源规则：

- 1.8V only (PMUIO1 和 API03 电源域)

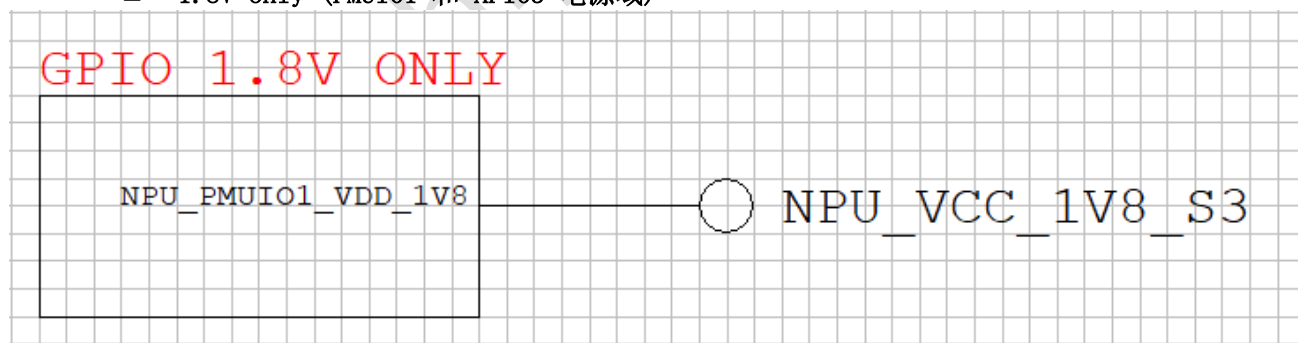


图 3 - 9 RK3399Pro NPU GPIO 1.8V only电源设置

- 1.8V/3.3V at 1.8V mode (PMUIO2、VCCI05和VCCI06电源域)

GPIO 1.8V/3.3V IN CASE 1.8V

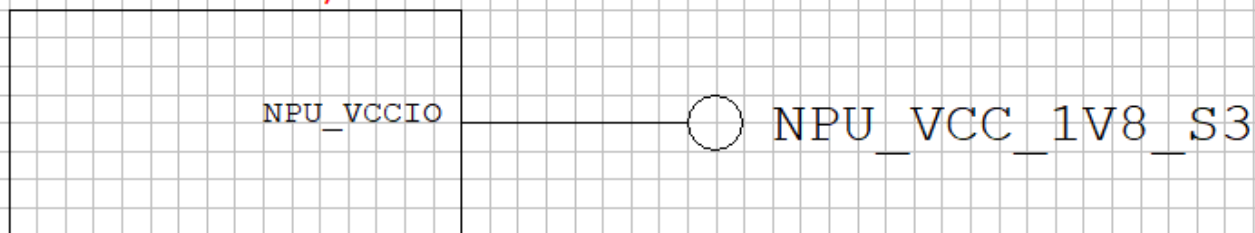


图 3 - 10 RK3399Pro NPU GPIO 1.8V/3.3V电源设置-1.8V模式

■ 1.8V/3.3V at 3.3V mode (PMUI02、VCCIO5和VCCIO6电源域)

GPIO 1.8V/3.3V IN CASE 3.3V

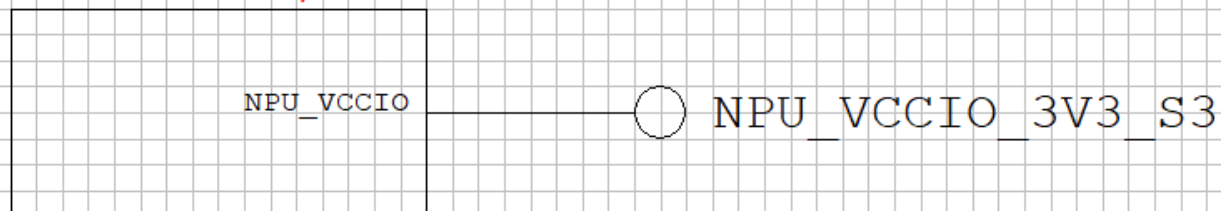


图 3 - 11 RK3399Pro NPU GPIO 1.8V/3.3V电源设置-3.3V模式

## 3.2 NPU 电源设计

### 3.2.1 NPU 最小系统电源介绍

#### ● 3.2.1.1 电源需求

- PLL: NPU\_PLL\_AVDD\_0V8、NPU\_PPLL\_AVDD\_0V8、NPU\_OSC\_VDD\_1V8、NPU\_PLL\_AVDD\_1V8、NPU\_PPLL\_AVDD\_1V8、
- CPU: NPU\_CORE\_VDD、NPU\_CPU\_VDD
- LOGIC: NPU\_LOGIC\_VDD
- DDR: NPU\_DDR\_VDD
- GPIO: NPU\_PMU\_VDD\_0V8、NPU\_PMUIO1\_VDD\_1V8

#### ● 3.2.1.2 上电时序

理论上遵循同一模块低压先上、高压后上；相同模块相同电压一起上电原则，不同模块间无时序要求。

推荐的上电时序参考如下：

NPU\_VDD\_LOG\_S0&NPU\_VDD\_0V8--->NPU\_VCC\_1V8&NPU\_VCC\_DDR--->NPU\_VDD\_CPU--->NPU\_VDD

### 3.2.2 NPU 电源设计建议

#### ● 3.2.2.1 待机电路方案

RK3399Pro板级系统采用待机方案，系统分为常供电区和待机掉电区，两部分独立供电，如下图所示：

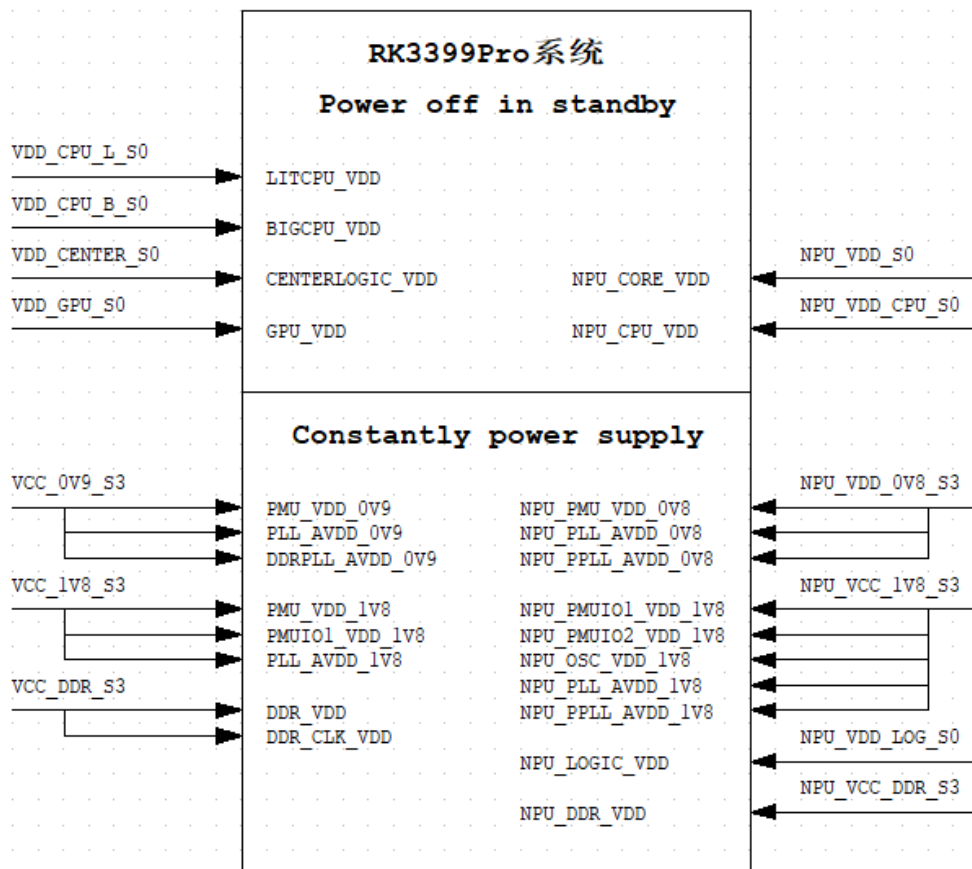


图 3-12 RK3399Pro NPU 待机电路方案

待机掉电区电源通过单独的GPIO来控制电源打开和关断。

常供电区电源通过单独的GPIO来控制电源的打开，在待机状态下至少应保留如下四组电源不关断：

- DDR: NPU\_VCC\_DDR，为DDR自刷新提供电源；

- GPIO、PLL: NPU\_VDD\_0V8&NPU\_VCC\_1V8, 为PMUIO电源域维持输出状态及中断响应提供IO电源, 为PLL以及CPU OSC工作提供电源;
- LOGIC: NPU\_VDD\_LOG, 为芯片逻辑及总线工作提供电源;

### ● 3.2.2.2 PLL电源

RK3399Pro芯片内部PLL建议使用LDO单独供电, 特别是DDR工作频率较高, 稳定的PLL电源有助于提升高频下的工作稳定性, 且去耦电容应靠近管脚摆放。

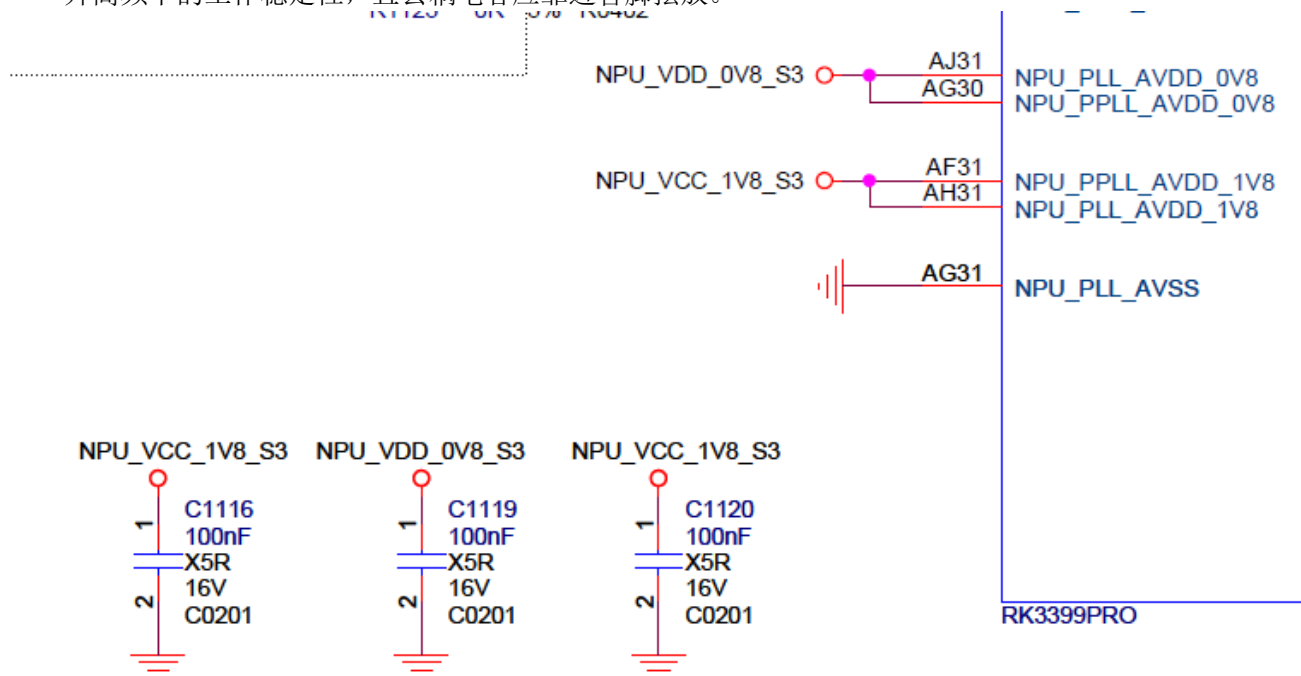


图 3 - 13 RK3399Pro NPU PLL电源

### ● 3.2.2.3 NPU电源

RK3399Pro NPU采用独立电源域供电, NPU\_VDD\_CPU为NPU的核心供电, 电流较小, 固定0.85V供电即可。NPU\_CORE\_VDD为NPU供电, 支持DVFS动态调频调压功能, 使用DC-DC电源独立供电, 峰值电流分别可达2.1A, 所以请不要删减参考设计原理图中的电容。Layout时将大电容放置在RK3399Pro芯片背面(或靠近芯片放置), 以保证电源纹波在80mV以内, 避免大负载情况下引起电源纹波偏大, 电容如下图所示:

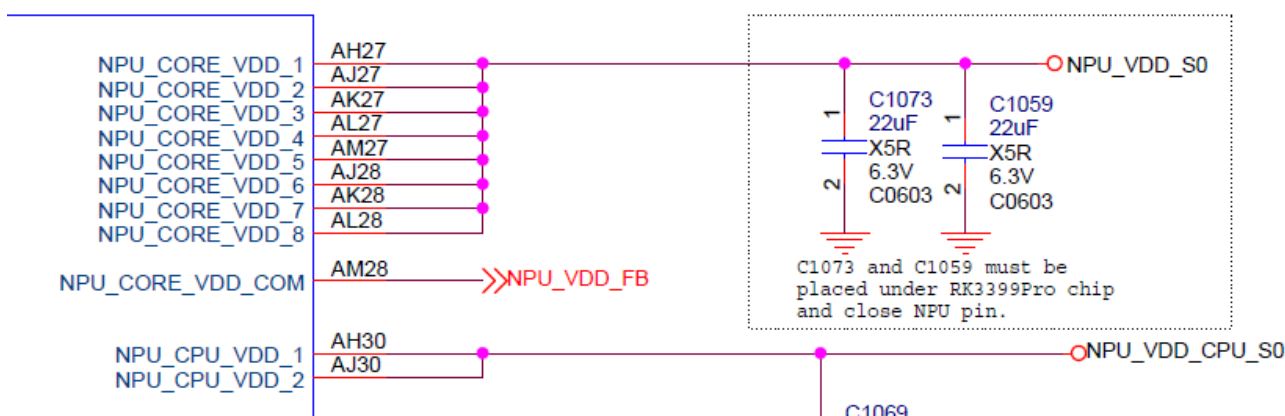
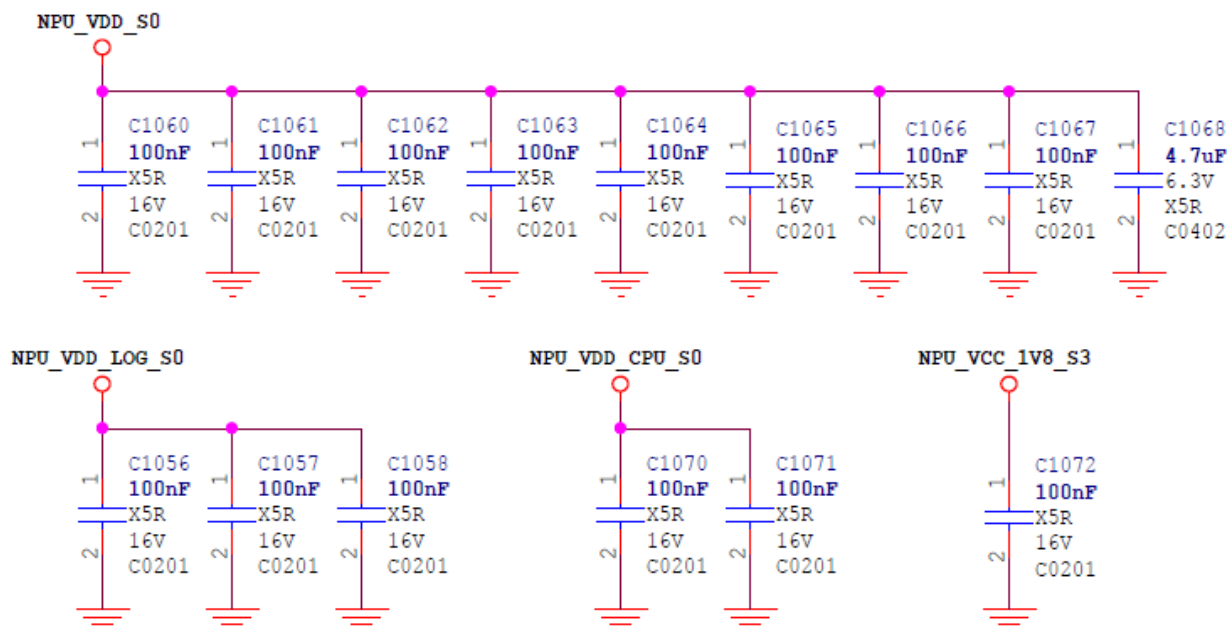


图 3 - 14 RK3399Pro NPU VDD\_CPU电源





Note:

All the Power decoupling capacitors should be placed close to the power pins of RK3399Pro.  
所有电源去耦电容必须靠近RK3399Pro电源管脚放置。

图 3 - 15 RK3399Pro NPU VDD\_CPU电源的去耦

NPU\_CORE\_VDD\_COM是RK3399Pro芯片中NPU\_CORE\_VDD电源的反馈脚，需连接到DC-DC电源的FB端，可有效改善PCB电源线路阻抗引起的损耗，并提高电源动态调整的实时性。

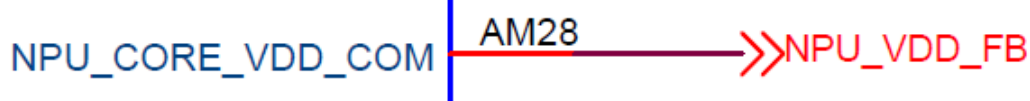


图 3 - 16 RK3399Pro NPU VDD\_CPU\_COM电源反馈

#### ● 3.2.2.4 LOGIC电源

RK3399Pro NPU的数字逻辑部分由NPU\_LOGIC\_VDD单独供电。

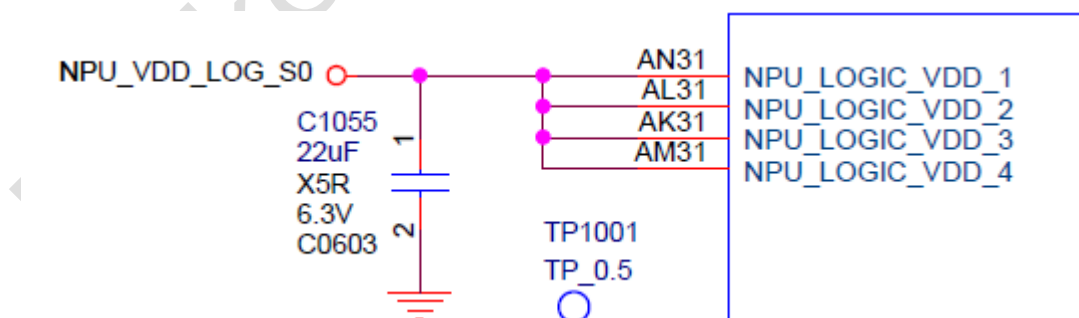


图 3 - 17 RK3399Pro NPU 逻辑电源

VDD\_LOG\_S3使用固定的0.8V电平，所以使用DC-DC直接供电，如下图所示：

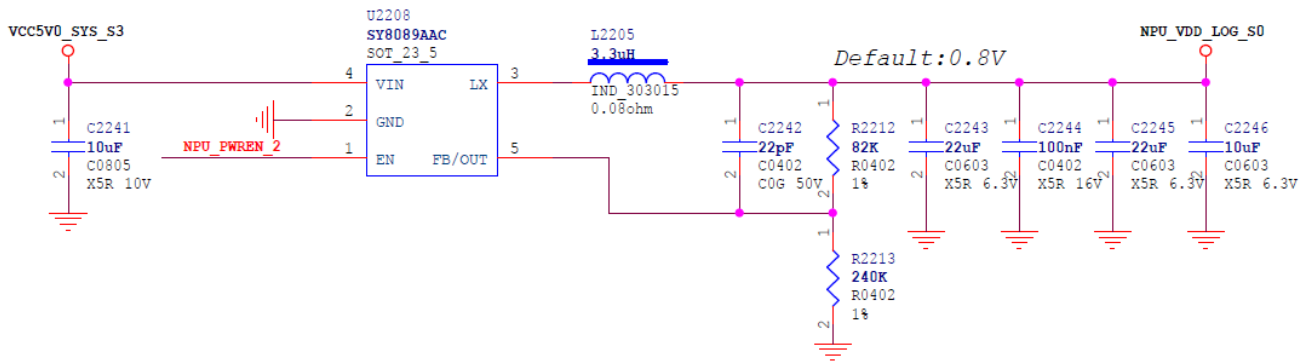


图 3 - 18 RK3399Pro NPU VDD\_LOG电源

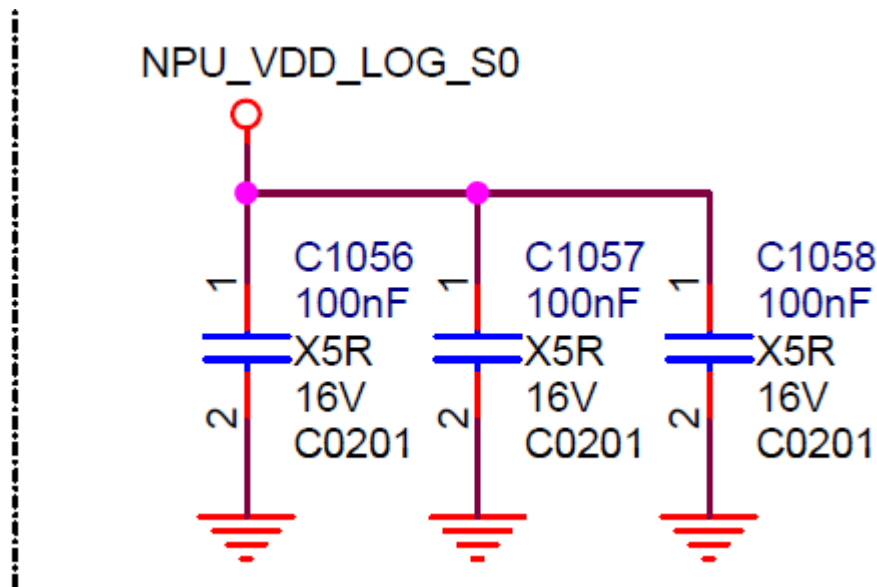


图 3 - 19 RK3399Pro NPU 逻辑电源的去耦

#### 2.2.2.5 DDR电源

RK3399Pro NPU的DDR控制器接口支持DDR3/DDR3L/LPDDR3电平标准，只需提供NPU\_DDR\_VDD供电，在不同DDR颗粒情况下该电源电平不同，1.5V/1.35V/1.2V/1.2V三档可调，产品设计时请根据颗粒使用情况，确认符合设计要求。

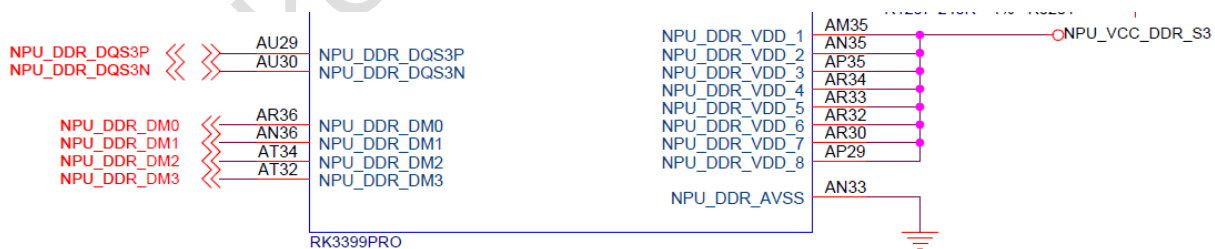


图 3 - 20 RK3399Pro NPU DDR控制器电源

RK3399Pro NPU的DDR控制器内部集成了Vref电路，产生需要的参考电压 $V_{ref\_mcu} = VCC\_DDR/2$ ，并提供给DRAM端。DRAM端的Vref电压也可以由电阻分压电路产生，其中 $V_{ref\_CA} = VCC\_DDR/2$ ，而Vref\_DQ则根据ODT策略来调整，可以根据驱动强度和ODT值调整对应的Vref电压。

以LPDDR3颗粒为例：在800MHz频率下，RK3399Pro NPU芯片端的驱动强度为34.3ohm，DRAM端ODT配置为240ohm，当ODT enable时，根据公式算出来的DRAM  $V_{ref} = 0.56 * VCC\_DDR$ 。

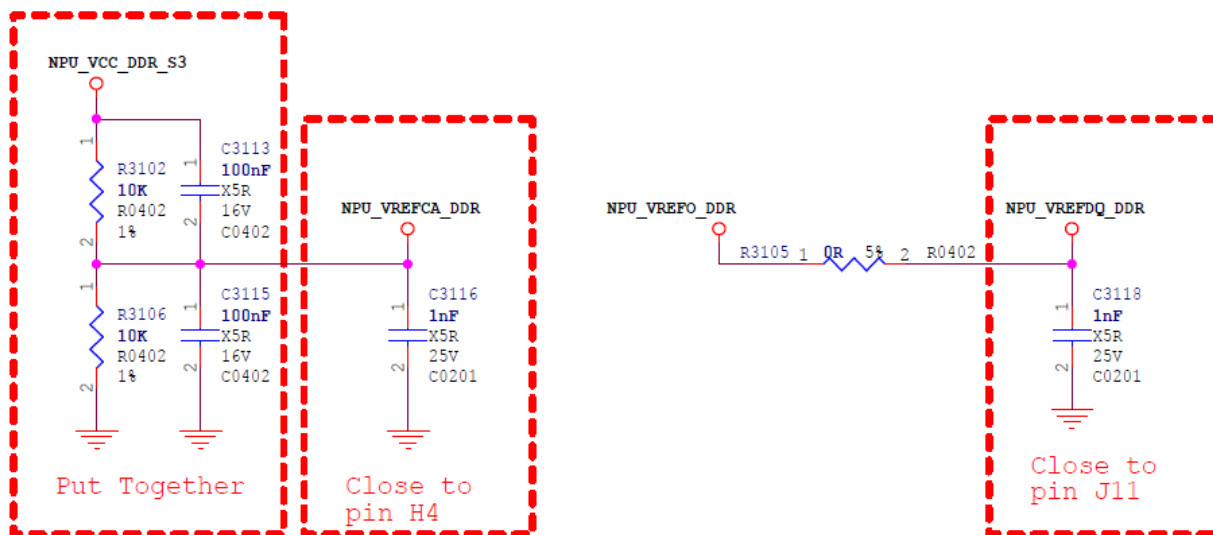


图 3-21 RK3399Pro NPU LPDDR3 DRAM的VREF电源设计



### 注意

关于各种颗粒Vref\_DQ的设计:

DDR3/DDR3L的ODT功能enable时内部会同时上下拉,  $V_{ref\_DQ} = V_{ref\_CA} = VCC\_DDR/2$ ; 所以只有LPDDR3需要单独调节Vref\_DQ。

LPDDR3 DRAM端的VREF\_DQ和VREF\_CA采用独立的VREF电压参考电路; VREF\_DQ管脚供电可以通过1Kohm电阻(精度1%)分压提供, 或是由NPU DDR控制器输出的NPU\_VREFO\_DDR来提供, 该电压可通过软件调整输出电压范围; 而VREF\_CA因为常供电的原因, 可以用10Kohm电阻(精度1%)分压以降低待机功耗, 同时并联100nF电容改善与VCC\_DDR\_S3的电源跟随特性。每个参考电源管脚旁放置一个1nF的去耦电容。

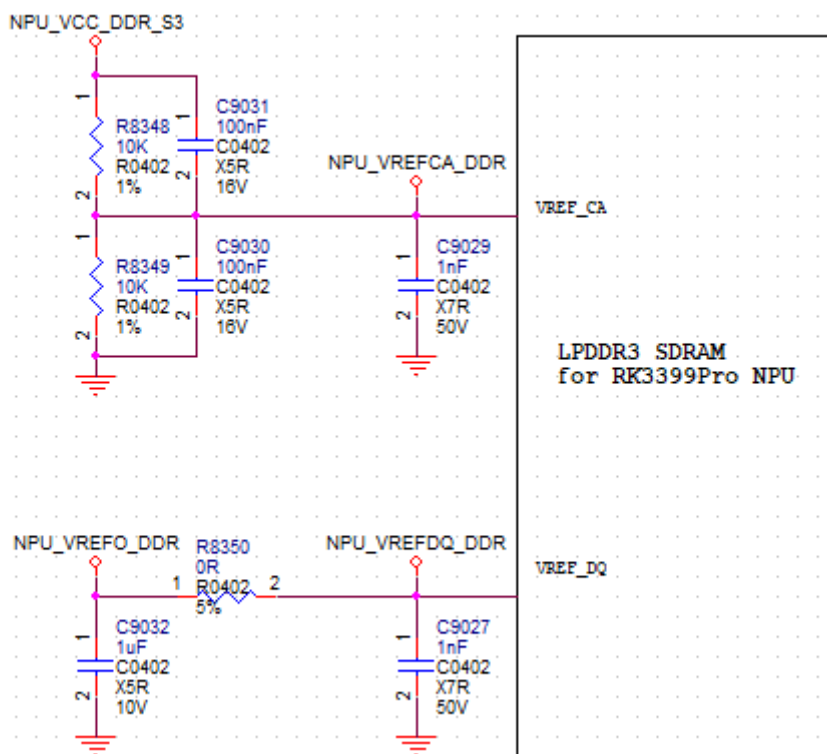


图 3-22 RK3399Pro NPU LPDDR3 DRAM的VREF电源设计

### 3.2.2.6 GPIO电源

GPIO电源请参考3.1.8节。建议每个管脚放置一个100nF去耦电容，并靠近供电管脚摆放。详细设计请参考RK3399Pro芯片参考设计原理图。

### 3.2.3 NPU 过温保护电路

当RK3399Pro NPU芯片出现过热、死机等情况时，芯片的TSADC\_SHUT/NPU\_GPIO0\_A6管脚会输出高电平，对RK809-3进行复位、控制电源下电并重新上电，在寄存器清零的同时复位整个系统。

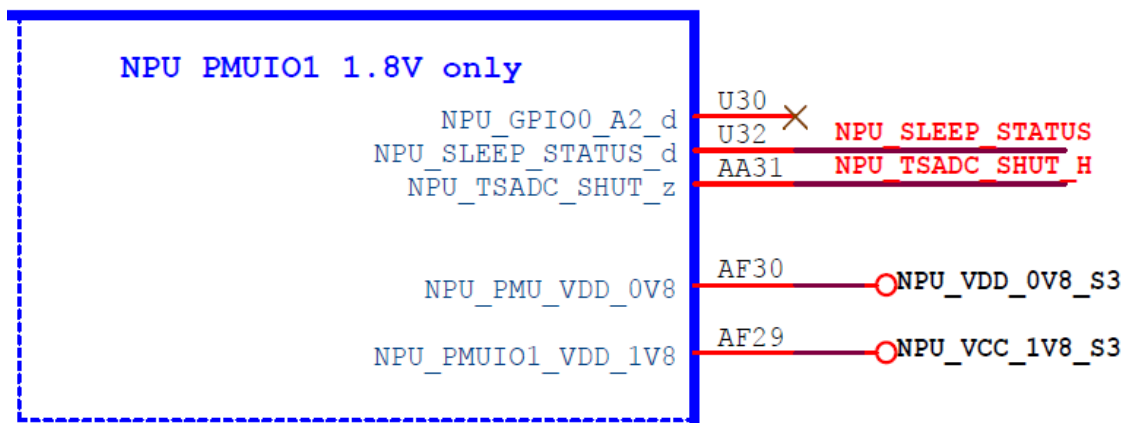


图 3-23 RK3399Pro NPU\_TSADC\_SHUT\_H过温保护输出

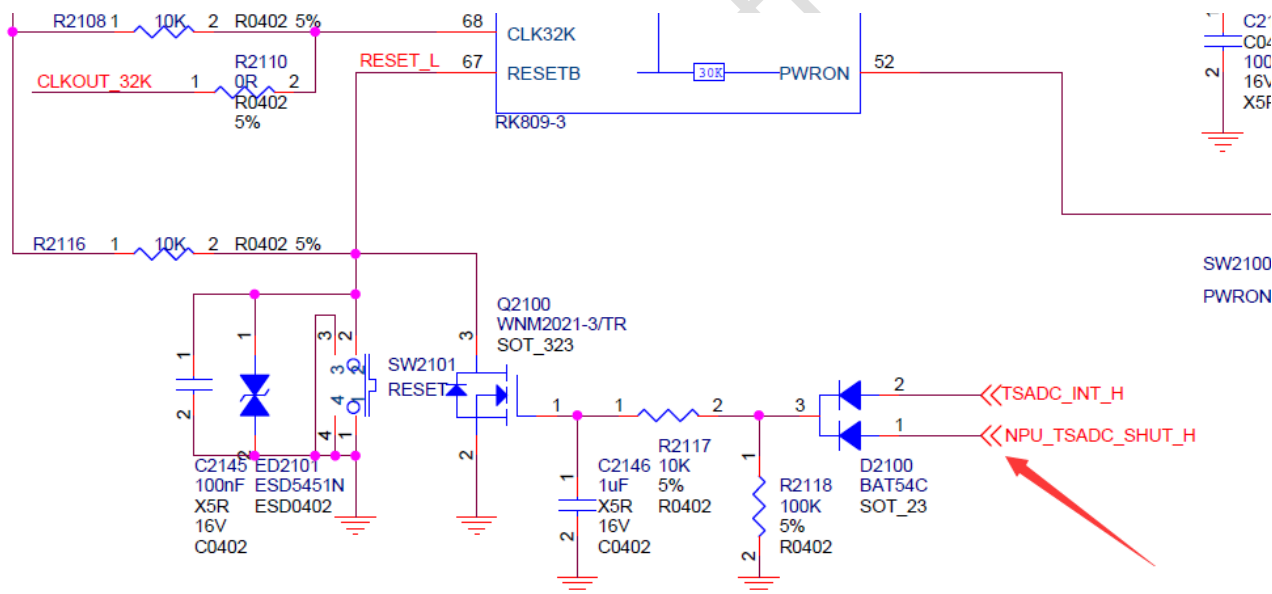


图 3-24 RK809-3 NPU\_TSADCSHUT\_H过温保护输入

### 3.2.4 NPU 电源峰值电流表

下表为RK3399Pro EVB在运行模式下峰值电流测试结果，仅供参考。测试条件如下：

- APK版本: antutu\_benchmark\_v7\_3d+run.sh
- DDR颗粒: 32bit LPDDR3 K4E6E304EB-EGCF;
- 示波器打开20MHz带宽限制;

	ITEM	SOC Model	CPU frequency	NPU frequency	Memory	GPU Render	GPU Frequency	DDR Type	DDR Frequency	Bat voltage (V)
Configuration	RK3399Pro	Dual-core Cortex-A72 + Quad-core Cortex-A53 + NPU	A72 Max: 1800MHz 1.20V A53 Max: 1416MHz 1.125V	Max: 800MHz 0.85V	CPU: 4G NUP: 2G	Mail-T860MP4	Max: 800MHz 1.075V	CPU: LPDDR3 NPU: LPDDR3	CPU DDR Max: 800MHz NPU DDR Max: 786M	

图 3 - 25 RK3399Pro EVB峰值电流测试条件

表 3 - 7 RK3399Pro NPU 峰值电流表

PowerName	Voltage (V)	Peak Current(mA)
NPU_VDD_CPU_S0	0.870	191.0
NPU_VDD_S0	0.874	2047.0
NPU_VDD_LOG_S0	0.865	279.9
NPU_VCC_DDR_S3	1.294	520.4
NPU_VDD_OV8_S3	0.860	63.9
NPU_VCC_1V8_S3	1.789	106.6

### 3.3 NPU 功能接口电路设计指南

#### 3.3.1 NPU USB电路

RK3399Pro芯片NPU包括一个USB 2.0控制器一个USB 3.0的控制器，两者共同使用可以组成一个完整的USB3.0接口。

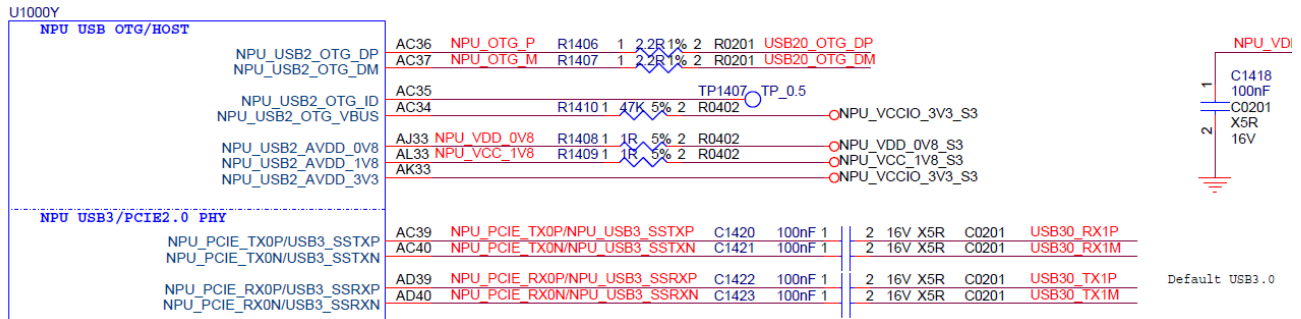


图 3-26 RK3399Pro NPU USB模块

设计中请注意：

- USB接口做为CPU与NPU的通信口，只能连接到CPU，用于加载固件；
- USB3与PCIE复用管脚，默认做为USB功能使用；
- USB\_VBUS（USB\_DET）做为USB连接插入检测，需要外部上拉；

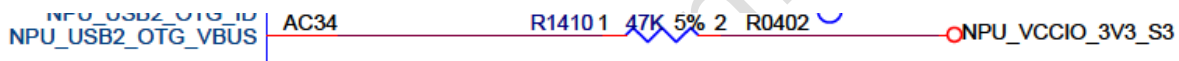


图 3-27 RK3399Pro NPU USB插入检测

- USB控制器配置参考电阻请选用1%精度的电阻，该电阻关系到USB幅度并影响眼图好坏；

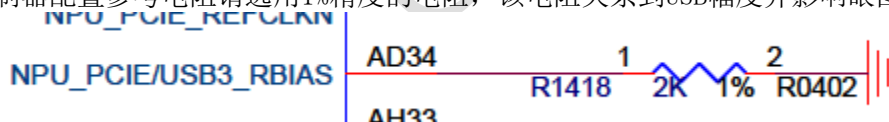


图 3-28 RK3399Pro NPU USB0控制器参考电阻

- 为避免浪涌对芯片造成的损伤，控制器的0.8V/1.8V电源需要串联1ohm电阻；

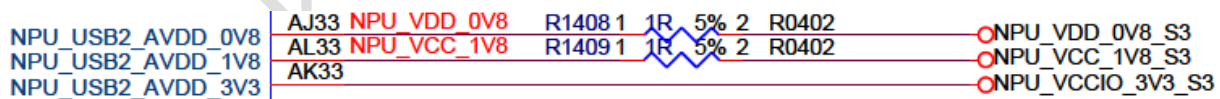


图 3-29 RK3399Pro NPU USB控制器电源防浪涌

- 为避免浪涌对芯片造成的损伤，OTG\_DP/DM信号上需要串联2.2ohm电阻；

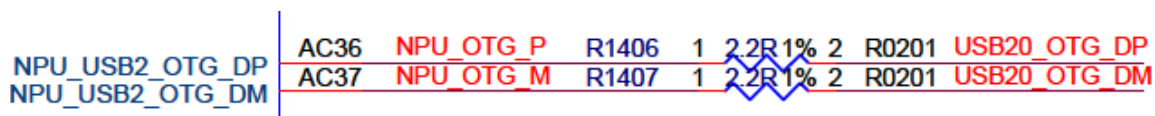


图 3-30 RK3399Pro NPU USB预留共模电感

- 为提高USB性能，控制器电源的去耦电容请靠近管脚放置；
- TX/RX信号线上都需要有耦合电容；

USB2.0接口上下拉和匹配设计推荐如下表所示：

表 3-8 RK3399Pro NPU USB2.0接口设计

信号	连接方式	说明
NPU_USB2_OTG_DP/DM	串联2.2ohm电阻	NPU USB2.0 OTG0 输入/输出，可与USB3.0 PHY0 组成Type-C0接口
NPU_USB2_OTG_ID	悬空	NPU USB2.0 OTG0 ID识别，不使用
NPU_USB2_OTG_VBUS	外部上拉	NPU USB2.0 OTG0 连接检测
USB3_SSTXP/N	100nF电容耦合连接	NPU USB3.0 SuperSpeed发送数据
USB3_SSRXP/N	100nF电容耦合连接	NPU USB3.0 SuperSpeed接收数据
USB3_RBIAS		USB2.0 PHY1 配置参考电阻,133ohm接地,对HOST1 和OTG1有效

### 3.3.2 NPU PCIe电路

RK3399Pro NPU的PCIe支持PCIe V2.1协议，可以用来代替USB3.0接口与CPU通信。它具有如下特点：

- 支持Root Complex (RC) 与End Point (EP) 两种工作模式；
- 支持2x/1x模式，分别有2对TX和RX差分线；
- 单个数据通道能支持2.5GT/s和5.0GT/s的信号传输速率，编解码采用8b/10b形式，所以最大信号速率为500MB/s；

RK3399Pro NPU的PCIe控制器有两组电源，分别为模拟电源NPU\_PCIE\_VCCA\_0V9和NPU\_PCIE\_VCCD\_1V8&NPU\_PCIE\_VCCA\_1V8；建议的上电时序为NPU\_PCIE\_VCCA\_0V9先上电。

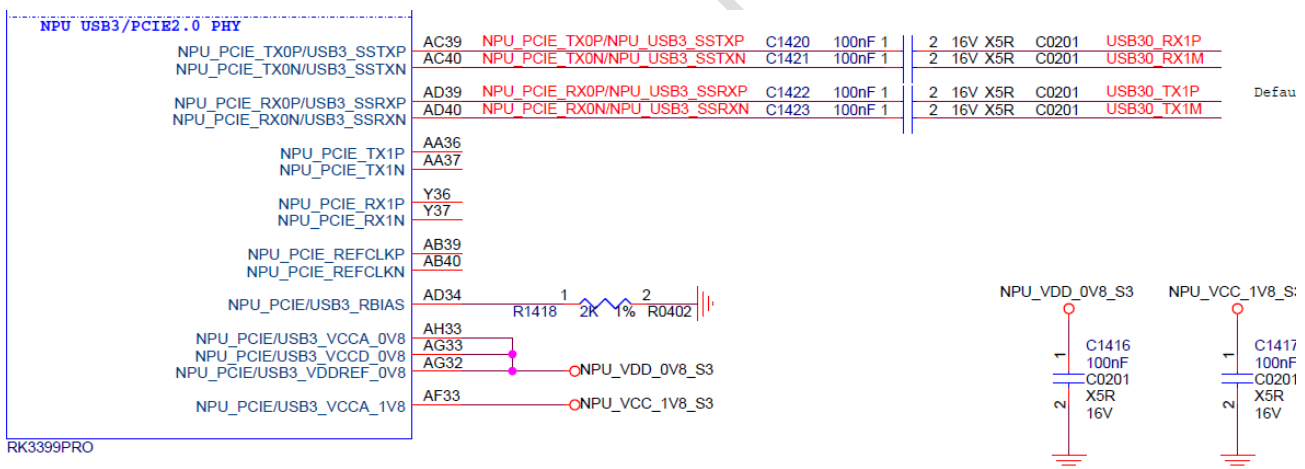


图 3-31 RK3399Pro NPU PCIe模块

### 3.3.3 NPU UART电路

RK3399Pro NPU支持UART用于软件调试。

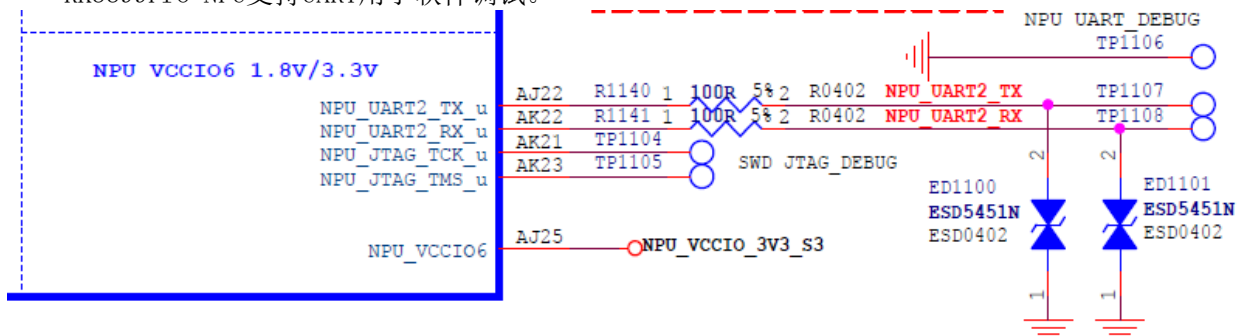


图 3-32 RK3399Pro NPU SDIO/UART模块



UART接口上下拉和匹配设计推荐如下表所示：

表 3 - 9 RK3399Pro NPU UART接口设计

信号	内部上下拉	连接方式	描述（芯片端）
UART2_RX	上拉	直连	UART2数据输入
UART2_TX	上拉	直连	UART2数据输出

当需要调试时，可以外接UART转USB转接小板进行调试。端口号请选择PC连接开发板的端口号，波特率选择1.5M，流控RTS/CTS不需勾选。如果PC端内置的DB-9端口不支持高速率模式，请使用USB转串口的方式。

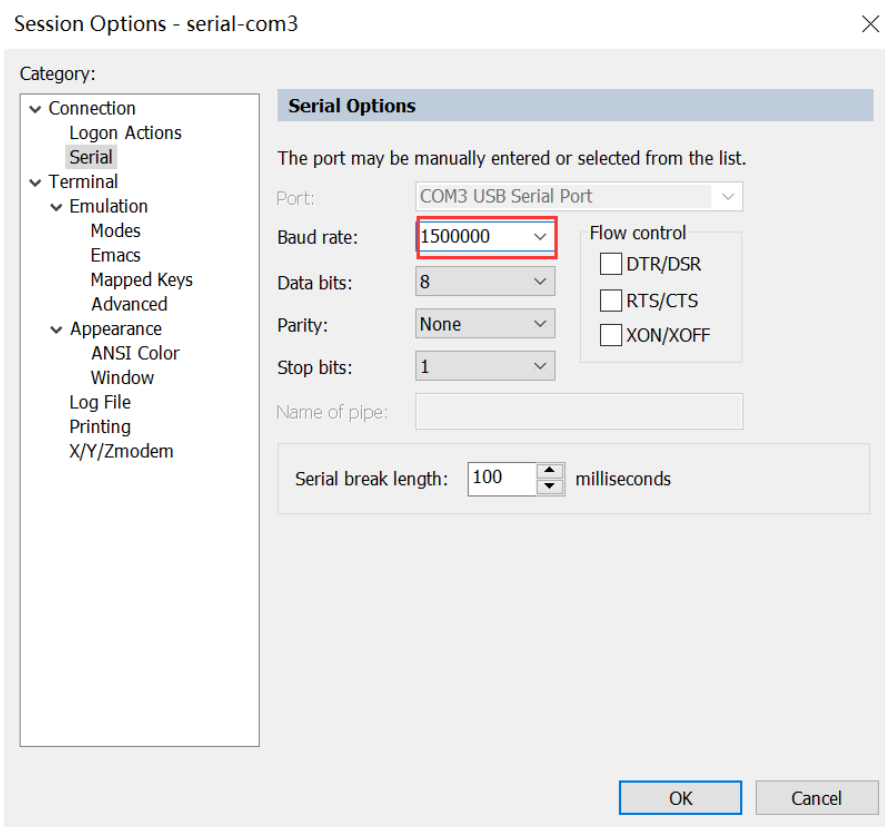


图 3 - 33 RK3399Pro NPU 串口配置

### 3.3.4 NPU eFUSE电路

RK3399Pro的关键信息都保存在CPU eFUSE中，所以NPU eFUSE并没有使用到，无需供电，但必须连接100ohm放电电阻，避免引脚悬空，如下图所示：

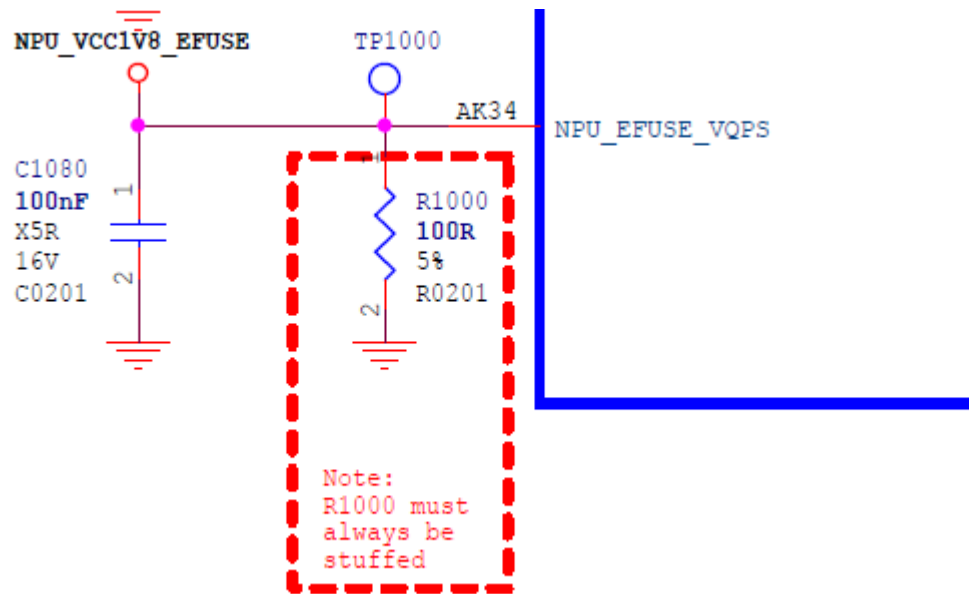


图 3 - 34 RK3399Pro NPU eFUSE模块

## 4 热设计建议

### 4.1 热仿真结果

针对RK3399Pro TFBGA395L的封装，基于EVB的8层板PCB采用有限元建模法（Finite Element Modeling，FEM），可以得出热阻的仿真报告。该报告基于JEDEC JESD51-2标准给出，应用时的系统设计及环境可能与JEDEC JESD51-2标准不同，需要根据应用条件做出分析。



#### 注意

热阻是在PCB没有散热片条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。

#### 4.1.1 结果概要

热阻仿真结果如下表：

表 4 - 1 RK3399Pro 热阻仿真报告结果

Package (EHS-FCBGA)	Power (W)	$\theta_{JA} (^{\circ}\text{C}/\text{W})$	$\theta_{JB} (^{\circ}\text{C}/\text{W})$	$\theta_{JC} (^{\circ}\text{C}/\text{W})$
EVB PCB	8	20.71	10.66	1.94

#### 4.1.2 PCB描述

热阻仿真用的PCB结构如下表：

表 4 - 2 RK3399Pro 热阻仿真的PCB结构

EVB PCB	PCB Dimension (L x W)	201.8 x 137.8mm
	PCB Thickness	1.6mm
	Number of Cu Layer	8-layers
	Dielectric	FR4

#### 4.1.3 术语解释

本章中的术语解释如下：

- $T_J$ : The maximum junction temperature;
- $T_A$ : The ambient or environment temperature;
- $T_C$ : The maximum compound surface temperature;
- $T_B$ : The maximum surface temperature of PCB bottom;
- $P$ : Total input power

The thermal parameter can be define as following

1. Junction to ambient thermal resistance,  $\theta_{JA}$ , defined as:

$$\theta_{JA} = \frac{T_J - T_A}{P}; \quad (1)$$

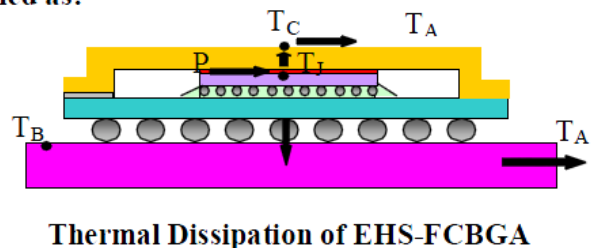


图 4 - 1  $\theta_{JA}$ 的定义

2. Junction to case thermal resistance,  $\theta_{JC}$ , defined as:

$$\theta_{JC} = \frac{T_J - T_C}{P}; \quad (2)$$

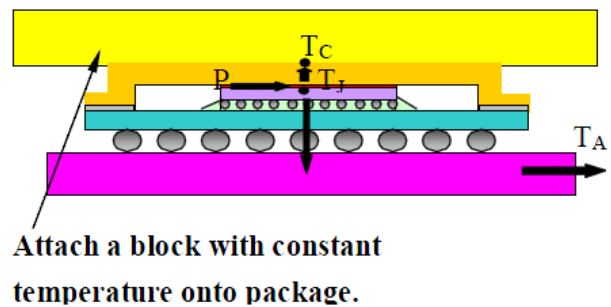


图 4-2  $\theta_{JC}$  的定义

3. Junction to board thermal resistance,  $\theta_{JB}$ , defined as:

$$\theta_{JB} = \frac{T_J - T_B}{P}; \quad (3)$$

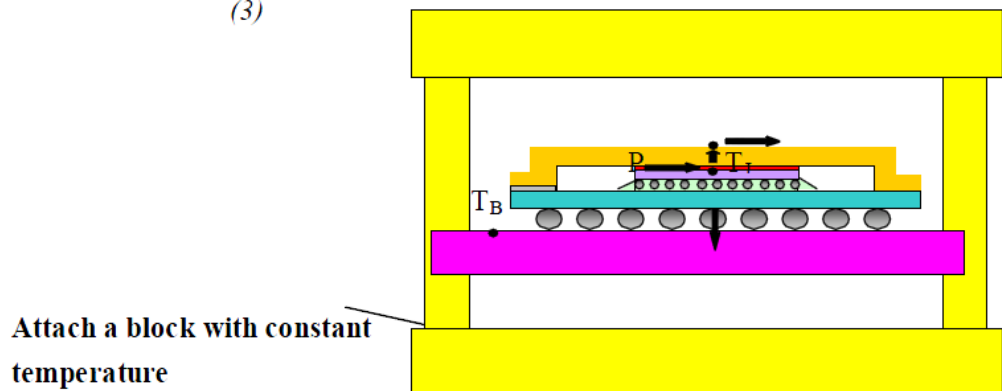


图 4-3  $\theta_{JB}$  的定义

## 4.2 芯片内部热控制方式

### 4.2.1 温度控制策略

在Linux内核中，定义一套温控框架linux Generic Thermal System Drivers，它可以通过不同的策略控制系统的温度，目前常用的有以下三种策略：

- Power\_allocator：引入PID（比例-积分-微分）控制，根据当前温度，动态给各模块分配power，并将power转换为频率，从而达到根据温度限制频率的效果。
- Step\_wise：根据当前温度，逐级限制频率；
- Userspace：不限制频率。

RK3399Pro芯片内部有T-sensor检测片内温度，默认使用Power\_allocator的策略，工作状态分以下几种情况：

- 当温度超过设定的温度值：
  - 温度趋势上升，开始降频；
  - 温度趋势下降，开始升频；
- 当温度下降到设定的温度值：
  - 温度趋势上升，频率不变；
  - 温度趋势下降，开始升频；
- 当频率升到最高时，温度还是在设定值以下，CPU频率不再受thermal控制，CPU频率变成系统负载调频；
- 在降频后芯片依旧过温（比如散热不良）超过95度时软件会触发重启；当deadlock或其他引起重启不了，导致芯片超过100度，则会触发芯片内部的otp\_out给PMIC直接关机。具体行为动作请参

考小节2.2.5.1。



### 注意

温度趋势是通过采集到的前后两个温度做对比得出的。设备温度未超过阈值时，每1秒采集一次温度；当设备温度超过阈值时，每20ms采集一次温度并限制频率。

#### 4.2.2 温度控制配置

RK3399Pro SDK中可以针对CPU和GPU分别提供温控策略，具体配置请参考我司《Rockchip thermal 开发指南》。

Rockchip Confidential

## 5 ESD/EMI防护设计

### 5.1 概述

本章对于RK3399Pro产品设计中的ESD/EMI防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

### 5.2 术语解释

本章中的术语解释如下：

- Electro-Static discharge (ESD)：静电释放；
- Electromagnetic Interference (EMI)：电磁干扰，包括传导干扰和辐射干扰两部分；

### 5.3 ESD 防护

- 保证合理的模具设计；端口和插接件需预留抗ESD器件；
- 在PCB布局时做好敏感器件的保护，隔离；
- 布局时尽量将RK3399Pro芯片及核心部件放在PCB中间，不能放在PCB中间的需要保证屏蔽罩离板边至少2MM以上的距离，且要保证屏蔽罩能够可靠接地；
- 应该按功能模块及信号流向来布局PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对ESD器件，一般要求摆在源头，即ESD器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB表面一定要有良好的GND回路，各接插件在表层都要有较好的GND连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；

### 5.4 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理EMI就只能从干扰源跟耦合通道入手了。解决EMI问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接)等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对EMI材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则：若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如SDIO, RGB, CIF等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其SI许可范围。差分接口一般使用共模电感来抑制EMI；
- PCB上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- RK3399Pro展频的能分模块使用。展频的程度需根据相关部分对信号的要求而定。具体措施见RK3399Pro展频说明；
- EMI跟ESD对LAYOUT的要求有高度一致性，前述ESD的LAYOUT要求，大部分适用于EMI防护。另外增加下面的要求：
  - 尽量保证信号完整性；
  - 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位跟时钟，避免转化成引起EMI问题的共模信号；
  - 有插件电解电容等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线；

## 6 焊接工艺

### 6.1 概述

RK3399Pro芯片为ROHS指令认证产品，即均是Lead-free产品。本章规范了客户端在用RK3399Pro芯片SMT时各个时间段温度的基本设置，主要介绍客户在使用RK3399Pro芯片回流焊时的工艺控制：主要是无铅工艺和混合工艺两类。

### 6.2 术语解释

本章中的术语解释如下：

- Lead-free：无铅工艺；
- Pb-free：无铅工艺，所有器件（主板、所有IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- Reflow profile：回流焊；
- Restriction of Hazardous Substances (ROHS)：关于限制在电子电器设备中使用某些有害成分的指令；
- Surface Mount Technology (SMT)：表面贴装技术；
- Sn-Pb：锡铅混合工艺，指使用有铅锡膏和既有无铅BGA也有有铅IC的混合焊接工艺；

### 6.3 回流焊要求

#### 6.3.1 焊膏成分要求

Solder 合金与flux 比重为90%：10%；体积比为：50%：50%，锡膏冷藏温度2~10℃，使用前应常温下回温，回温时间3~4小时并做好时间记录。

刷板前锡膏需要搅拌，手工搅拌3~5分钟或机械搅拌3分钟，搅拌后呈自然垂流状。

#### 6.3.2 SMT曲线

由于RK3399Pro芯片均采用环保材料，建议使用Pb-Free工艺。下图回流焊曲线仅为JEDEC J-STD-020D工艺要求推荐值，客户端需根据实际生产情况进行调整。

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
<b>Preheat &amp; Soak</b>		
Temperature min ( $T_{smin}$ )	100 °C	150 °C
Temperature max ( $T_{smax}$ )	150 °C	200 °C
Time ( $T_{smin}$ to $T_{smax}$ ) ( $t_s$ )	60-120 seconds	60-120 seconds
Average ramp-up rate ( $T_{smax}$ to $T_p$ )	3 °C/second max.	3 °C/second max.
Liquidous temperature ( $T_L$ )	183 °C	217 °C
Time at liquidous ( $t_L$ )	60-150 seconds	60-150 seconds
Peak package body temperature ( $T_p$ )*	See classification temp in Table 4.1	See classification temp in Table 4.2
Time ( $t_p$ )** within 5 °C of the specified classification temperature ( $T_c$ )	20** seconds	30** seconds
Average ramp-down rate ( $T_p$ to $T_{smax}$ )	6 °C/second max.	6 °C/second max.
Time 25 °C to peak temperature	6 minutes max.	8 minutes max.
* Tolerance for peak profile temperature ( $T_p$ ) is defined as a supplier minimum and a user maximum.		
** Tolerance for time at peak profile temperature ( $t_p$ ) is defined as a supplier minimum and a user maximum.		

图 6 - 1 回流焊曲线分类

Package Thickness	Volume mm <sup>3</sup> <350	Volume mm <sup>3</sup> 350 - 2000	Volume mm <sup>3</sup> >2000
<1.6 mm	260 °C	260 °C	260 °C
1.6 mm - 2.5 mm	260 °C	250 °C	245 °C
>2.5 mm	250 °C	245 °C	245 °C

图 6 - 2 无铅工艺器件封装体耐热标准



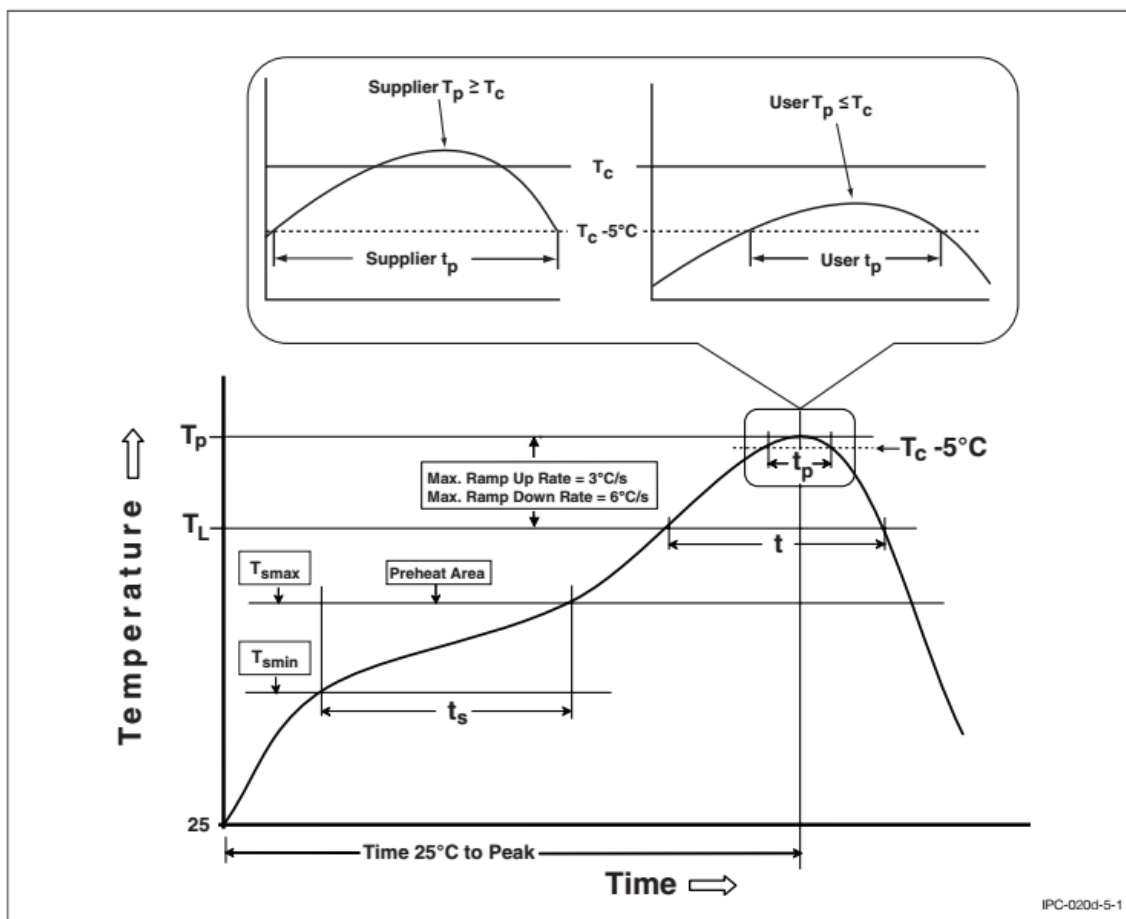


图 6-3 无铅回流焊接工艺曲线

### 6.3.3 SMT建议曲线

我司建议的SMT曲线如下图所示：

Step 1 Board Preheat	Step 2 Soak Time	Step 3 Peak Reflow & Time Above $220^\circ\text{C}$	Step 4 Cool Down
Start with solder joint temp $\leq 40^\circ\text{C}$	After nozzle is lowered prior to peak reflow (Soak Time: Paste dependant; consult paste manufacturer)	Solder Joint Temp $230 - 250^\circ\text{C}$ Above $\geq 217^\circ\text{C}$ 60 – 90 sec Max delta-t of solder joint temperature at peak reflow $\leq 10^\circ\text{C}$	Substrate MAX Temperature $\leq 260^\circ\text{C}$ Die Peak Temperature $\leq 300^\circ\text{C}$
Rising Ramp Rate $0.5 - 2.5^\circ\text{C/Sec.}$	Solder Joint Temp: $200$ to $220^\circ\text{C}$		Cooling Ramp Rate $-0.5$ to $-2.0^\circ\text{C/sec}$
Board Preheat Solder Joint Temp: $125 - 150^\circ\text{C}$	Critical Ramp Rate ( $205$ to $215^\circ\text{C}$ ): $0.35 - 0.75^\circ\text{C/sec.}$	Peak Temp Range, and Time Above $\geq 217^\circ\text{C}$ spec's met.	PCB land/pad temperature needs to be at $100 - 130^\circ\text{C} \pm 5^\circ\text{C}$ when removing board from rework machine bottom heater at end of component removal operation or $\leq 80^\circ\text{C}$ when using stand alone PCB Pre-Heater for PCB land/pad site dress operation.
Preheat with bottom heater, before nozzle is lowered	Nozzle has lowered to reflow component	Nozzle is down during peak reflow	Nozzle raises to home position when solder joint reaches peak temp range

图 6-4 无铅回流焊接工艺建议曲线参数

## 7 包装和存放条件

### 7.1 概述

规定了RK3399Pro的存放和使用规范，以确保产品的安全和正确使用。

### 7.2 术语解释

本章中的术语解释如下：

- Desiccant: 干燥剂，用于吸附潮气的一种材料；
- Floor life: 产品允许暴露在环境中的最长时间，从在拆开防潮包装到回流焊之前；
- Humidity Indicator Card(HIC): 湿度指示卡；
- Moisture Sensitivity Level(MSL): 潮敏等级；
- Moisture Barrier Bag(MBB): 防潮包装袋；
- Rebake: 重新烘烤；
- Solder Reflow: 回流焊；
- Shelf Life: 存储期限；
- Storage environment: 存放环境；

### 7.3 防潮包装

产品的干燥真空包装材料如下：

- 干燥剂；
- 六点湿度卡；
- 防潮带，铝箔，银色不透明，带有湿敏等级的标识；



图 7-1 芯片干燥真空包装

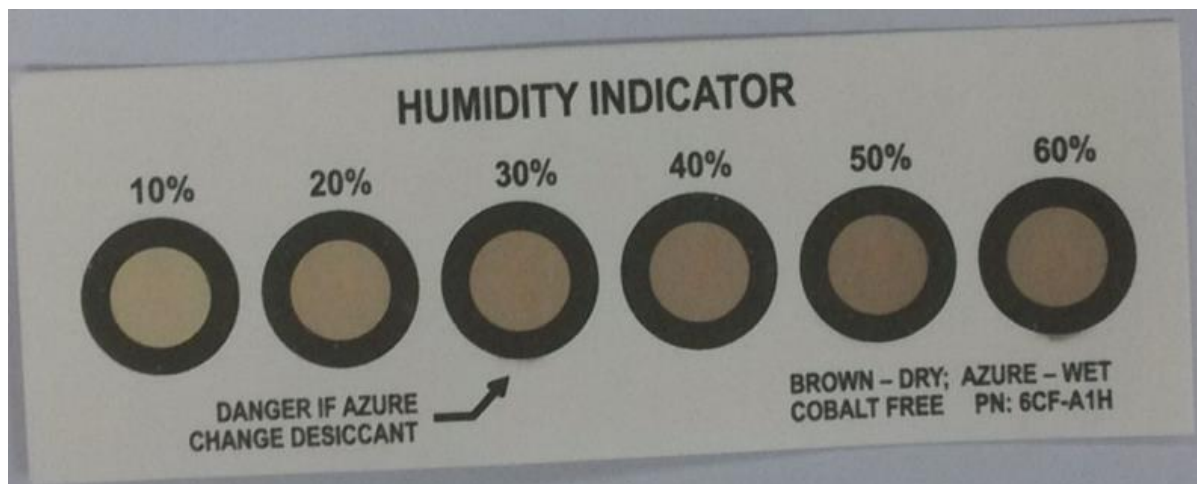


图 7-2 六点湿度卡

## 7.4 产品存放

### 7.4.1 存放环境

产品真空包装存放，在温度 $\leq 40^{\circ}\text{C}$ 且相对湿度 $< 90\%$ 时，保存期限可达12个月。

### 7.4.2 暴露时间

在环境条件 $< 30^{\circ}\text{C}$ 和湿度 $60\%$ 下，请参照如下表6-1。

RK3399Pro芯片MSL等级为3，对湿度非常敏感。如果拆包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 7-1 暴露时间参照表 (MSL)

MSL等级	暴露时间
	工厂环境条件: $\leq 30^{\circ}\text{C} / 60\% \text{RH}$
1	Unlimited at $\leq 300^{\circ}\text{C} / 85\% \text{RH}$
2	1年
2a	4周
3	168小时
4	72小时
5	48小时
5a	24小时
6	Mandatory bakky before use, must be reflowed within the time limit specified on the lable.

## 7.5 潮敏产品使用

RK3399Pro芯片在包装袋被打开后，芯片回流焊前必须符合如下条件：

- 连续或累计暴露时间在168小时内，且工厂环境为 $\leq 30^{\circ}\text{C} / 60\% \text{RH}$ ；
- 保存在 $< 10\% \text{RH}$ 环境下的；

在下述情况下，芯片必须进行烘烤去除内部湿气，以避免回流焊时产生分层或爆米花问题：

- 湿度指示卡在 $23 \pm 5^{\circ}\text{C}$ 时， $> 10\%$ 的点已变色。（颜色变化请参考湿度指示卡标示）；
- 未符合2a或2b的规范；

芯片重新烘烤的时间请参考如下表所示：

表 7-2 RK3399Pro Re-bake参考表

Package Body	MSL	High Temp Bake @125℃ +10/-0℃		Medium Temp Bake @90℃ +8/-0℃		Low Temp Bake @40℃ +5/-0℃	
		Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h	Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h	Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h
Thickness ≤1.4mm	3	9 hours	7 hours	33 hours	23 hours	13 days	9 days



### 注意

此表中显示的均是受潮后，必须的最小的烘烤时间。  
重新烘烤优先选择低温烘烤。