

# RK3126C 硬件设计指南

	作 者:	瑞芯微硬件组
	文档版本:	V1.0
	发布日期:	2017-07-06

## 免责声明

您购买的产品、服务或特性等应受瑞芯微公司商业合同和条款的约束，本文件中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，瑞芯微公司对本文件内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文件内容会不定期进行更新。除非另有约定，本文件仅作为使用指导，本文件中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为福州瑞芯微电子有限公司的商标，并归瑞芯微电子有限公司所有。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 版权所有 © 福州市瑞芯微电子股份有限公司 2017

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

福州市瑞芯微电子股份有限公司  
Fuzhou Rockchips Semiconductor Co., Ltd  
地址：福建省福州市铜盘路软件园A区18号  
网址：[www.rock-chips.com](http://www.rock-chips.com)  
客户服务电话：+86-591-83991906  
客户服务传真：+86-591-83951833  
客户服务邮箱：[fae@rock-chips.com](mailto:fae@rock-chips.com)

  
瑞芯微电子

# 前言

## 概述

本文档主要介绍RK3126C硬件设计的要点及注意点，旨在帮助RK客户缩短产品的设计周期、保证产品的设计稳定性及降低故障率。请客户严格按照本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因模具原因确实需要修改核心模板的，设计需取得RK工程师的确认。

## 芯片型号

本文档对应的产品版本如下：

产品名称	产品版本
RK3126C	
RK3126	

## 适用对象

本文档主要适用于以下工程师：

- 单板硬件开发工程师
- 技术支持工程师
- 测试工程师

## 更新记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前说有文档版本的更新内容。

修订日期	版本号	修订者	审核者	修订说明
2017-07-06	V1.0	黄雄山	陈炜, 黄晨晖, 周勋, 吕劲杞	

## 缩略语

缩略语包括文档中常用词组的简称。

DVP	Digital Video Parallel	数字视频并行接口
ESD	Electro-Static discharge	静电释放
ESR	Equivalent Series Resistance	等效并联电阻
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
I2C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议 (IEEE 1149.1兼容)
LCM	LCD Module	LCD显示模组
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
PCB	Printed Circuit Board	印制电路板
RK	Rockchip Electronics Co.,Ltd.	瑞芯微电子有限公司
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
USB	Universal Serial Bus	通用串行总线
EMI	Electromagnetic Interference	电磁干扰

## 目录

前言.....	3
概述.....	3
芯片型号.....	3
适用对象.....	3
更新记录.....	4
缩略语.....	5
目录.....	6
1 概述.....	10
1.1 概述.....	10
1.2 特征.....	10
1.2.1 CPU.....	10
1.2.2 存储.....	10
1.2.3 Camera接口.....	10
1.2.4 视频编解码.....	10
1.2.5 显示.....	10
1.2.6 音频编解码.....	10
1.2.7 接口.....	11
1.2.8 其他.....	11
1.3 芯片框图.....	12
2 参考原理图概述.....	13
2.1 应用框图.....	13
2.2 原理图精简方式.....	13
3 CPU&PMU 电源设计.....	15
3.1 电源概述.....	15
3.2 电源原理图设计.....	15
3.2.1 CORE电源.....	15
3.2.2 DDR电源.....	15
3.2.3 VCC_IO电源.....	16
3.2.4 VDD_LOG电源.....	17
3.2.5 其他模块的电源.....	17
3.3 电源PCB 设计.....	17
3.3.1 地.....	17
3.3.2 电源信号线.....	19
3.3.3 电容放置.....	20
3.4 CPU 24M晶振.....	21
3.5 PMIC RK816-1.....	23
3.5.1 RK816-1框架.....	23

3.5.2 RK816-1特征.....	23
3.5.3 电源树.....	24
3.5.4 RK816-1注意事项.....	26
3.6 PMIC PCB设计.....	28
3.6.1 良好的接地.....	28
3.6.2 电容位置.....	28
3.6.3 电量计.....	29
3.6.4电感距离.....	29
3.6.5 BUCK.....	30
4 GPIO.....	30
4.1 GPIO上下拉.....	30
4.2 GPIO电源域.....	31
4.3GPIO驱动能力.....	32
5 DDR 控制器 & DRAM.....	33
5.1 原理图概述.....	33
5.2 PCB 布板注意事项.....	34
6 Flash 控制器 & 存储.....	37
6.1 原理图概述.....	37
6.2 PCB 布板注意事项.....	38
7 TF 卡.....	39
7.1 原理图设计.....	39
7.2 PCB 布板注意事项.....	39
8 USB.....	40
8.1 原理图概述.....	40
8.1.1 USB HOST.....	40
8.2 PCB 布板注意事项.....	41
9 SarADC & 按键.....	44
9.1 原理图概述.....	44
9.1.1 ADC按键.....	44
9.1.2 其他按键.....	44
9.2 PCB 布板注意事项.....	45
10 Camera接口.....	46
10.1 原理图概述.....	46
10.1.1 Camera I2C.....	46
10.1.2 Camera 电源.....	46
10.2 PCB 布板注意事项.....	47
11 显示接口.....	48
11.1 原理图概述.....	48
11.1.1 MIPI DSI和LVDS.....	48

11.1.2 LCDC接口.....	48
12.1.3 LCD 背光.....	49
11.2 PCB 布板注意事项.....	50
12 调试接口.....	52
12.1 原理图概述.....	52
12.2 PCB 布板注意事项.....	52
13 音频编解码.....	53
13.1 原理图概述.....	53
13.1.1 CODEC.....	53
13.2 PCB 布板注意事项.....	55
14 触摸屏.....	57
14.1 原理图概述.....	57
14.2 PCB 布板注意事项.....	57
15 传感器.....	59
15.1 原理图概述.....	59
15.1.1 重力传感器.....	59
15.2 PCB 布板注意事项.....	59
16 WIFI & BT.....	60
16.1 原理图概述.....	60
16.1.1 SDIO.....	60
16.1.2 RTL8703BS.....	60
16.1.3 USB WIFI.....	62
16.2 PCB 布板注意事项.....	62
17 PCB 设计规则.....	66
17.1 叠层结构.....	66
17.2 设计规则.....	66
17.3 测试点.....	67
17.4 丝印和封装.....	68
18 散热.....	69
18.1 热量传导的三种常见方式.....	69
18.1.1 热传导 (Conduction) .....	69
18.1.2 对流传热 (Convection) .....	69
18.1.3 辐射传热 (Radiation) .....	69
18.2 系统常见的散热方式.....	69
18.3 散热设计参考.....	70
18.3.1 PCB导热.....	70
18.3.2 结构导热.....	70
18.4 散热片尺寸计算.....	70



18.5 芯片内部温控方式.....	71
18.6 RK3126C PCB及导热片散热方式.....	71
19 ESD/EMI防护设计.....	72
19.1 概述.....	72
19.2 ESD防护.....	72
19.3 EMI防护.....	73

# 1 概述

## 1.1 概述

RK3126C是高性能四核应用处理器，是一款集成度高，性价比高的SOC。可方便设计低成本的tablet整体方案。

可支持16位的DDR存储器接口，内置Audio IP核。

嵌入Mali400 MP2 GPU最高可支持分辨率（1080P），可以正常运行主流游戏。

具有多种高性能的接口，显示输出方案灵活多样, 如 4Lane MIPI-DSI、LVDS、parallel RGB。

## 1.2 特征

### 1.2.1 CPU

1. 四核Cortex-A7 ARM核
2. 32kB /32KB 的一级缓存/D 缓存
3. 256KB的二级缓存

### 1.2.2 存储

1. 内置16KB BootRom 和 8KB SRAM
2. 16位的DDR3/DDR3L接口
3. 支持 NAND Flash, eMMC, SDIO

### 1.2.3 Camera 接口

CIF接口Support up to 5M pixels ,8bits CCIR656 、8bits raw data 、YUV422 input

### 1.2.4 视频编解码

1. 支持H.264, 视频编码, Maximum frame rate is up to 1920x1080@30fps
2. 支持H.264, 视频解码, H.264 8bit up to HP level 4.2 : 1080p@30fps

### 1.2.5 显示

1. 支持MIPI DSI/RGB, 输出可以达到1920x1080
2. 支持LVDS 输出, 时钟可达135MHz。

### 1.2.6 音频编解码

1. I2S/PCM从16bits到32bits音频分辨率
2. I2S/PCM采样率高达192kHz
3. Audio Codec 采样率8KHz / 12khz / 16khz / 24khz / 32khz / 48khz / 44.1k/96khz

4. Line-in, 麦克风和扬声器输出接口, 支持单端MIC

### **1.2.7 接口**

1. 支持两路USB接口, USB0为2.0 OTG接口, USB1为2.0 HOST接口
2. 支持SDIO2.0
3. 2个UART接口
4. 3个I2C
5. 3组GPIO接口 (GPIO0~GPIO2)

### **1.2.8 其他**

1. 温度传感器 (TS-ADC)
2. SARADC
3. Efuse(two 512bits 64X8)

### 1.3 芯片框图

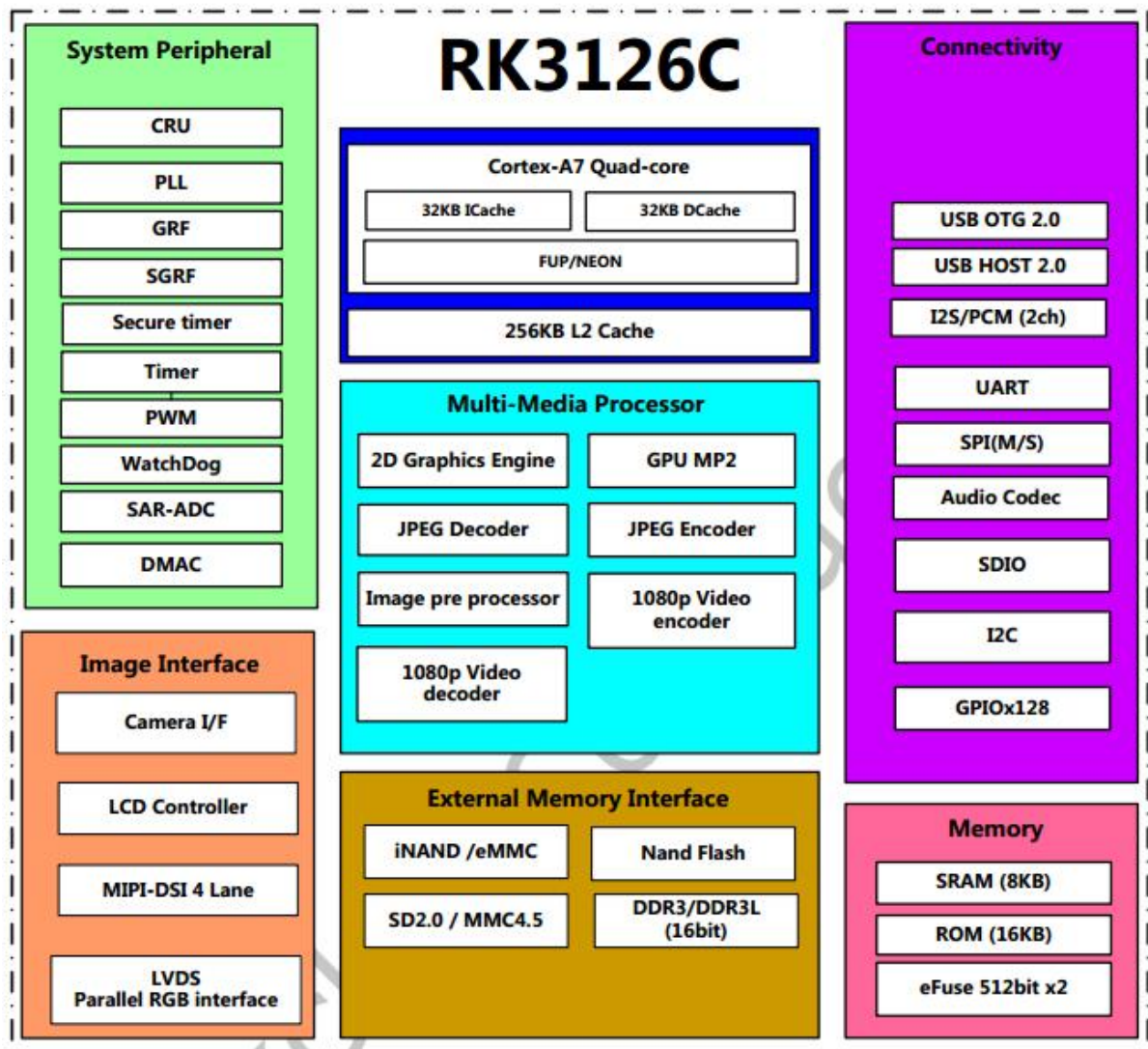


Fig. 1-1 RK3126C Block Diagram

图1-1

## 2 参考原理图概述

### 2.1 应用框图

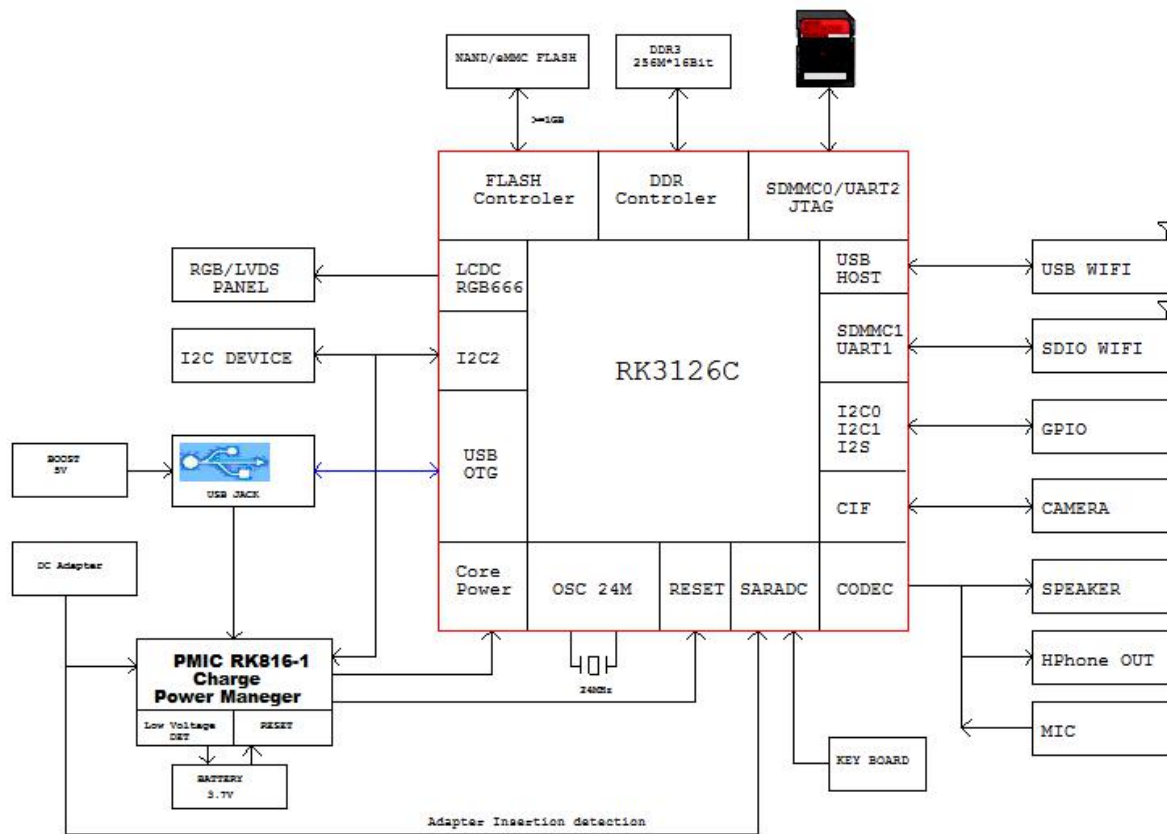


图2-1

### 2.2 原理图精简方式

RK3126C集成多种功能模块，每个功能模块基本上都是独立供电的模式，所以在原理图封装设计上将所有独立供电的功能模块的电源引脚都放置在各自的功能模块中。在发布的RK3126C参考设计图中，为便于统一管理，避免造成原理图版本繁多、错误点需多次重复修改的问题，采用模块分组分页的设计，并在设计中增加了多种常用的可选项，如图2-2所示。客户可根据实际产品需求，对原理图进行增减，即可得到完整的原理图，详细电路请参考RK发布的RK3126C参考设计图。

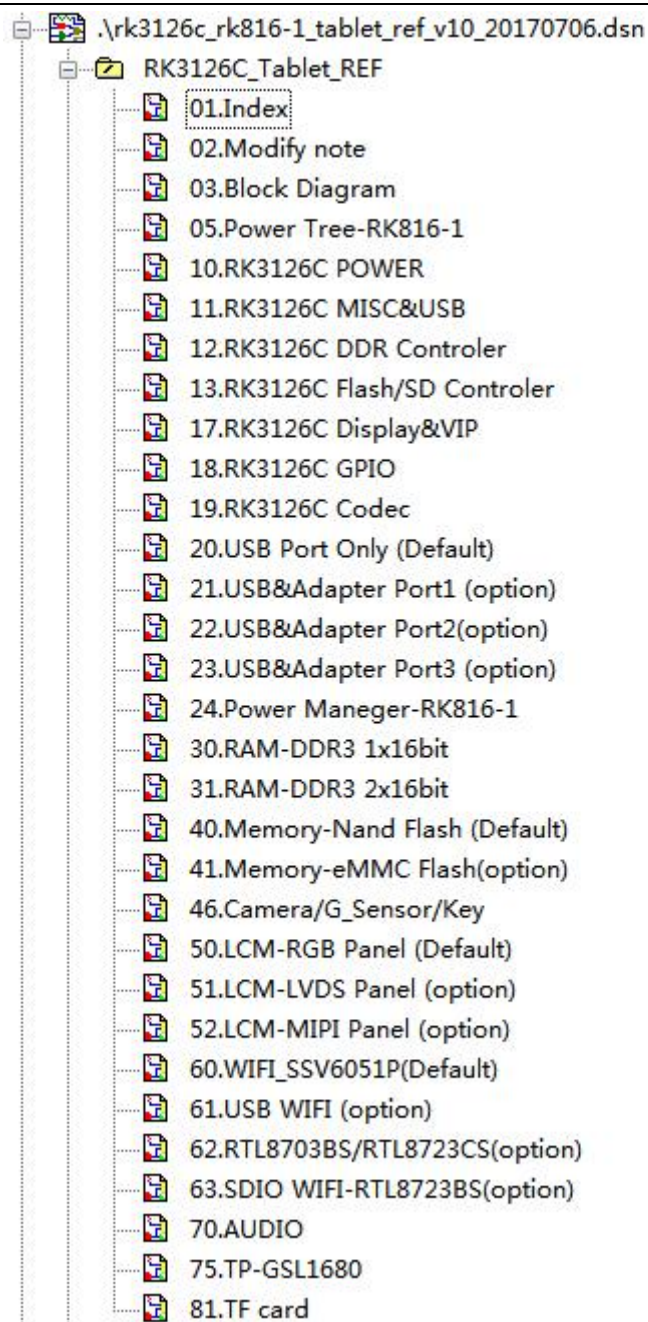


图2-2

## 3 CPU&PMU 电源设计

### 3.1 电源概述

1. VDD\_ARM 给内核模块供电
2. VDD\_LOG 给逻辑模块供电
3. VCC\_DDR 给DDR模块供电
4. VCC\_IO 给芯片以及外设IO供电
5. VCCA\_CODEC 给芯片内置Audio模块供电
6. VCC\_LCD 给显示屏IO供电
7. VDD\_11 给系统PLL、USB模块供电
8. VCC28\_CIF、VCC18\_CIF 给Camera模块供电

### 3.2 电源原理图设计

#### 3.2.1 CORE VDD\_ARM 电源

VDD\_CORE是芯片所以电源中峰值较大的一个，有外部的PMU DCDC提供，PMU通过I2C接口写寄存器进行电压调节，支持DVFS动态调频调压功能，请不要删减参考设计中的电容, 大电容放置于主控芯片背面（或就近）以保证电源纹波在100mV以内，避免在大负载情况下引起电源纹波偏大，如图3-1：

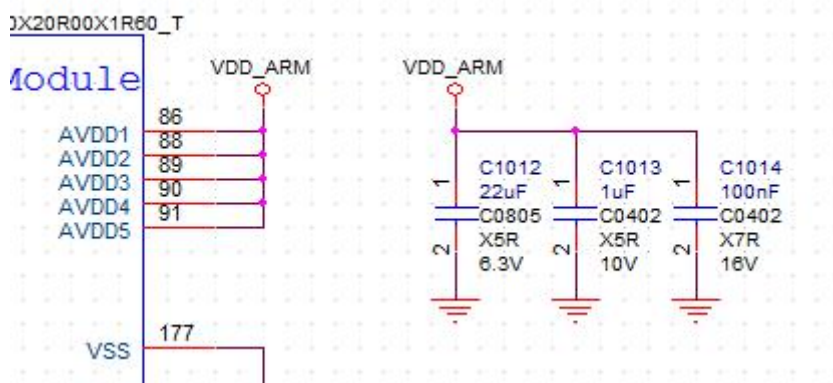


图3-1

#### 3.2.2 DDR 电源

RK3126C芯片的DDR接口符合DDR3和DDR3L的标准，内部集成VREF电路，产生参考电压。DDR电源根据颗粒的不同，可以调整反馈脚的分压值，调整电压输出。

$VFB3=0.8v$ ， $VCC\_DDR=0.8/R2201 * (R2201 + R2200)$  如下提供DDR3和DDR3L匹配电阻，参考图默认电阻是DDR3匹配电阻，匹配电阻选择精度为1%的。



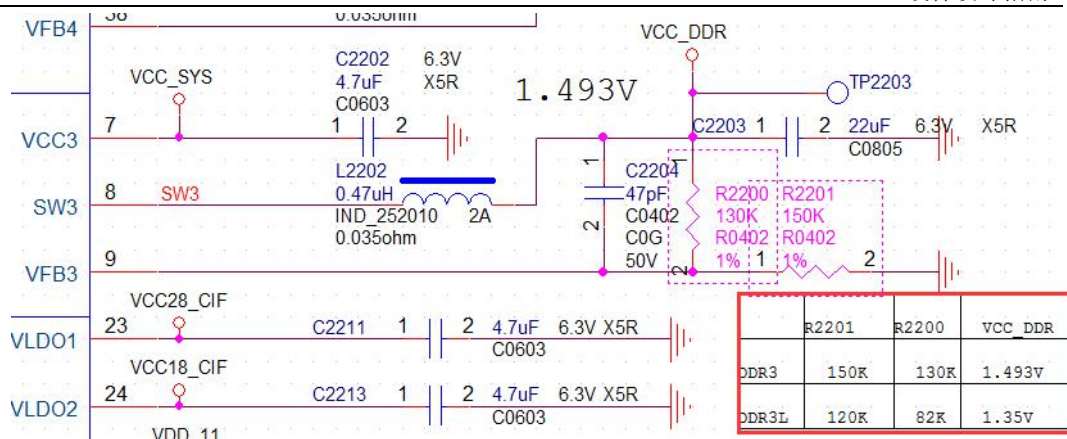


图3-3

DDR3 DRAM 端的 VREF 管脚供电可以通过 10Kohm 电阻（精度 1%）分压提供，每个参考电源管脚旁放置。VREF\_DDR 采用 10K 的分压电阻以降低功耗，为保证电源的跟随特性，电阻需要分别并联 0.1uF 电容，如图 3-4 所示电容 C3010、C3011；

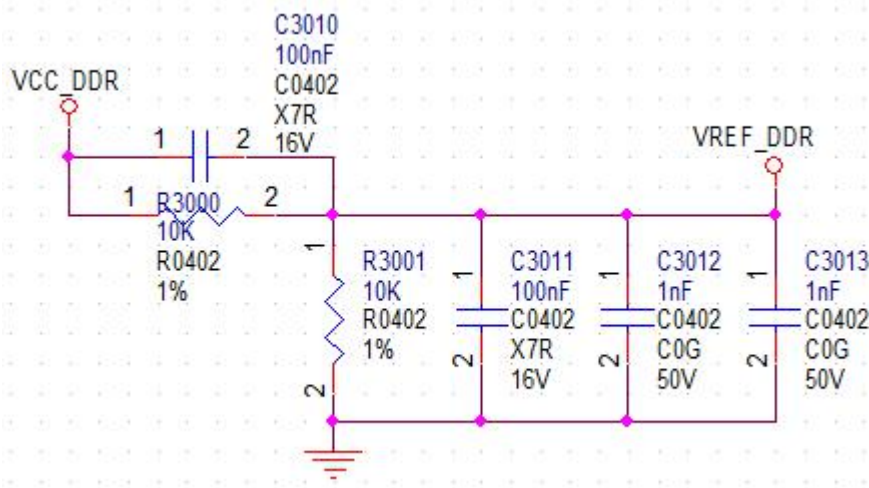


图3-4

### 3.2.3 VCC\_IO 电源

这个电源是给RK816-1 BUCK4常供电的，休眠时不会关闭。VCC\_IO除了给系统的3.3V IO供电，其他的模块，如WIFI，LCD，eMMC，ADC等也用VCC\_IO供电。

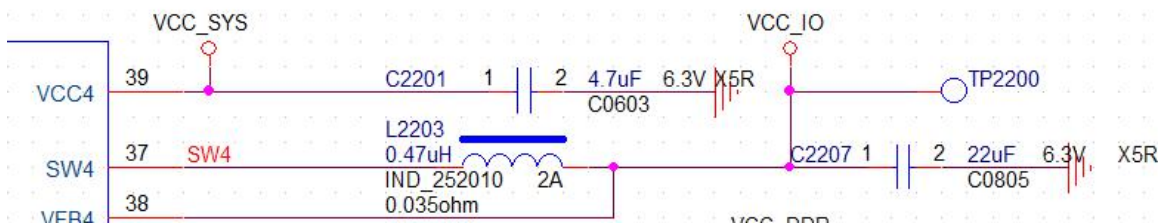
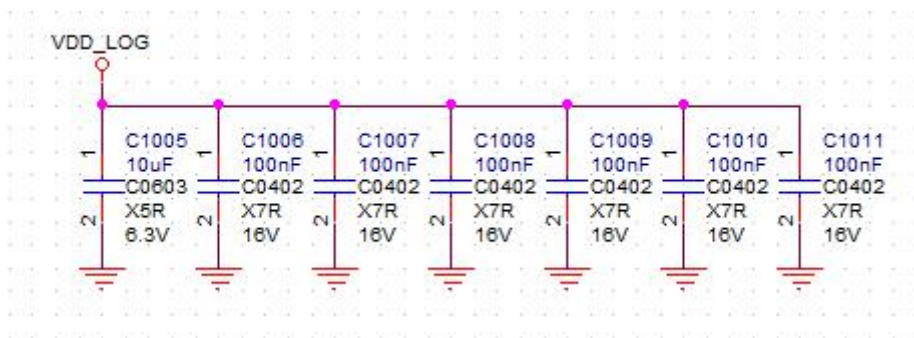


图3-5



### 3.2.4 VDD\_LOG 电源

此电源是芯片逻辑部分的供电，在 RK3126C PCB 封装上 VDD\_LOG 不像 VDD\_ARM 集中在相邻的管脚上，所以如下原理图的电容要均匀分配到芯片管脚的位置，至少要保证每个管脚上都有一个 100nF 的电容。



### 3.2.5 其他模块的电源

除了如上四支路电源外，原理图其他电源管脚的 100nF 耦合电容，请靠近芯片管脚放置，考虑的基本原则保证每一个管脚有一个 100nF 的电容，具体请看参考设计，如图 3-6 所示。

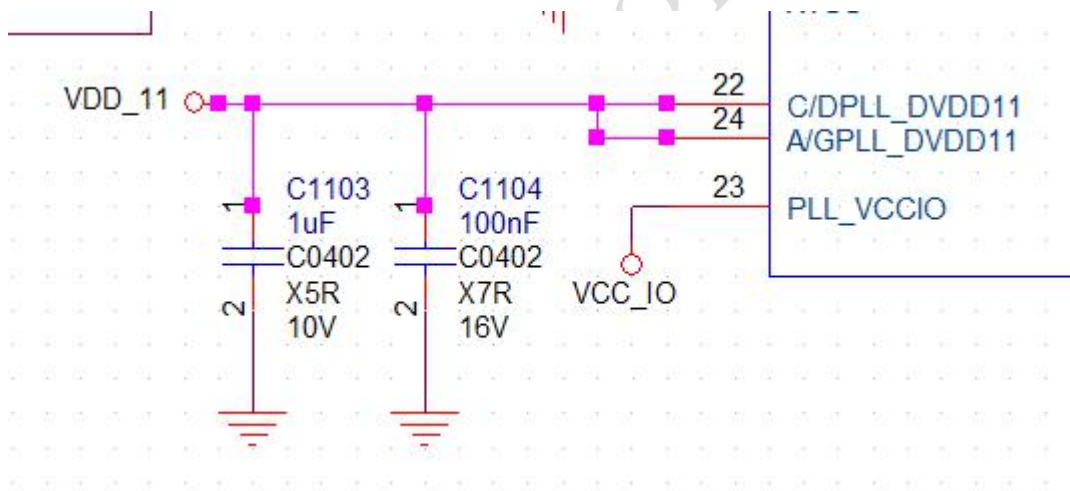


图3-6

## 3.3 电源 PCB 设计

电源的设计至关重要，直接影响产品的性能及稳定性，需严格按RK的LAYOUT要求进行设计。

### 3.3.1 地

PCB上必须有一层完整的地层，用于散热和保证电源完整性。例如按照四层的叠层结构，我司推荐如下设计：



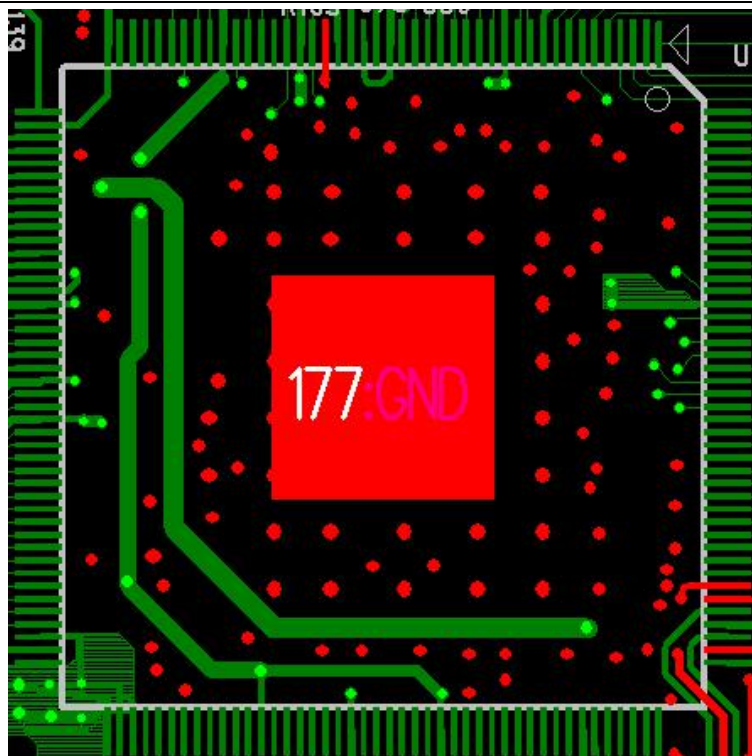
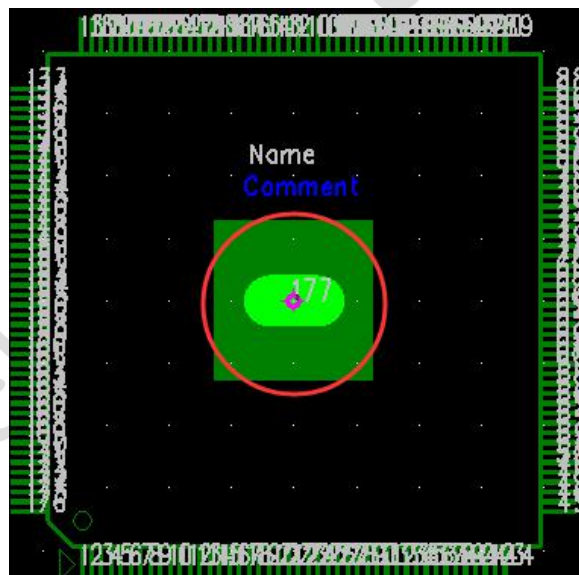


图3-8

我司RK3126C设计的PCB封装，GNDPAD的中心位置挖空成椭圆形，方便产线的后期从PCBA的背面加锡处理。



### 3.3.2 电源走线

从 PMIC 的电源输出到主控相应电源引脚之间保证有大面积的电源铺铜，可提高过电流能力，并降低线路阻抗，VCC\_DDR 整层布在 DRAM 下方，这样 DRAM 的去耦电容比较好放置，不会因为电容位置问题影响到信号走线，如图 3-9.

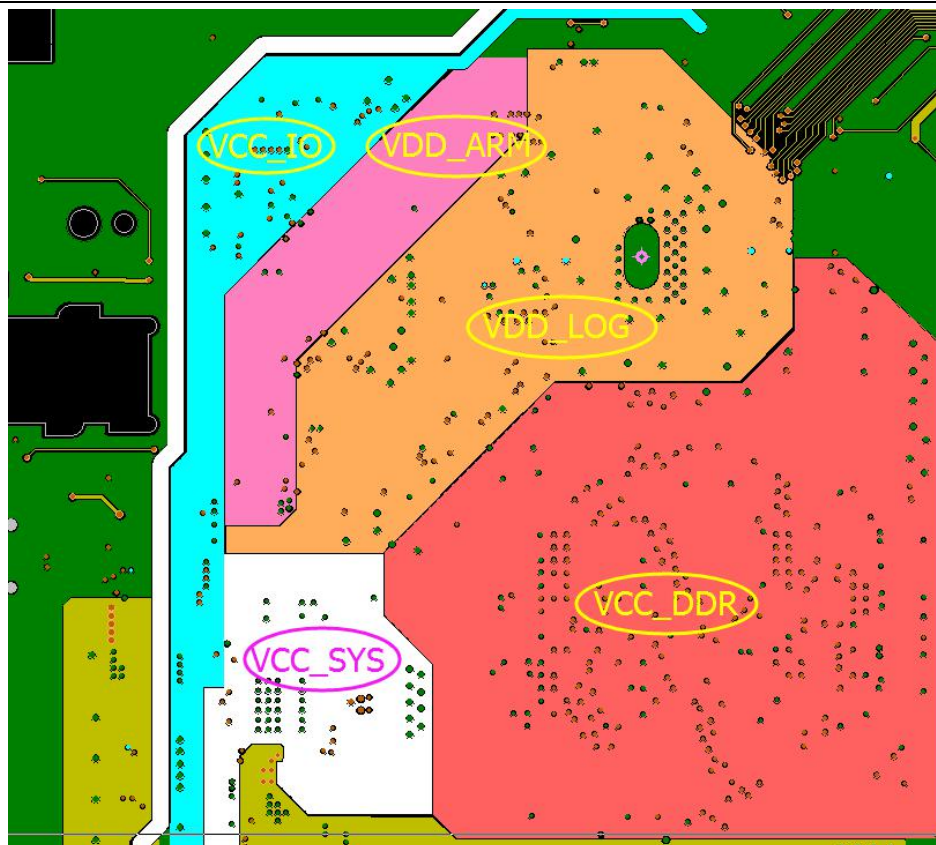


图3-9

电源换层的连接处，需有较多的过孔，以提高过电流能力，并降低线路阻抗（具体数量可参考文末小贴士进行计算），如图 3-10。

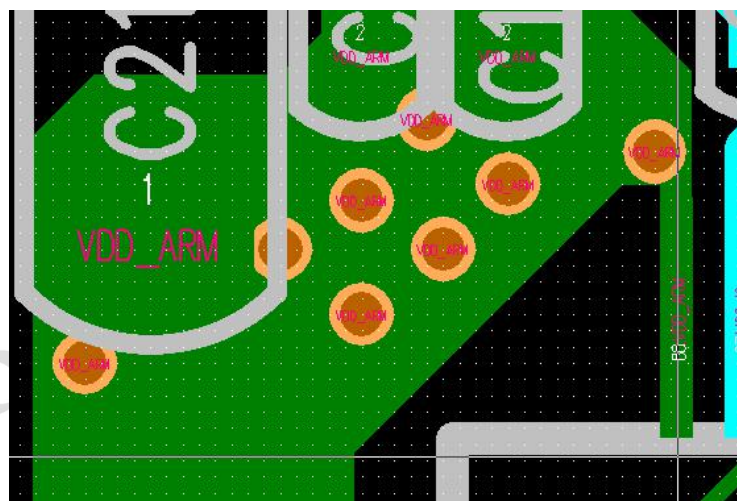


图3-10

### 3.3.3 电容放置

VDD\_CORE、VCC\_DDR 电源远端（负载端）必需放置大电容，在条件许可的情况下，VDD\_CORE 主控背面（或正面就近）各放置大容值电容，VCC\_DDR 亦需类似的大电容，以改善电源的质量，提高产品性能，保证产品的稳定，如图 3-11。其他的小电源需就就近芯片管脚放置去耦电容。



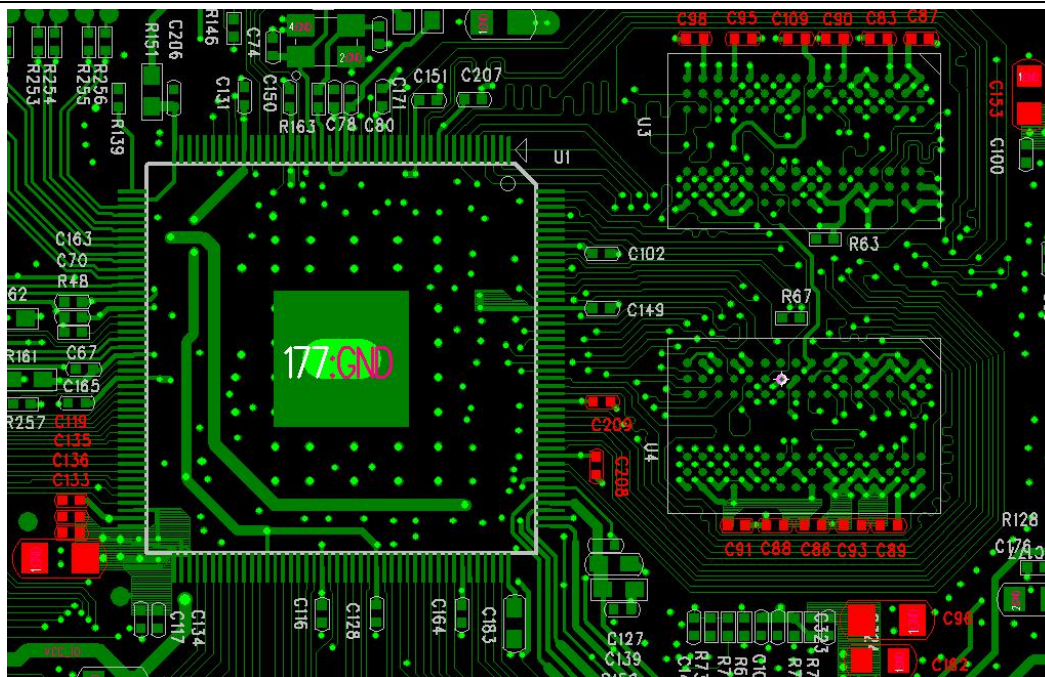


图3-11

### 3.4 CPU 24M 晶振

芯片内部的反馈电路与外接的24MHz晶体与一起构成系统时钟，如图3-13。图中晶体Y1100需要采用频偏 $\pm 20\text{ppm}$ ，温度频差 $\pm 30\text{ppm}$ 的石英晶体，负载电容C1101、C1102的容值需要根据晶体的实际标称负载电容值选择，18pF为我司选用晶体所对应容值，不为通用值。

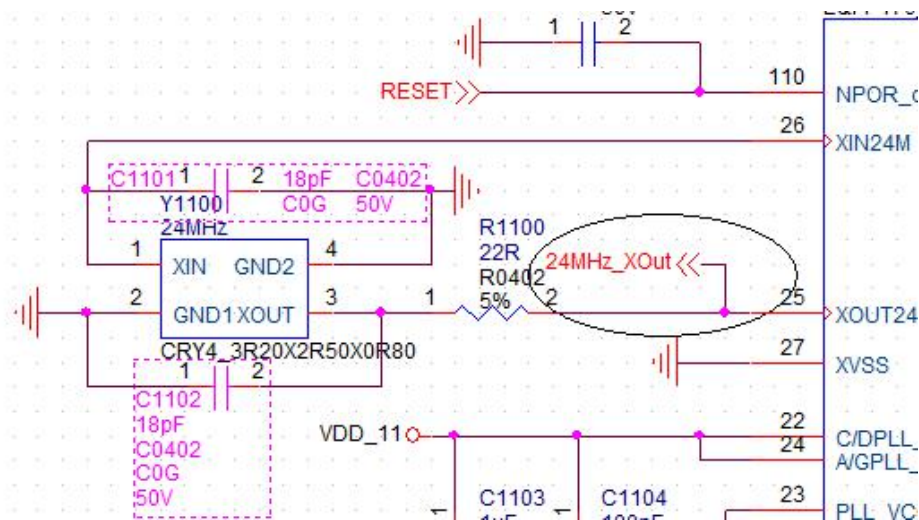


图 3-13

小贴士:

晶体负载电容公式： $CL=[C1C2/(C1+C2)] + Cstray$ 其中： $Cstray$ 是存在于电路中的寄生电容，通常为2~5pF。  
C1, C2为我们电路中所用的并联谐振的负载电容。

- 时钟电路的PCB设计中，请注意：

- 在布局时，晶体电路尽可能地靠近主控的时钟管脚放置；
- 信号走线使用4mil走线，并且尽可能的短，以减少走线的负载电容和防止不必要的噪声；
- 时钟走线Xin和Xout以及晶体下方投影区域禁止任何走线，避免噪声耦合进入时钟电路；
- 晶体下方的顶层，可以围绕放置地环。地环通过过孔与相邻的接地层连接，以隔离噪声；
- 晶体下方的第二层保持完整的地参考平面，避免任何走线分割，有助于隔离噪声保持晶体输出的稳定性；
- 24MHz晶体下方，表层及第二层禁止其他网络走线。

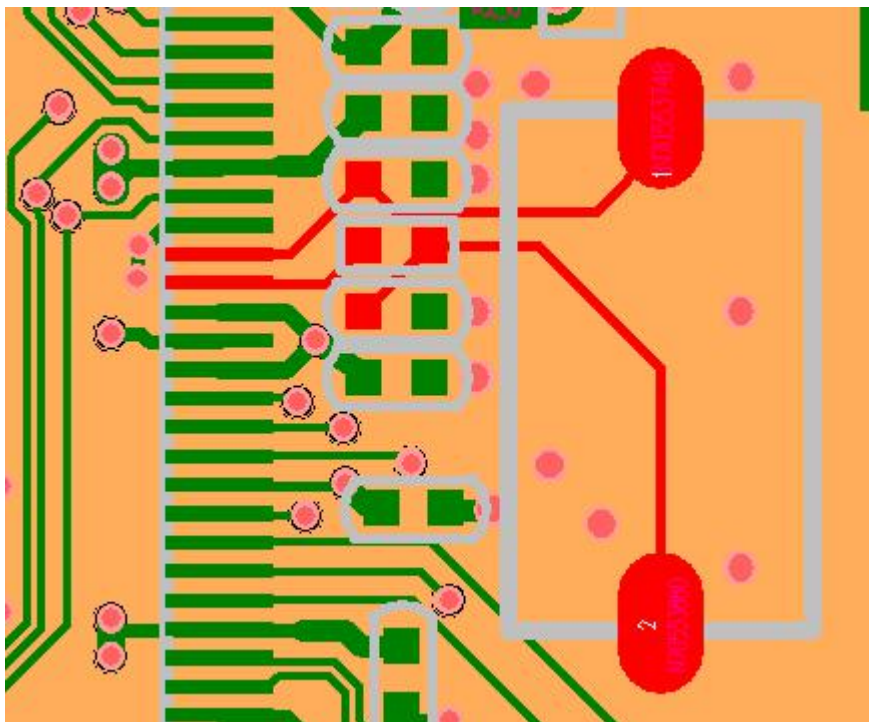


图3-14

小贴士：

- 如何设置电源铺铜的宽度：

根据PCB直线宽度允许最大电流的经验计算公式：

$$I = KT^{0.44} A^{0.75}$$

公式中的K为修正系数，一般铺铜在外层取0.048，铺铜在内层取0.024；T为允许的最大温升，单位为℃（摄氏度）；A为铺铜的截面积，单位为平方mil（注意，是平方mil，不是平方mm）；I为容许的最大电流，单位为A（安培）。

假设峰值电流达到5A，假设电源走内层，铜厚为0.8mil（0.5oz），允许最大温升10℃，那么PCB走线需要312.5mil，如果要进一步降低PCB电源走线的温升，就必需加大铺铜宽度。所以如果PCB空间足够，建议尽量采用更宽的铺铜，以降低温升。

- 如何设置电源换层过孔数量：

计算一个过孔能通过多大电流，也可以利用上述公式，过孔的铜皮宽度计算公式为： $L = \pi R$ ，这里的R指过孔

的半径。

以0.2mm孔径的过孔为例，铜皮厚度为0.8mil (0.5oz)，允许最大温升10℃，那么一个过孔约可通过420mA电流，想通过5A的电流至少需要13个0.2mm孔径的过孔。在面积有限的情况下，增大电源过孔的孔径可减少过孔数量。

## 3.5 PMIC RK816-1

### 3.5.1 RK816-1 框架

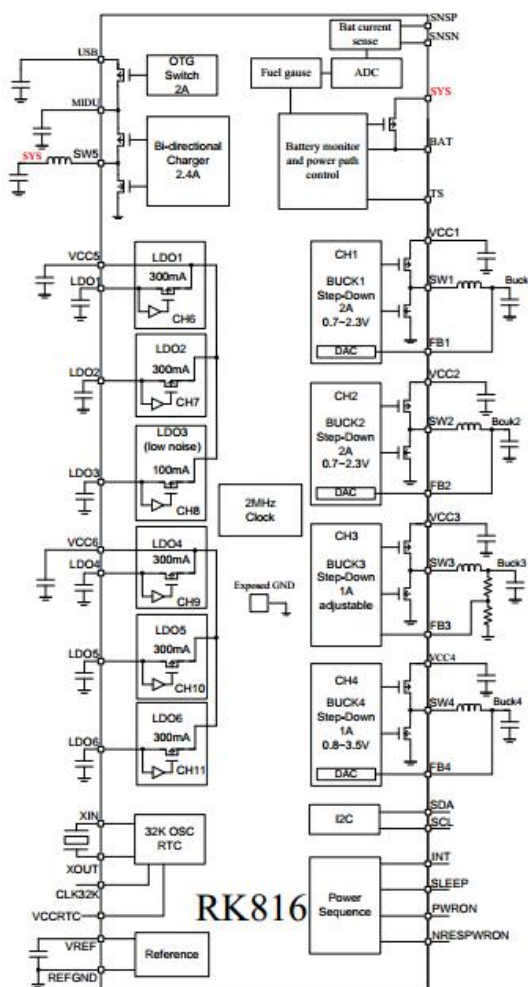


图3-15

### 3.5.2 RK816-1 特征

- 输入范围：BAT 2.7V 到 4.5V，USB 3.8V 到 5.5V；
- 最大 2.4A 充电电流的锂离子电池双向开关充电器
- 实时时钟（RTC）
- 小于 45uA 的极低待机电流（在 32KHz 时钟频率下）

- 2MHz 开关频率的降压/升压 DC-DC 转换器
- 电流模式架构提供优异的瞬态响应
- 内部环路补偿和软启动功能
- 可通过 I2C 编程的输出电平和输出最大电流控制
- 自主 IP 的高转换效率电路架构
- 内置 BUCK 和 LDO 的 Vout 放电通路（可由寄存器配置）
- 供电电源：

通道 1：同步降压 DC-DC 转换器，2A max

通道 2：同步降压 DC-DC 转换器，2A max

通道 3：同步降压 DC-DC 转换器，1A max

通道 4：同步降压 DC-DC 转换器，1A max

通道 5：同步升压 DC-DC 转换器，2A max

通道 6, 通道 7, 通道 9, 通道 10, 通道 11: 低压差电压调制器，300mA max

通道 8: 低噪声，高电源抑制比低压差电压调制器，100mA max

通道 12: OTG 开关，2A max

- 封装：5mmx5mm QFN40(pitch 0.4mm)

### 3.5.3 RK816-1上电时序

RK816-1的上电时序是不可调的，如下是上电时序：sequence的数值1表示第一个上电、是4表示第四个上电。RK816-1适用的RK AP有RK3128和RK3126C。

详细请见我司发布的规格书：Rockchip RK816 Datasheet



AP			RK3126/RK3128	
BOOT(OTP)			1 (RK816-1)	
	Output voltage range	Rate Current	Default voltage	Power up sequence
BUCK1	0.7125V-2.3V (0.7125~1.45V, step 12.5mV)	2A	1.1V	2
BUCK2	0.7125V-2.3V (0.7125~1.45V, step 12.5mV)	2A	1.1V	1
BUCK3	setting by external resistors	1A	x	3
BUCK4	0.8V-3.5V(step 0.1V)	1A	3.3V	1
BOOST	4.7-5.4V(step 0.1V)	2A	5V	OFF
LDO1	0.8V-3.4V(step 0.1V)	300mA	1.0V	OFF
LDO2	0.8V-3.4V(step 0.1V)	300mA	1.8V	1
LDO3	0.8V-3.4V(step 0.1V)	100mA	1.1V	1
LDO4	0.8V-3.4V(step 0.1V)	300mA	1.0V	OFF
LDO5	0.8V-3.4V(step 0.1V)	300mA	3.0V	4
LDO6	0.8V-3.4V(step 0.1V)	300mA	3.0V	4

### 3.5.4 电源树

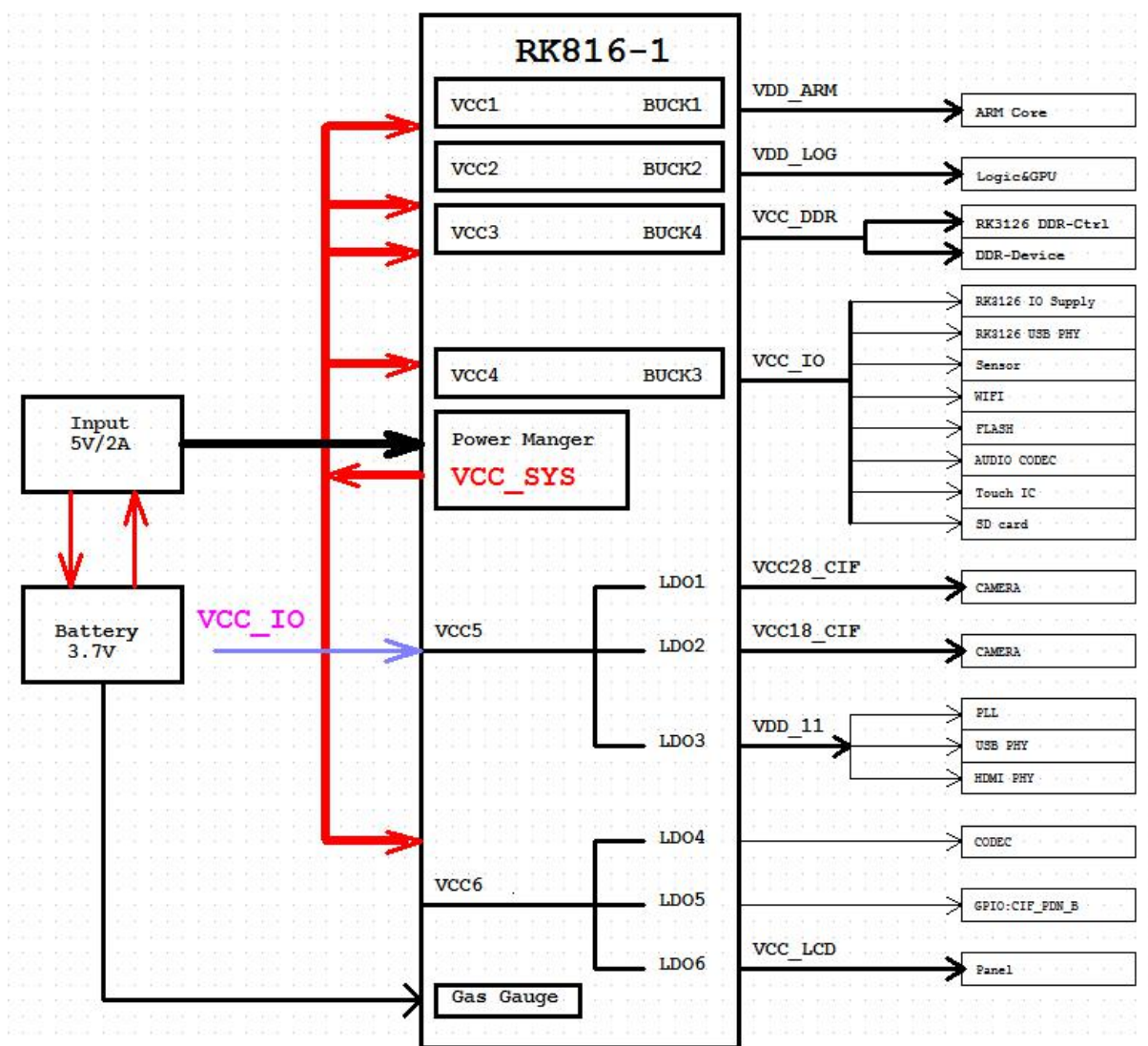


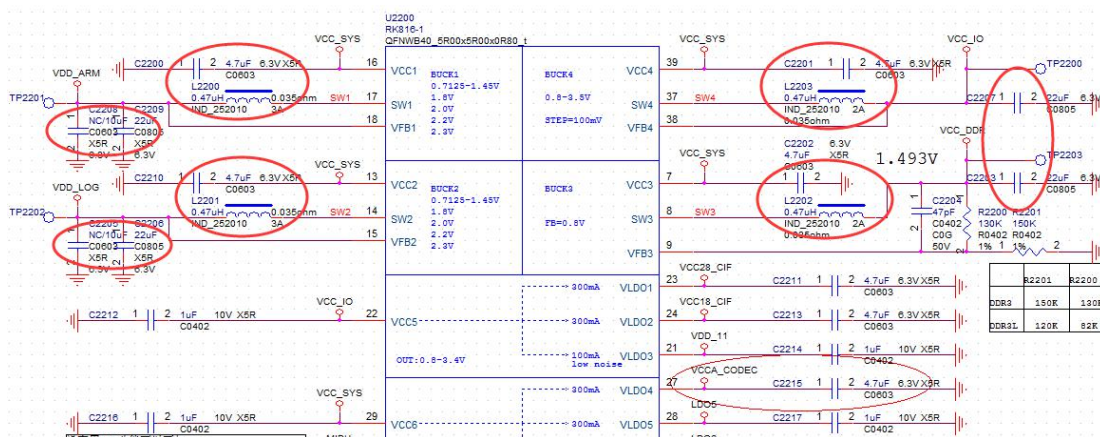
图 3-16

### 3.5.5 RK816-1 注意事项

CHARGER 和 POWER PATH，该充电器是功率双向流动的充电器，当 USB 供电时，可以通过 Charger 给电池充电；当只有电池供电时，可以通过 BOOST 和 OTG 反过来给 USB 供电。

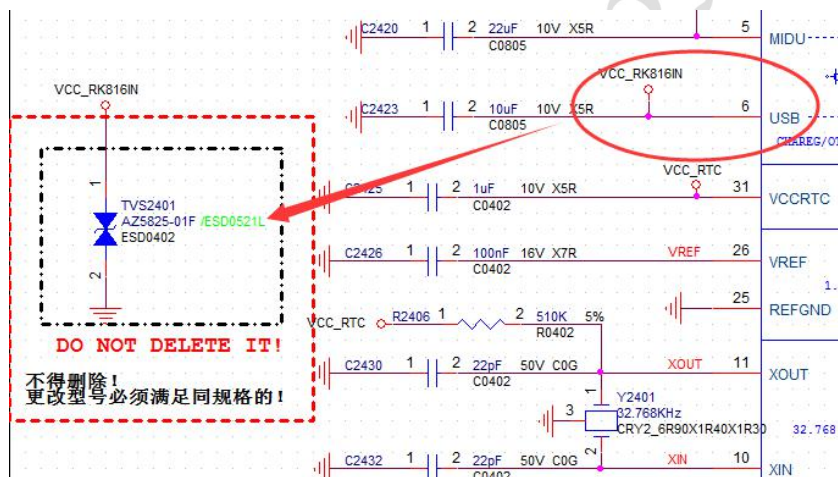
由于高度集成，Chager 的外围连接将非常简单，只需要接输入电容，输出电容和电感。输入电容建议：Charge 的输入电容非常重要，必须保证至少 10uF/10V 的电容器接在 USB 与 GND 之间，并且 PCB 的连接环路尽可能小；必须保证至少 33uF/10V 的电容器接在 MIDU 与 GND 之间，并且 PCB 的连接环路尽可能小。输出电容建议：由于 Charger 的输出端为 SYS，典型应用中 SYS 与 VCC1 到 VCC6 都接在一起，要求 SYS 总的电容不小于 80uF。电感建议：建议输入滤波电感选择 0.47uH。电感峰值电流为 4A，因此电感饱和电流值应当至少大于 4.5A。为了达到更好的转换效

率，选择电感 DCR 小于  $20\text{m}\Omega$ 。该电感与 BOOST 的输入电感是同一个电感，选择时应当综合考虑。



### 3.5.6 TVS管保护

RK816-1具体设计说明应用时需特别注意：在5V USB电源输入端一定要加上TVS管，不得删除TVS管。我司推荐型号AZ5825-01F/ESD0521L（请见发布参考图），型号的替换必须要求是同等或是更优的规格的，防止浪涌导致损坏芯片，PCB LAYOUT TVS管靠PMIC管脚布局。



#### NOTE:

If adapter 5V direct connect to PMIC power pins.

**DO NOT DELETE THE TVS PROTECTION!!!**

Note that PMIC power pins supply voltage < 6.5V

**Recommended TVS Partnumber: AZ5825-01F**

Operating Supply Voltage: 5.5V  
PeakPulse Current: >10A(tp=8/20us)  
Surge Clamping Voltage: 6V  
ESD Clamping Voltage: 6.5V

**IF TVS UNMOUNTED,  
ESD OR SURGE SHOULD BE DAMAGE THE PMIC!!!**



## 3.6 PMIC PCB 设计

### 3.6.1 良好的接地

为保证芯片性能及散热，请保证RK816-1有良好的接地，包括GND引脚连接到芯片下方的ePAD，且ePAD需要有足够的地过孔，如图3-21所示；

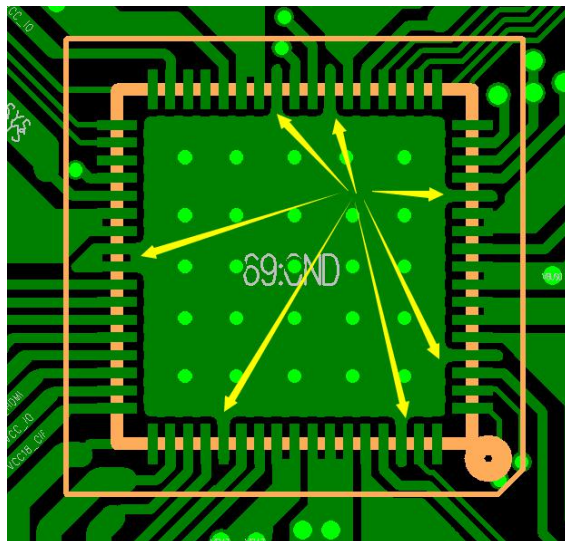


图3-21

### 3.6.2 电容位置

DC-DC输入输出：VCC\_SYS输入电容要靠近PMIC的输入端，输出电容靠近电感端，无论输入输出电容的正端还是负端都必须有足多的过孔才能保护电容的低ESR，才能保证电容的去耦效果。特别是电容负端的地过孔容易被客户忽略。输入输出电容的接地端需要根据供电电流的大小打相对应的数量的孔到主地上。详细请看demo板设计。

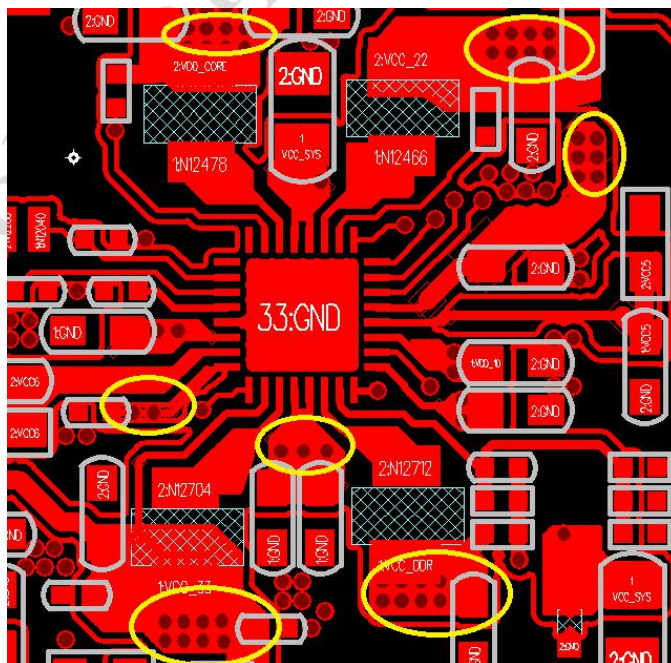
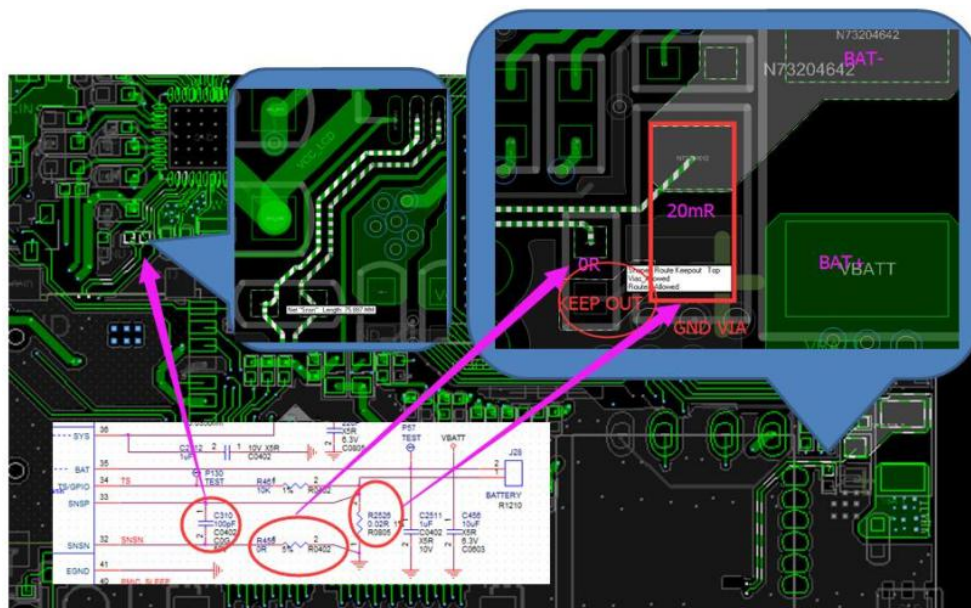


图3-23 RK816-1

### 3.6.3 电量计

在 SNSN, SNSP pin 脚附近放置一个 100pF 的滤波电容，20mR 采样电阻就近放在电池座边上（这样可以降低电源回路阻抗，而不是把 20mR 采样电阻放在 RK816-1 边上再把 VBAT- 拉很长），然后 SNSN, SNSP 走差分线到电池座旁边。SNSN, SNSP 要直接到 20mR 采样电阻的焊盘两端，为了方便 Layout，我们原理图设计的时候会在 SNSN 脚上加一个 0R 电阻，Layout 时要把这个 0R 电阻放在 20mR 电阻的接地端越近越好，并做 KeepOut，保证不会被 GND 铺铜覆盖，如图3-26所示；



### 3.6.5 BUCK

RK816-1 四个 buck 由于高度集成后，外围的器件连接设计非常简单，只要连接输入电容、输出电容和电感即可，请参考发的参考图设计，依据 VCC\_ARM、VDD\_LOG、VCC\_I/O、VCC\_DDR 不同的电流大小提供对应的电容电感大小。PCB 设计建议在输入电容必须离芯片尽可能近，输入电容与 GND 的连接环路尽可能小。应当保证 SW 的走线尽可能短，防止对其他模块造成干扰；VFB 走线应当尽量避免离 SW 太近。对于需要打过孔的地方，电源的输入端至少需要 2 个 05/03 的过孔，VBUCK 至少需要 3 个 05/03 的过孔。

如图 3-28 所示，圆圈部分标识，在 PMIC-BUCK3 VCC\_DDR 电源实际设计图，VCC\_SYS 网络打 3 个过孔，VCC\_DDR 网络打 6 个过孔，输入电容和输出电容 GND 多打一些过孔。

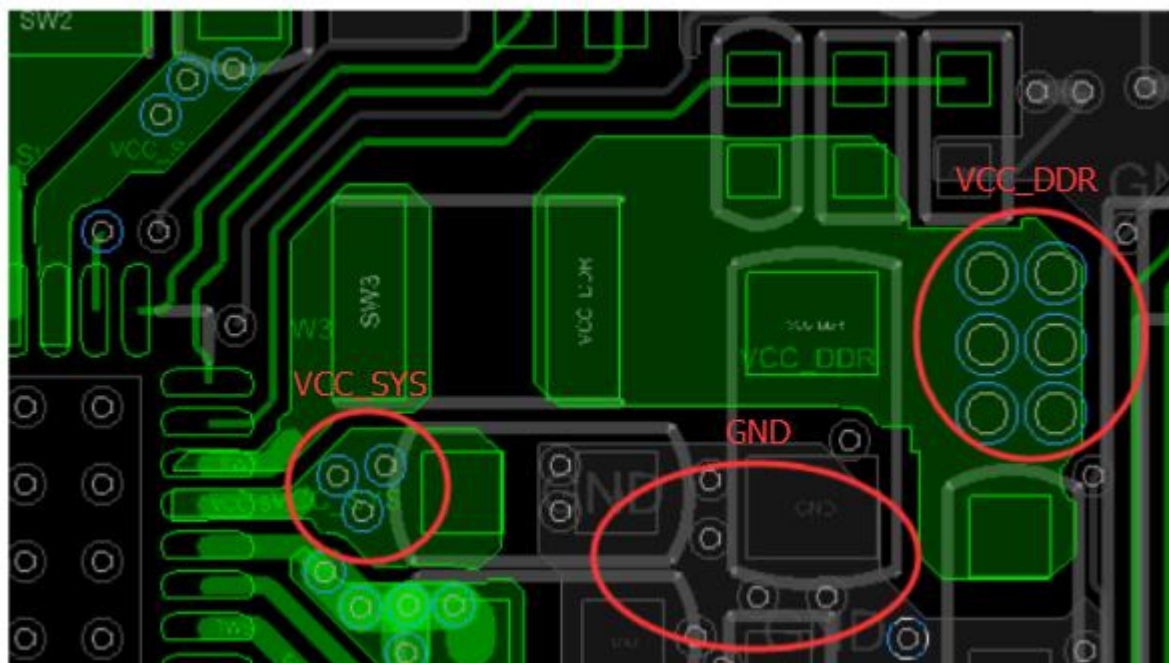


图3-28

## 4 GPIO

### 4.1 GPIO 上下拉

在实际的产品设计中，如果要改变RK已定义好的GPIO功能，一定要注意IO电平匹配及GPIO



的上下拉特性，否则可能造成功能的异常。RK3126C中的GPIO上下拉是在上电后是可配置并且可关闭的，如图4-1，原理图封装中有标注“\_d”的为上电默认内部下拉，标注“\_u”的为上电默认内部上拉。详细的GPIO信息及所属的电源域，请参考RK发布的RK3126C datasheet。

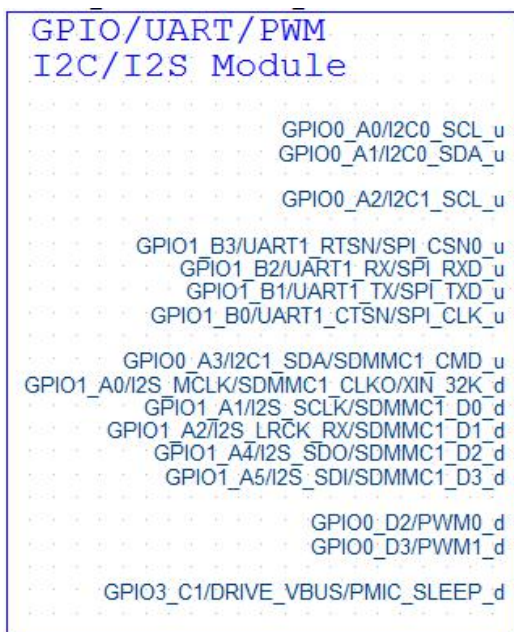


图4-1

## 4.2 GPIO 电源域

RK3126C芯片的IO电源域，如图4-2所示。在二级待机状态下，可以关闭AVDD、内部Audio IP的电源CODEC\_AVDD、显示模块的供电LVDS\_VCC。

Pin Name	Pin No.	Descriptions
GND	ePAD	Internal Core Ground and Digital IO Ground
AVDD	86,88,89,90,91	Internal CPU Power
CVDD	13,29,69,108,126,161	Core digital Power Supply
VCCIO	35,87,101,115	IO Power Supply
DDR_VDD	10,18,142,149,169	DDR Power Supply
DDR_VSS	139	DDR Power Ground
XVSS	27	PLL Power Ground
C/DPLL_DVDD11	22	CODEC/DDR PLL Digital Power
A/GPLL_DVDD11	24	ARM/GENERAL PLL Digital Power
PLL_VCC33	23	PLL Analog Supply
SAR_AVDD33	66	SAR-ADC Analog Power Supply
USB_DVDD11	60	USB Digital Power Supply
USB_AVDD33	59	USB Analog Power Supply
CODEC_AVDD	136	Audio Codec Analog Power Supply
CODEC_AVSS	134,138	Audio Codec Ground
LVDS_VCC	44,46	LCD/LVDS Analog Supply

图4-2

## 4.3GPIO 驱动能力

GPIO驱动能力MIN: 2mA;MAX:12mA. 通过软件配置寄存器可调。

小贴士:

1. GPIO分配请尽量按照RK3126C\_datasheet中已经分配好的IO列表进行产品设计, 软件上可不修改直接使用, 以提高产品的进度和可靠性。

2. RK3126C的IO上下拉在系统启动后, 可以通过软件进行配置修改, 详细请参阅RK发布的相关DATASHEET。



## 5 DDR 控制器 & DRAM

### 5.1 原理图概述

- RK3126C 有 1 个通道的 16bits DDR 控制器，说明下信号分组要求：
  - 2 组数据线（DATA0—DATA7、DATA8—DATA15）、2 条 DATA MASKS（DQM0—DQM1），2 对 DATA STROBES 差分线（DQS0P/ DQS0M—DQS1P/ DQS1M），这 18 条线和 2 对差分线分为两组：  
GROUP A:（DATA0—DATA7, DQM0, DQS0P/ DQS0M）  
GROUP B:（DATA8—DATA15, DQM1, DQS1P/ DQS1M）
  - 剩下的信号线分为三类：  
GROUP E: Address: ADDR0—ADDR14 共 15 条地址线。  
GROUP G: Control: 包括 WE、CAS、RAS、CS0、CKE0、ODT0、BA0、BA1、BA2 等控制信号。  
GROUP F: Clock: CLK、CLKn 差分对。  
Address、Control 与 CLK 归为一组，是因为 Address、Control 在 CLK 的下降沿由 DDR 控制器输出，DDR 颗粒在 CLK 的上升沿锁存 Address、Control 总线上的状态，所以需要严格控制 CLK 与 Address/Command、Control 之间的时序关系，确保 DDR 颗粒能够获得足够的、最佳的建立/保持时间。
- 不允许调换地址线及控制信号线，即 GROUP E、GROUP G。
- 数据线间整组 GROUP 调换的时候，2 条 DATA MASKS（DQM0—DQM1）、2 对 DATA STROBES 差分线（DQS0P/ DQS0M—DQS1P/ DQS1M）也要同时调换，
- 参考电源分压电阻请确保使用精度 1% 的电阻。

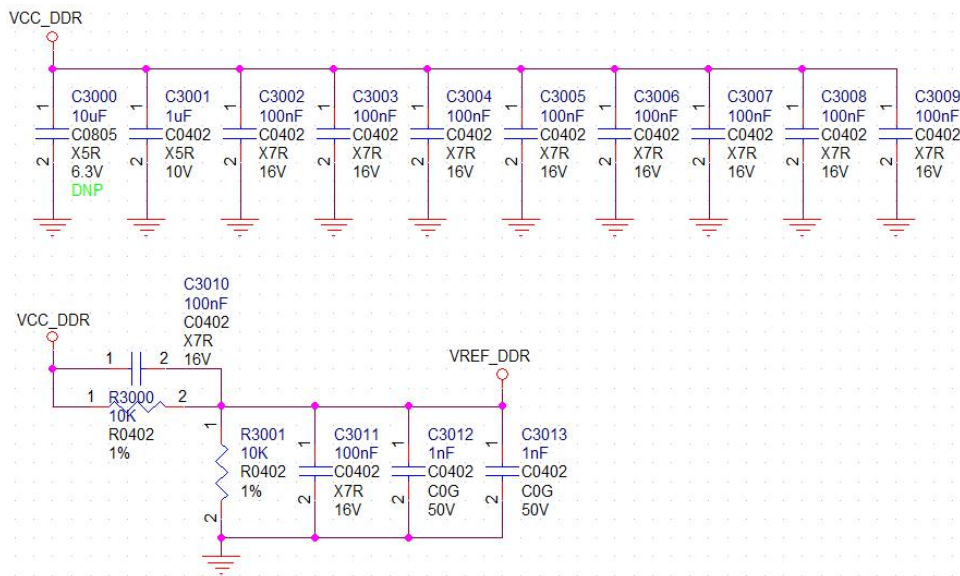


图 5-1

## 5.2 PCB 布板注意事项

- 为了保证 DDR 的性能及得到好的兼容性，请严格按以下要求进行，否则将降低产品的性能及稳定性，严重时系统可能将无法正常工作。
- 走线安全间距
  - 同信号组内的不同信号线之间的间距要求3W以上。
  - 不同信号组之间两相邻信号线之间的间距要求3W以上。
- 信号线长要求

GROUP A ~B中DQSnP/DQSnM之间的线长误差控制在5mils以内；每个GROUP内的数据线DATAn和DQMn组内线长误差控制在50mils以内；组间的数据可适当放宽要求，控制在120mils以内。

GROUP E、GROUP G之间的线长误差控制在100mil以内。

GROUP F中的CLK、CLKn差分对的线长误差控制在5mil以内。

GROUP A~B中DQSnP/DQSnM与GROUP F中CLK、CLKn的长度差为满足tDQSS时序参数，可参考以下设计原则（建议）：

- ◆DDR1600:  $\text{Length (CLK)} - \text{Length (DQSn)} < 900\text{mils}$
- ◆DDR1333:  $\text{Length (CLK)} - \text{Length (DQSn)} < 1200\text{mils}$
- ◆DDR1066:  $\text{Length (CLK)} - \text{Length (DQSn)} < 1700\text{mils}$
- ◆DDR800:  $\text{Length (CLK)} - \text{Length (DQSn)} < 2600\text{mils}$

- 其它走线注意点
  - DQS 信号线应布在组内 DQ 信号线中间。
  - DQS 与时钟不要相邻。

➤ 蛇形线的线与线中心间距遵守 3W 原则，蛇形线振幅应控制在 180mils 以内，否则会破坏信号质量，使传输延时低于预期。

➤ DDR3 的信号线必须有完整的参考面，以保证信号电路的回流路径阻抗最小、以及保证阻抗的连续性。

➤ 禁止 DDR3 所有信号线跨越不同的电源平面。

➤ 禁止其它类型的信号线穿越 DDR 走线区域。

➤ RK3126C 和 DDR 颗粒的每个 VCC\_DDR 管脚尽量在芯片背面放置一个退耦电容，而且过孔应该紧挨着管脚放置，以避免增加导线的电感。

#### ● VREF 的处理

➤ 主控与DDR3颗粒的VREF 分开，各从VDDQ 分压取得，VREF 尽量靠近芯片，VREF 走线尽量短，且与任何数据线分开，保证其不受干扰（特别注意相邻上下层的串扰），且相对VDDQ有良好的跟随性，保证VREF的电压值在噪声、温度变化时，会随着VDDQ变化；

➤ VREF只需要提供非常小的电流（输入电流大概3mA），每一个VREF脚都要靠近管脚加1nF旁路电容（每路电容数量不超过5个，以免影响电源跟随特性），线宽建议不小于10mils。

#### ● 阻抗要求

➤ 单线特征线宽 4mils，阻抗控制  $55\text{ohm} \pm 10\%$ 。

➤ 差分对线宽 4mil，阻抗控制  $100\text{ohm} \pm 10\%$ 。

➤ 电路板的填充材料的介电常数一般变化范围是 4.0~4.5，它的数值随着频率，温度等因素变化。FR-4 就是一种典型的介电材料，在 100MHz 时的平均介电常数为 4.2；推荐使用 FR-4 作为 PCB 的填充材料。

#### ● 保证铺铜的完整性

DDR部分的铺铜完整会直接影响DDR的性能及提高DDR的兼容性，按以下要求设计，就能达到如图5-2所示的效果。

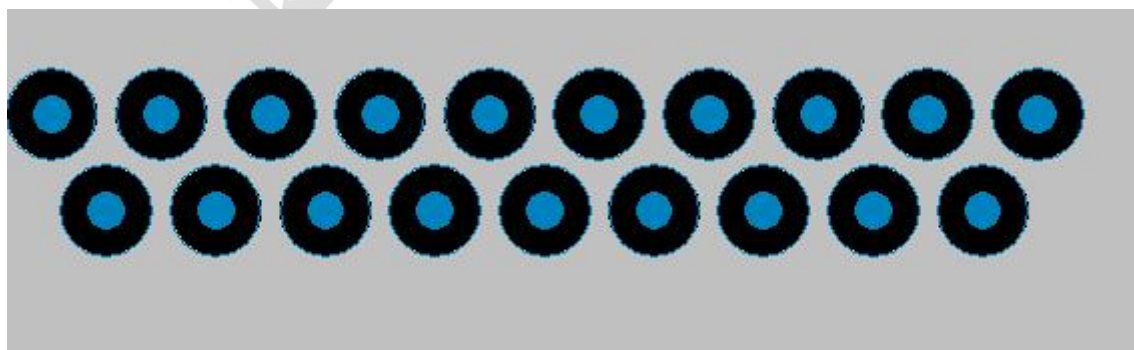


图5-2

➤ 确保信号线换层过孔均匀分布，两个过孔之间安全间距等于或大于 32mils。

➤ 采用 0.2mm 孔径，0.4mm 孔盘的过孔。

➤ 铺铜层属性设置成混合分割层。

- 过孔与铺铜的安全间距设置为 5.5mils。
- 铺铜线宽设置为 4mils。

注：详细请参考RK发布的DDR核心模板PCB文件以及相对应的设计说明文件。

## 6 Flash 控制器 & 存储

### 6.1 原理图概述

RK3126C支持Nand Flash、eMMC等FLASH存储设备。存储设备兼容两种IO电平 1.8v和3.3v，实际产品应用中，有的颗粒可能只支持1.8v的IO，请参考选用的颗粒规格书。

RK3126C SOC端，PIN101独立出来供电，网络名VCCIO\_FLASH并且独立一个100nF滤波电容，VCCIO\_FLASH采用电阻跳接选用一种方式供电，参考图默认采用VCC\_IO。如图6-1所示。

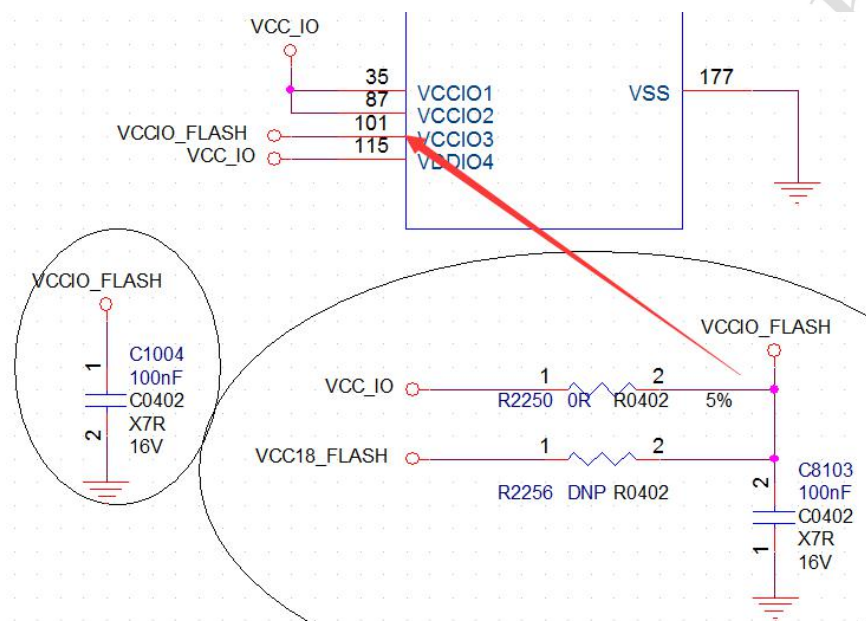


图 6-1

Nand flash端VCCQ的电源接VCCIO\_Flash，VCC电源接VCC\_IO，对应的管脚各分配滤波电容。数据线预留10K上拉电阻，上拉电源为VCCIO\_FLASH，如图6-2所示。

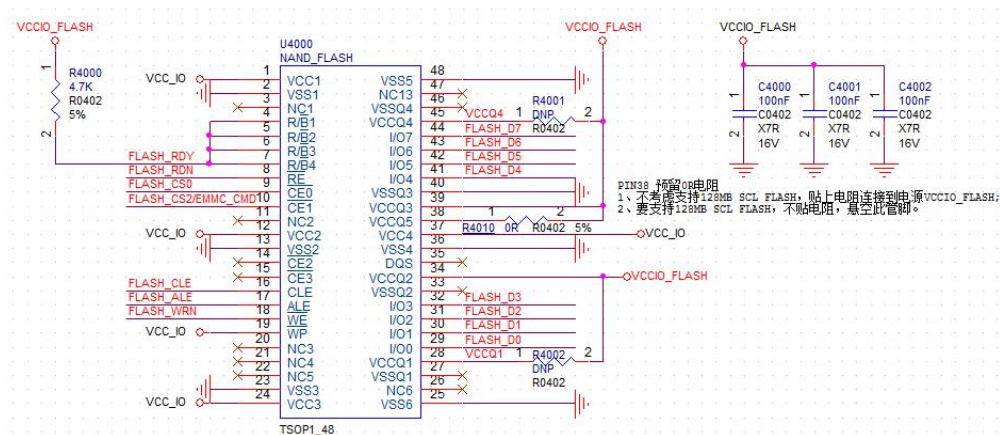


图 6-2





## 7 TF 卡

### 7.1 原理图设计

RK3126C 支持SDMMC2.0，默认是VCC\_IO电源，AP JTAG和UART2复用到TF卡的信号线上，可以方便驱动平台debug log信息的查看。

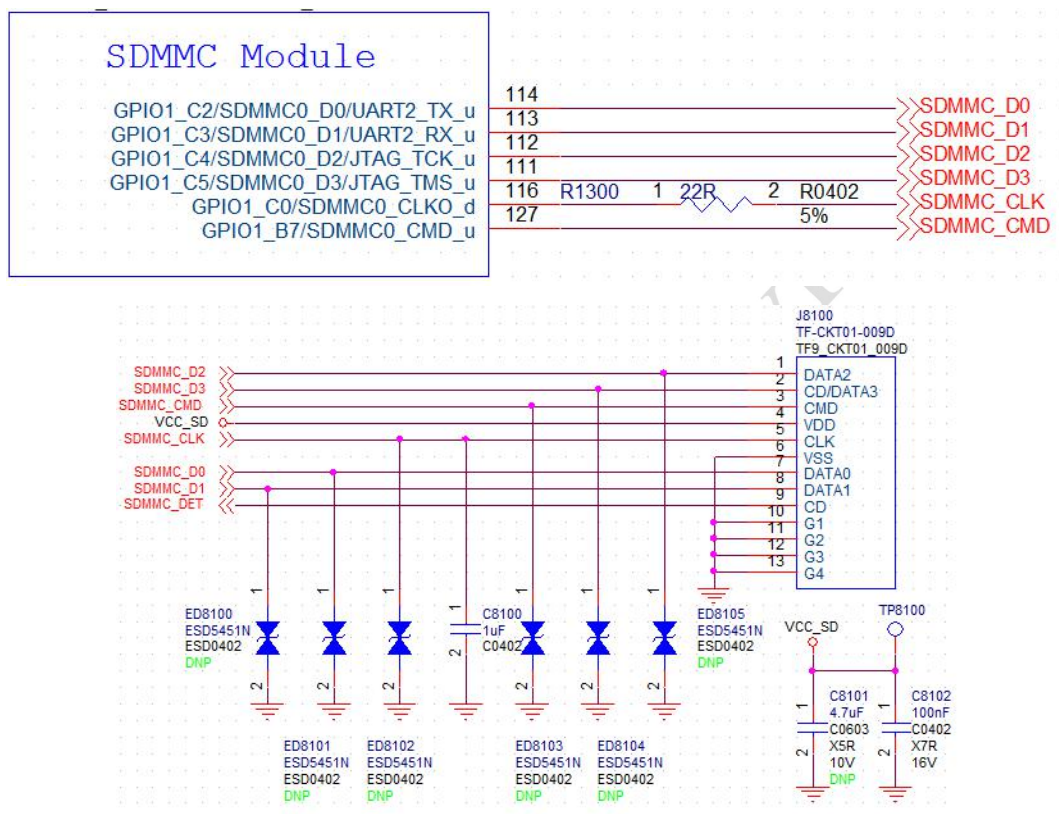


图7-1

### 7.2 PCB 布板注意事项

- TF卡座VCC\_SD电容C8101、C8102布局时靠近卡座引脚放置。
- 走线尽量与高频信号隔开，尽量整组包地处理。如果有空间的话，CLK建议单独包地。
- RK3126C平台上，TF Card的PCB Layout长度尽量控制在12.4inch以内。

## 8 USB

### 8.1 原理图概述

- RK3126C共有两组USB接口，其中一个为USB OTG，一个为USB HOST，如图8-1。
  - USB OTG接口可以通过检测USB\_VBUS、USB\_ID信号，配置为Host或者Device功能，支持USB2.0/1.1规范。
  - USB HOST接口可以作为HOST接口外接设备，其中HOST支持USB 2.0规范。

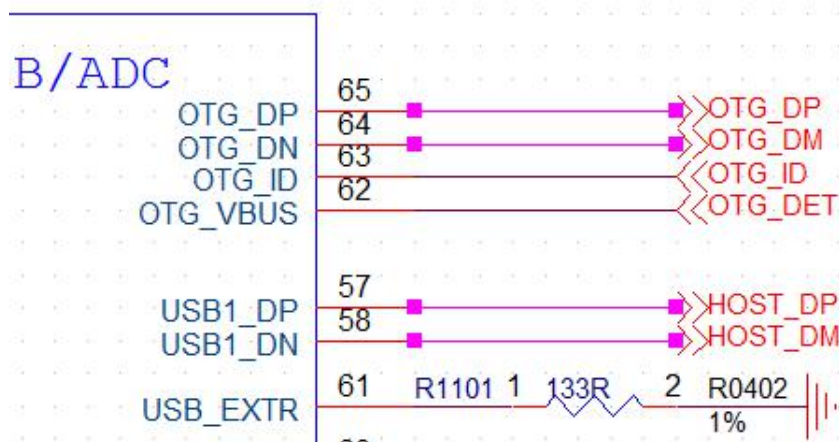
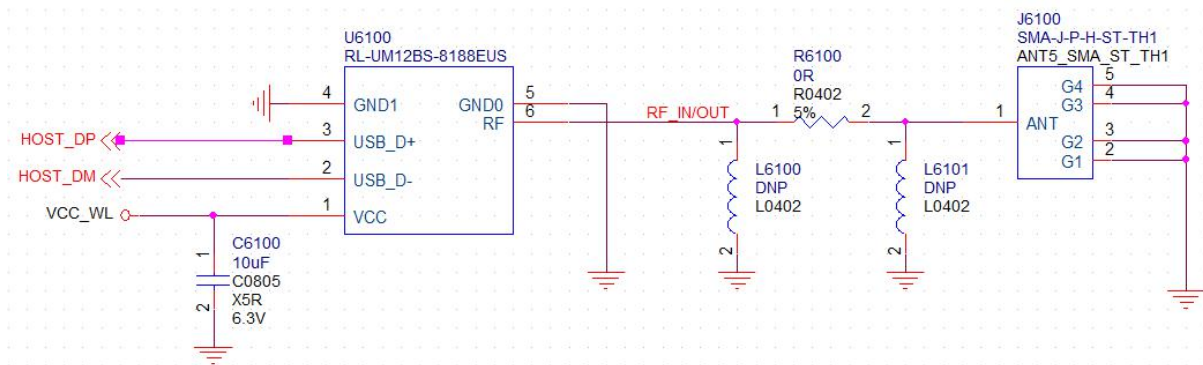


图8-1

- USB 控制器参考电阻 R1101 请选用 1%精度的电阻，该电阻关系到 USB 眼图好坏。
- USB 具有高达 480Mbps 的传输速率，所以差分信号对于线路上的寄生电容非常敏感，所以要选择低结电容的 ESD 保护器件，结电容要小于 1pF。
- 升级固件只能使用 USB OTG 这个接口。

#### 8.1.1 USB HOST

在 RK3126C 上 USB HOST 可以使用与 USB WIFI 模块。





USB 接口的上下拉和匹配设计推荐如下：

信号	连接方式	说明
USB0_DP/DM	信号直连	USB2.0 OTG 输入/输出
USB1_DP/DM	信号直连	USB2.0 HOST1 输入/输出
USB0_VBUS	外部接 10K 电阻上接到 VCC50_USB, 接 15K 到 GND	USB VBUS 检测脚
USB_EXTR	连接 133ohm 电阻到 GND	USB 控制器参考电阻连接 PIN

## 8.2 PCB 布板注意事项

- USB PCB Layout 注意点如下：
  - USB接口应尽量靠近芯片放置，以缩短走线距离；
  - USB的信号走线必须严格遵循差分规则要求走线。走线拐角尽量用弧线或者钝角，不能为直角或锐角，阻抗要求 $Z=90\pm 10\text{ohm}$ ，如图8-7；

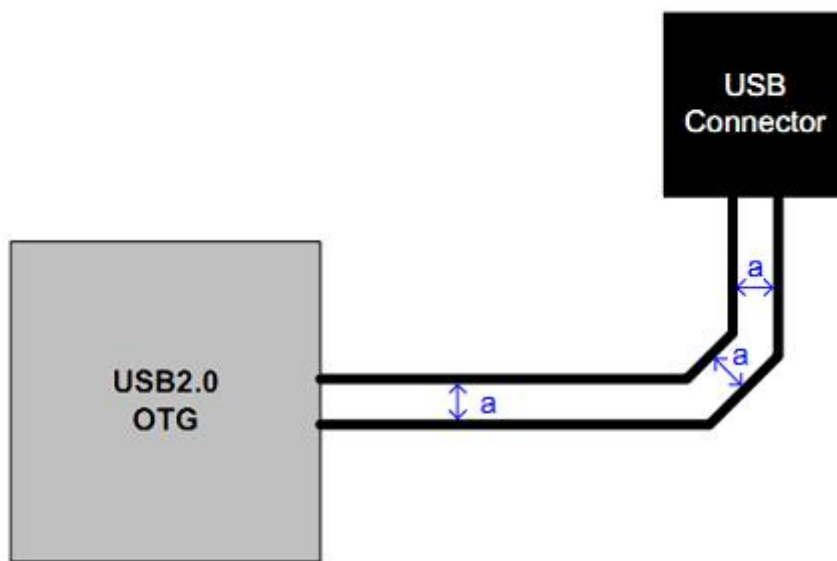


图8-7

- 为抑制电磁辐射，USB建议在内层走线，并保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并增加外部噪声对差分线的影响，如图11-4；如在表层走线，请注意用地线做包地处理，如图8-8；

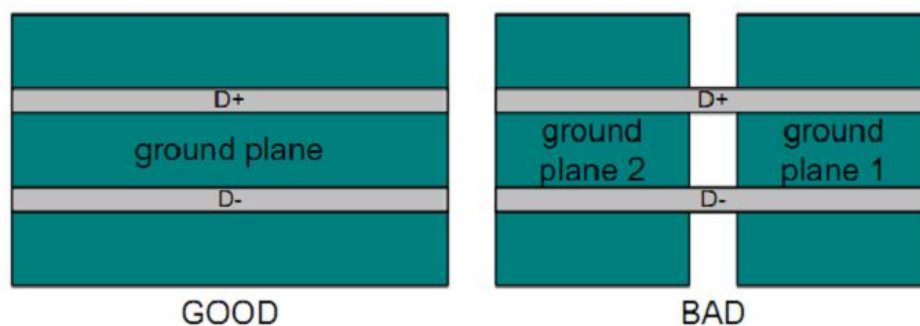


图8-8

### Minimizing Crosstalk Between Signal Traces

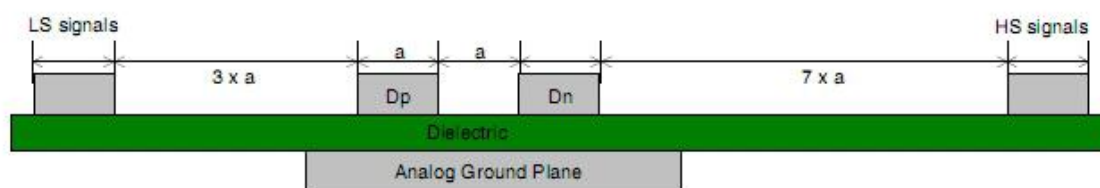


图9-9 高速信号隔离

- 走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续；
- USB 2.0规范定义的电流为500mA，但是VBUS走线最好能承受1A的电流，以防过流。如果是在使用USB充电的情况下，VBUS走线需能承受2.5A的电流；
- ESD保护器件、共模电感和大电容在布局时应尽可能的靠近USB接口，如图8-10、图8-11所示；

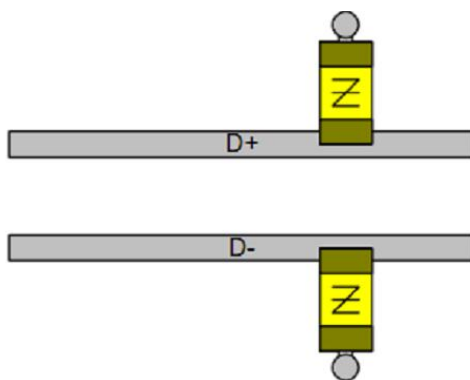


图8-10



## 9 SarADC & 按键

## 9.1 原理图概述

### 9.1.1 ADC 按键

RK3126C采用SARADC的ADC CH2做为键值输入采样口，并复用为RECOVER模式，如图9-1。

在系统有固件的前提下，开机时按下SW4600，将ADC\_CH2保持为0V电平（最高不超过100mV），则RK3126C进入Rock usb烧写模式。当PC识别到USB设备时，松开按键使ADC\_CH2恢复为高电平（VCC IO=3.3V），即可进行固件烧写。

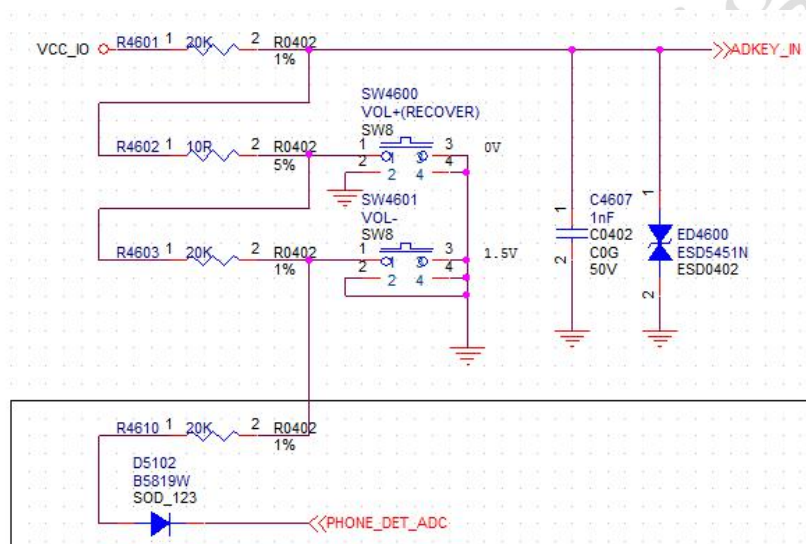


图9-1

### 9.1.2 其他按键

RK3126C上，SARADC采样范围为0-3.3V。按键阵列可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求。

现在RK3126C参考图ADC设计两个按键，音量+和音量-。在使用RGB显示屏时，主控GPIO比较紧张，耳机检测采用按键模拟方式，原理图如上，具体过程如下：

- 1、ADC=2.33V, 说明耳机插入;
- 2、ADC=3.3V, 说明耳机拔出, 没有耳机插入;
- 3、ADC<2.33V, 是按键按下, 此时软件去处理忽悠耳机检测值, 耳机行为保持上一次的状态。

小贴士:

- Recover 模式进入方法不能自行更改;
- 设计中如果不需要按键, 必须保留 ADC\_CH2 上拉电阻 R4601;

## 9.2 PCB 布板注意事项

- Key PCB Layout注意点如下：
  - ESD保护器件请就近靠近按键放置，以起到静电保护作用，如图9-3；
  - 按键消抖电容C4607请靠近芯片放置；
  - ADKEY\_IN走线与其他信号线用地线隔离，避免信号线间串扰引起键值误判。

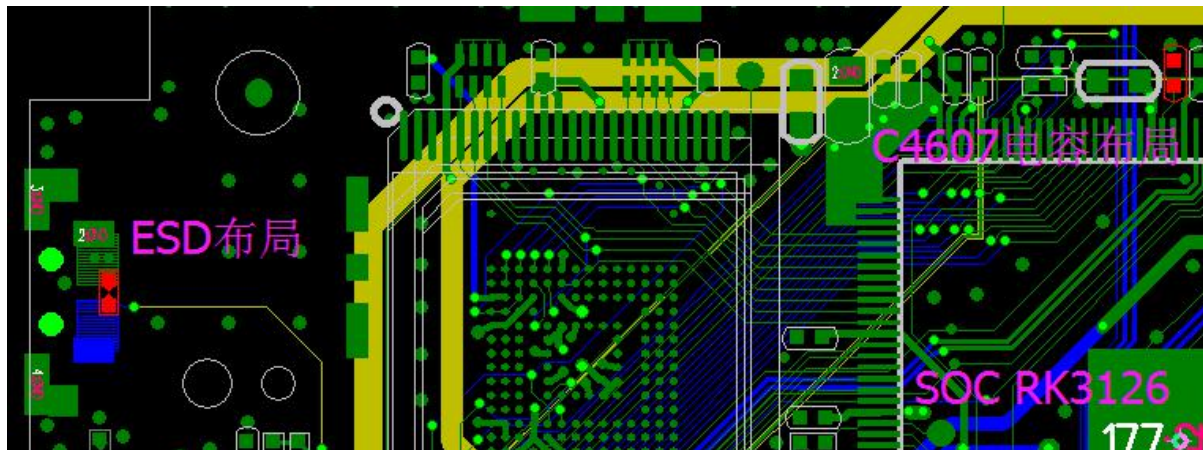


图12-3



## 10 Camera接口

## 10.1 原理图概述

RK3126C Camera的I0电平只支持2.8v，同时I2C上拉电平必须与其保持一致，否则会造成Camera工作异常或无法工作。

### 10.1.1 Camera I2C

Camera 使用 I2C2 通道进行控制器与外设数据交互, I2C2 电源域是属于 LVDS\_VCC, 参考图设计供电源是 3.3V。 I2C 总线上外设有 GSL1680 触摸颗粒、Camera 以及 PMIC RK816-1。

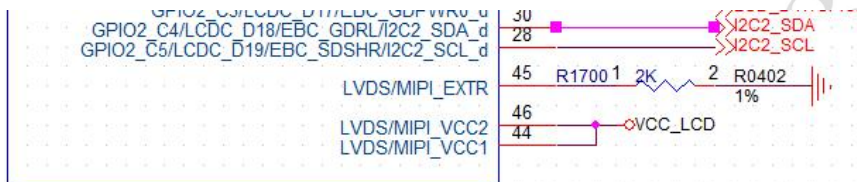
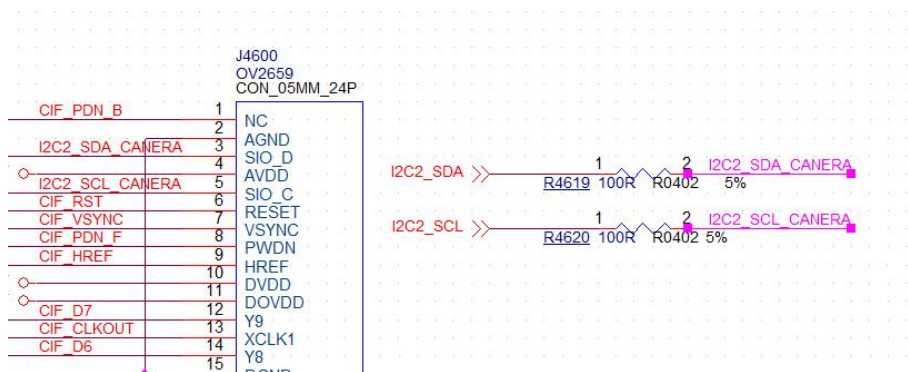


图 10-1

由于摄像头是采用 FPC 排线的接触方式，在调试过程或是生产过程中人为的操作。都可能引入 ESD，所以在靠连接座的 I2C 接口上串 100R 电阻，以此增加信号的抗 ESD 能力。



### 10.1.2 Camera 电源

Camera 的电源 AVDD, DVDD, DOVDD 要使用 PMIC RK816-1 来供电, 采用软件控制可以灵活满足时序需求。

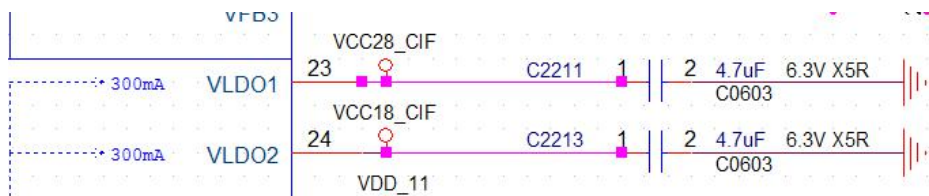


图 10-2 RK816-1 方案

## 10.2 PCB 布板注意事项

- PCB Layout注意点如下：
  - 走线拐角尽量用弧线或者钝角，不能为直角或锐角；
  - CIF Sensor信号数据走线CIF\_D0-D7，建议整组做包地处理；
  - R4619和R4620靠近连接座布局。

## 11 显示接口

### 11.1 原理图概述

RK3126C支持Parallel RGB、MIPI、LVDS等多种视频输出模式。三者芯片封装上是复用的。参考图兼容设计三种模式，实际产品方案请自行选择。

#### 11.1.1 MIPI DSI 和 LVDS

- MIPI DSI和LVDS都可以支持到4lane;
- 跟LCDC RGB屏共用接口，实际产品请看原理图封装管脚命名;
- LVDS/MIPI\_RXTR采用精密电阻2K。这个电阻不能错，会影响到信号的驱动强度。

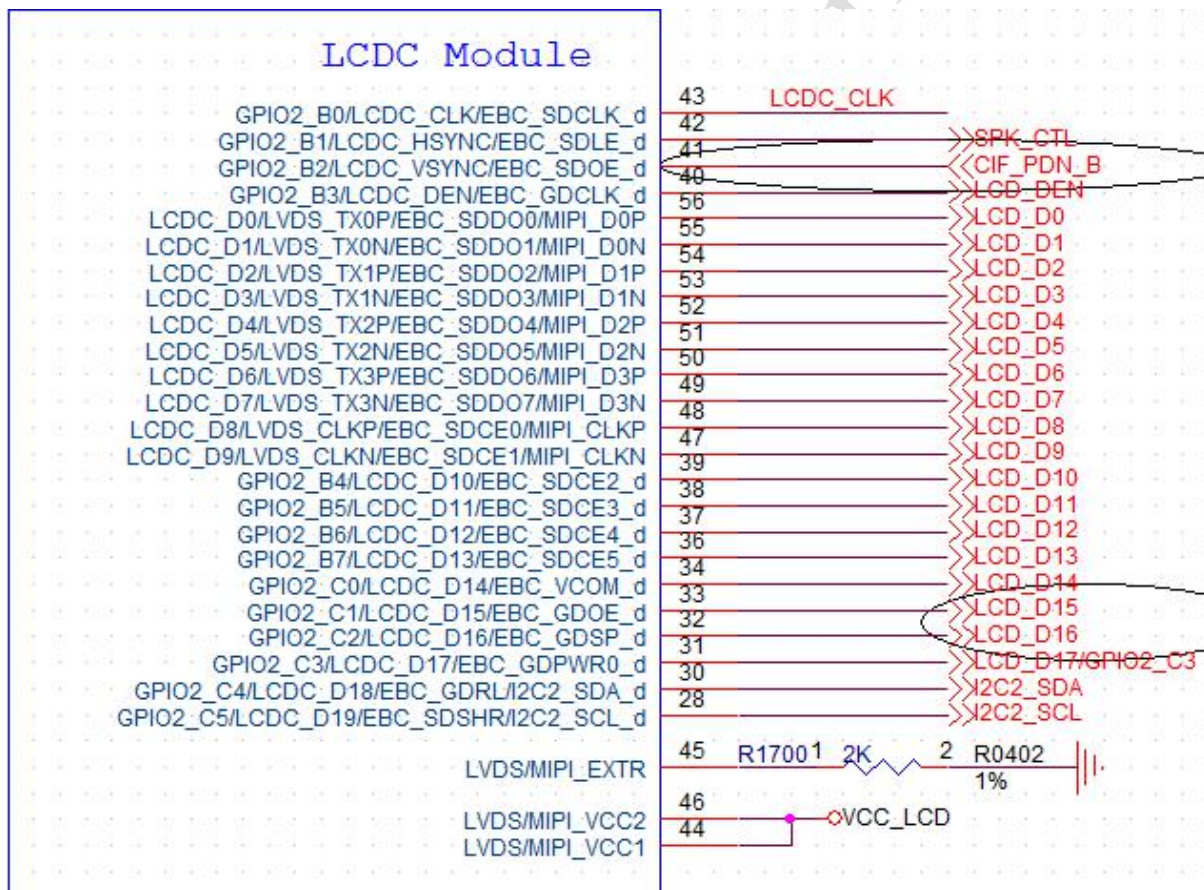


图11-8

#### 11.1.2 LCDC 接口

- 需要强调的是LCDC的电源域是LVDS/MIPI\_VCC1/2, 采用系统的VCC\_IO供电。
- MIPI 屏接口与LCDC有复用口，所以两者不能兼容，只能使用其中一种。

- 关于RGB接口只有18位，如果使用的RGB屏的接口有24位，一般来说接高位，低两位接地。最好跟屏厂沟通清楚。如图11-11
- LCD接口设计时，请注意与芯片保持IO电平匹配，注意屏的上电及掉电时序要求。

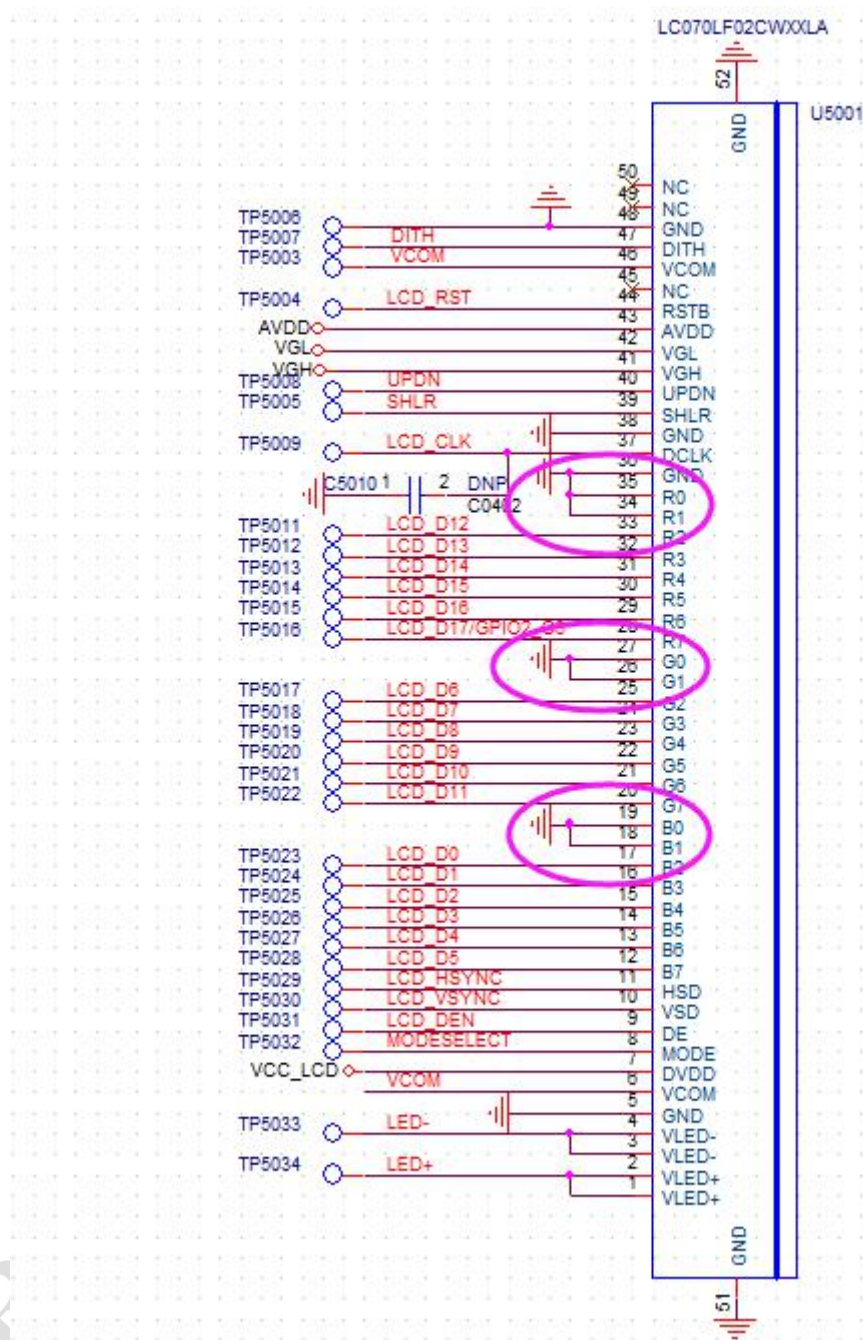


图11-11

### 12.1.3 LCD 背光

- 选择适当的背光驱动，目前参考图的背光IC是TT7516/TCS5515/UP6003AMT6，驱动电流：



## LED Current Regulation

The uP6003 operates in a constant-frequency, slope-compensated peak-current-mode control to regulate the LED current. The LED current is sensed at FB pin by a current sensing resistor (R1):  $V_{FB} = R1 \times I_{LED}$ . The error amplifier compares the feedback voltage with internal 0.3V reference and compensates the error signal to get current command level.

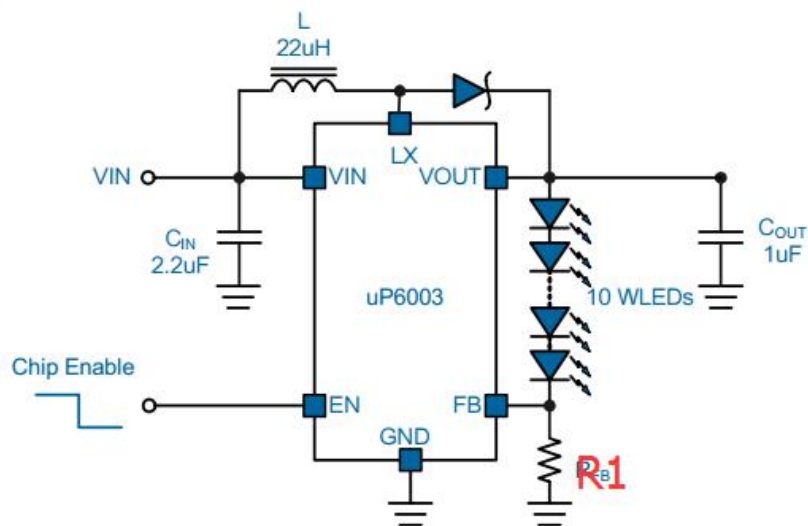


图11-13

- RK3126C参考图限流电阻采用R5112和R5113两个4R7的电阻并联的方式。实际需要多大的电阻需要依据不同的液晶屏规格书参数选择，参考图提供的不是确定值。
- 背光限流电阻R5112、R5113需靠近屏座放置。

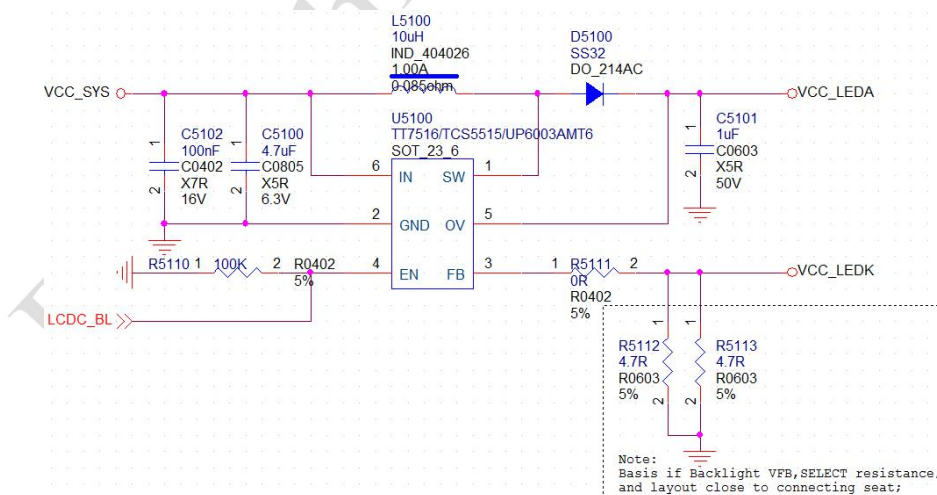


图11-14

## 11.2 PCB 布板注意事项

- 信号连接座应尽量靠近芯片放置，以缩短走线距离；



- MIPI信号走线需严格遵循差分规则要求走线，线对内两根信号的长度误差控制在10mil以内，线对与线对之间的长度误差控制在30mil以内；走线拐角尽量用弧线或者钝角，不能为直角或锐角，阻抗要求 $Z=100\Omega\pm 10\%$ ；
- RK3126C平台上，MIPI网络的总长度（包括PCB Layout长度、FPC连接线长度以及接收端PCB的走线长度）尽量控制在10inch以内，最好不要超过15inch，否则会对信号质量造成影响；
- MIPI、HDMI等高速信号走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续；

## 12 调试接口

### 12.1 原理图概述

- 为了方便软件在线调试，特别是装机起来的机器。RK3126C预留一个用来作Debug的Uart接口（UART2），这个跟TF SDIO复用，可以通过TF转debug的转接板查看log信号（另外一种方式是USB ADB也是可行的），在实际产品应用中，可以预留出测试点，如图12-1

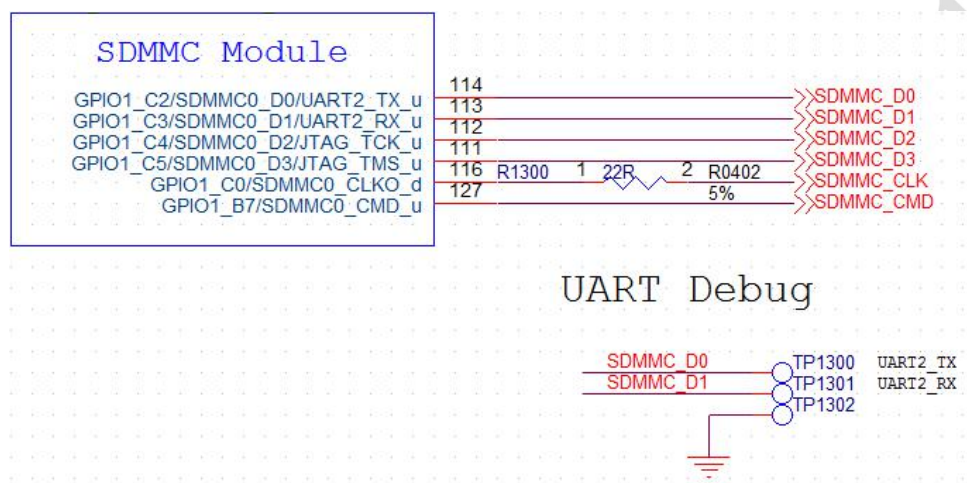


图12-1

- ARM JTAG也与SDIO共用IO，客户端不开放JTAG调试。

### 12.2 PCB 布板注意事项

- 较常使用Debug功能的话（如开发板、SDK等），建议在接口增加ESD器件，信号线串接100R电阻，对芯片提供保护；

## 13 音频编解码

### 13.1 原理图概述

#### 13.1.1 CODEC

RK3126C内含CODEC，可以支持一个单端的MIC输入，内部高度集成，外围只需要简单的电路即可构成整套音频方案，CODEC\_AVSS(PIN134和PIN138)要单独打到主地。

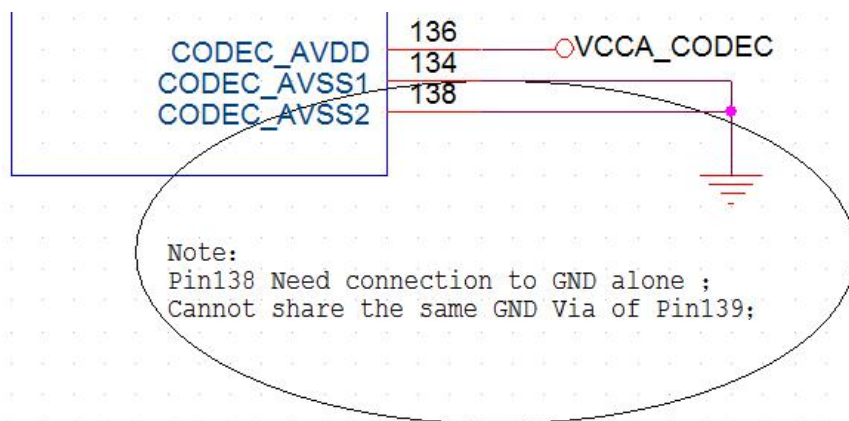
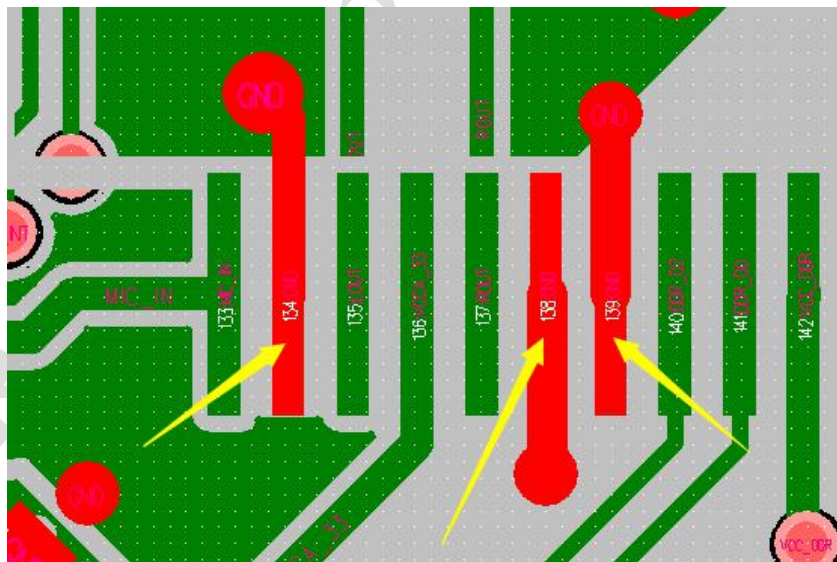


图13-4

PCB上走线与打的GND VIA示意图如下：



- 模拟MIC，依据实际MIC参数选择合适的偏置电阻R7009，给MIC内部的FET提供一个漏极偏置，使其工作在饱和区，完成信号放大。如图13-5。



以一款常用的4013规格ECM麦克风举例，手册中标称的MIC最大耗电流为400uA，根据常用的测试条件V=2V， $R_L=2.2K\Omega$ 得到 $2.2K\Omega \times 400\mu A=0.88V$ ，则输出直流偏置接近于供电电压的一半，具有较好的正负半周动态范围。



Test Condition ( $V_s=2.0V$   $R_L=2.2K\Omega$   $T_a=20^\circ C$   $R.H.=65\%$ )

Test Condition (Vs=2.0V, RL=2.2K $\Omega$ , f=1kHz, RL=65%)						
Item	Symbol	Test Conditions	Minimum	Standard	Maximum	Unit
Sensitivity	S	Pin=1Pa, f=1kHz	-47	-44	-41	dB
Output Impedance	Zout	Pin=1Pa, f=1kHz			2.2	k $\Omega$
Directivity		Omni directional				
Current consumption	I	Vs=2.0V, RL=2.2K $\Omega$			400	$\mu$ A
S/N ratio (A)	S/N (A)	Pin=1Pa, f=1kHz(A Curve)	58			dB
Decreasing Voltage Characteristic	$\Delta$ S	Pin=1Pa, f=1kHz Vs=2.0~1.5V			-3	dB
Operating Voltage		DC	1	2	10	V
Maximal Input Sound Pressure Level	MISPL	f=1kHz, distortion $\leq$ 2%			104	dB

54



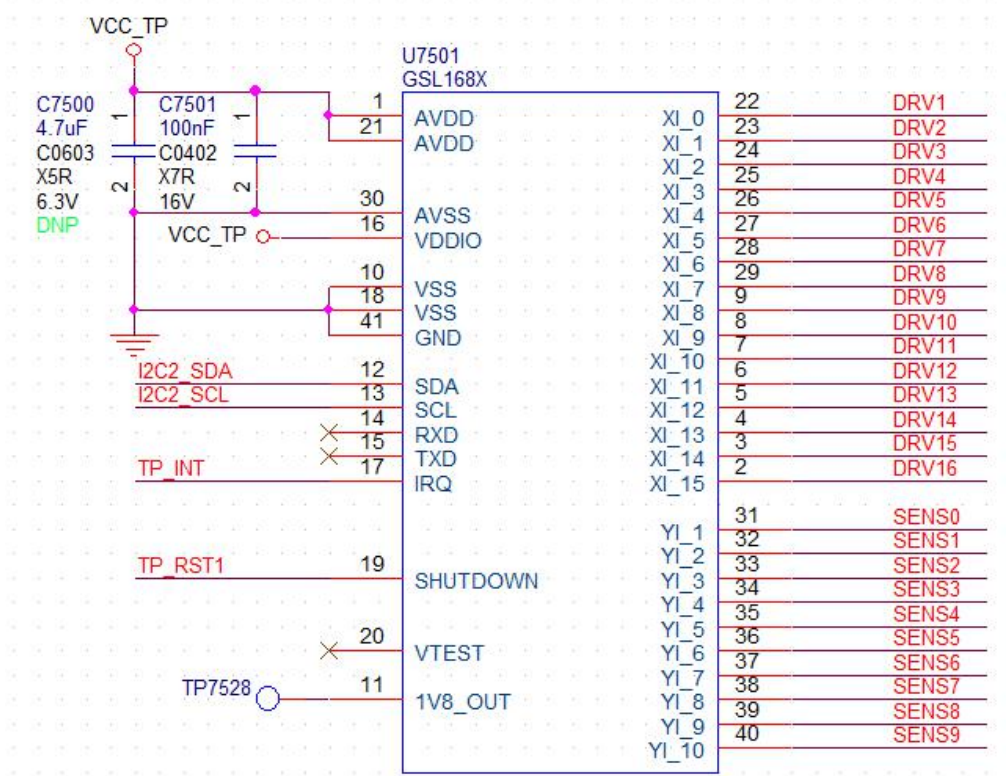


- Codec布局时应靠近连接座放置，走线尽可能的短。
- 为抑制功放电磁辐射，需把功放到喇叭的走线长度缩短，走线加粗，尽量少走弯角。为避免噪声干扰，建议差分走线，线宽大于20mils，线距小于10mils，并在靠近喇叭输出端预留LC滤波电路。

## 14 触摸屏

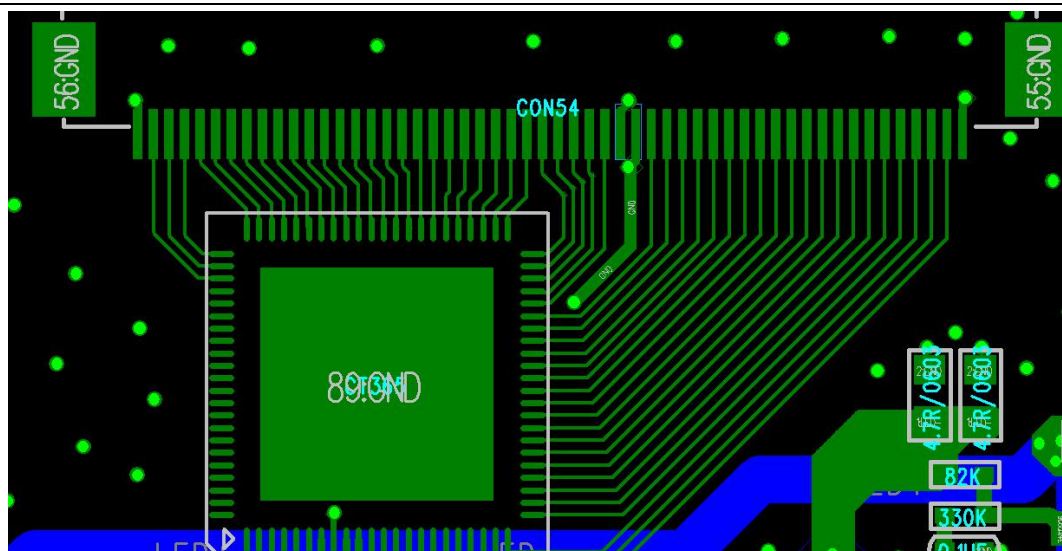
### 14.1 原理图概述

- RK3126C设计触摸采用I2C接口采集触摸信息，外加中断和复位两个信号协调控制触摸IC，复位信号可采用RC延迟的方式。
- Touch Panel I2C上拉电阻请选择与TP电源一样，以免出现在休眠情况下，电源通过I2C总线向TP屏漏电而增加额外的功耗。例子：



### 14.2 PCB 布板注意事项

- 大屏ESD容易打坏主控接口数据线，Sensor信号线要注意保护；
- TP onboard设计，Sensor与Driver信号间需要用地隔离；
- Sensor信号和driver信号走线尽量按照3W原则，减少串扰现象发生。



## 15 传感器

### 15.1 原理图概述

#### 15.1.1 重力传感器

- Sensor的VCC Supply和VCCIO Supply的电源域可能不一样，请确保I2C总线上拉电源与Sensor的VCCIO Supply一致，否则需要做电平匹配处理。
- 需要注意有些sensor的地址选择脚ASD0的上下拉，确保地址与其他的物料（比如同总线的Camere）没有冲突。

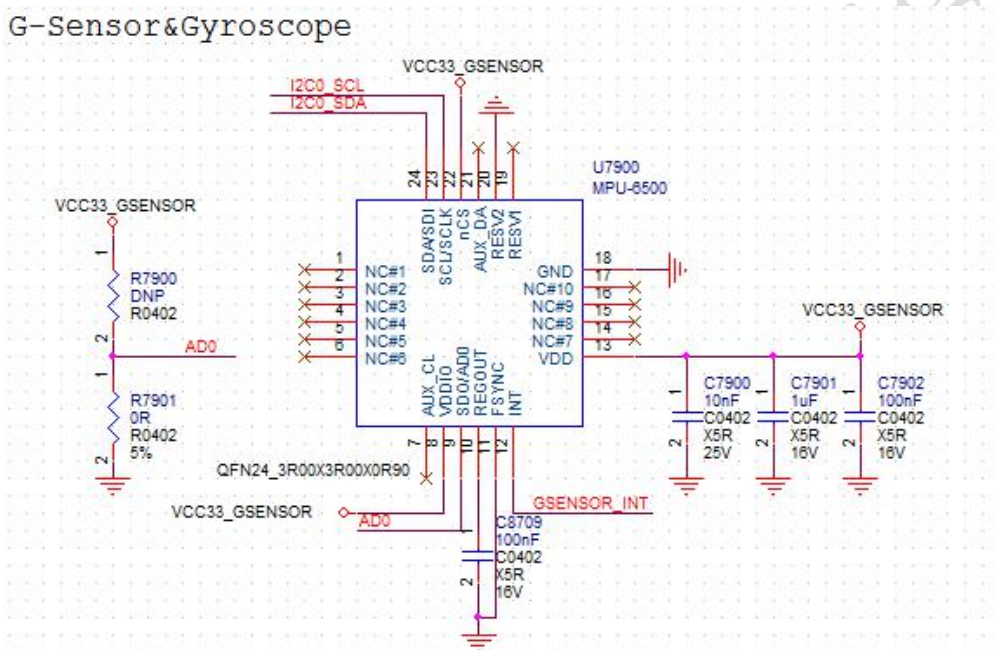


图15-1

- 客户可以依据实际情况，更换Sensor IC;

### 15.2 PCB 布板注意事项

- 地磁传感器和霍尔传感器布局时需远离强磁场、易磁化器件、大电流器件等，如听筒、喇叭、马达、摄像头、大电感等，同时不能放在屏蔽罩内。
- 重力加速度传感器摆放时需注意方向，第一脚建议放置在产品正视图的左上角位置，与SDK保持一致，方便软件调试。

# 16 WIFI & BT

## 16.1 原理图概述

### 16.1.1 SDIO

RK3126C支持SDIO接口的WIFI/BT模组。采用SDIO、UART接口的WIFI/BT模组时，需要注意RK3126C SDIO、UART控制器的供电API02\_VDD要与模组VCCIO Supply一致，参考设计采用VCC\_IO。

### 16.1.2 RTL8703BS

- 除了pin2 CHIP\_EN, pin3 GPIO8 参考VDIO\_33, 由于RK3126C IO电平是VCC\_IO, 所以PIN26 VDD\_IO也只能使用VCC\_IO供电，保持跟主控一致。图18-2。

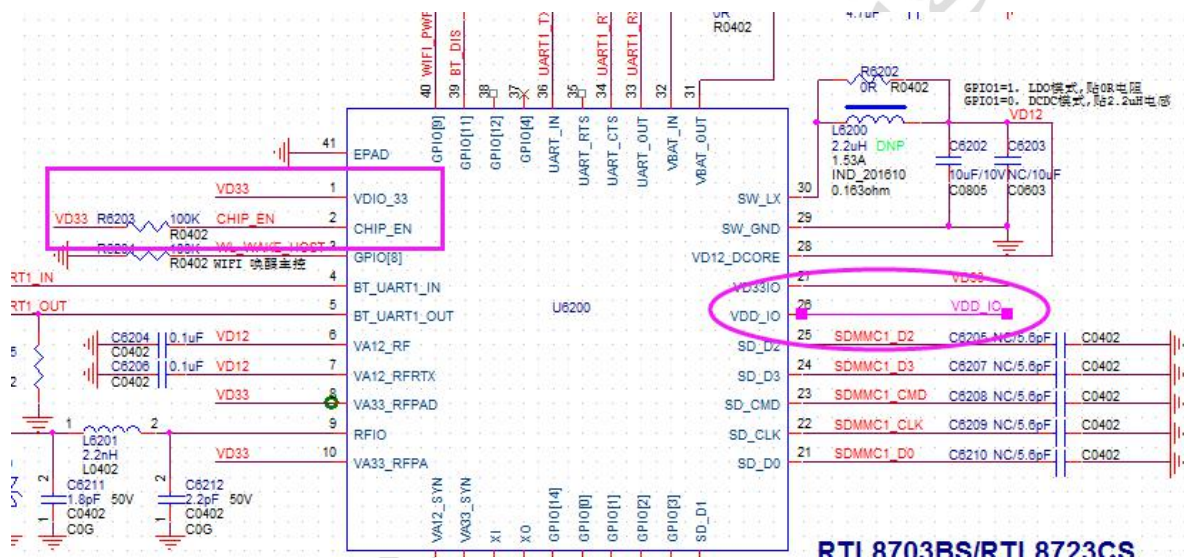


图16-1

- GPI01下拉，1.2V的供电模式选用SPS（L6200贴2.2uH），GPI01上拉，1.2V供电模式选用LD0模式（L6200贴00HM）。图18-3



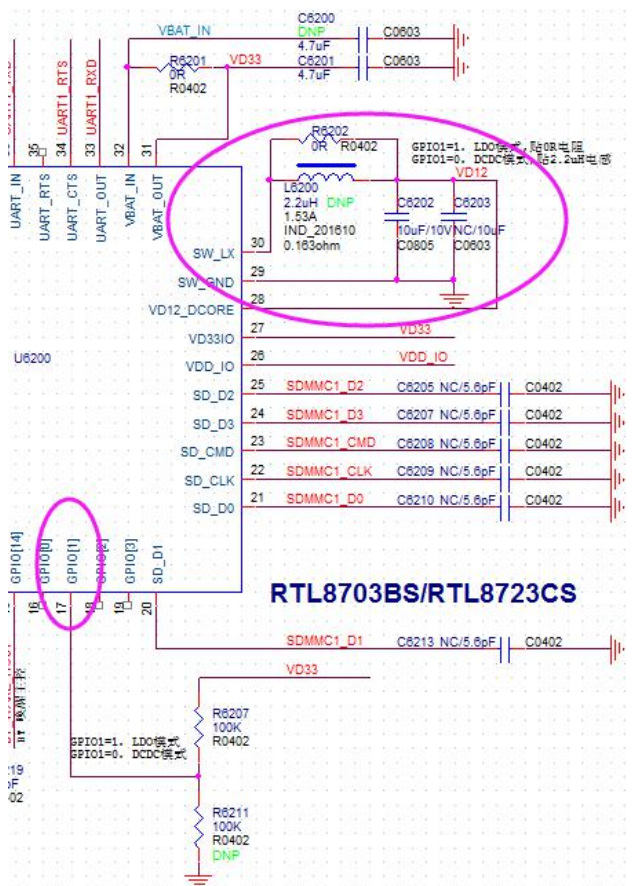


图16-2

- 请注意WIFI需选择ESR小于60ohm，频偏误差10ppm的晶体。晶体的匹配电容，请根据晶体规格选择合适的容值，避免频偏太大而出现的工作异常（如热点数较少等），如图16-3所示。
- 负载电容的选择需要根据晶体的规格书参数CL而做调整，参考图给出的8.2pF不是确定值。

小贴士：

晶体负载电容公式： $CL = [C1C2 / (C1 + C2)] + C_{stray}$  其中： $C_{stray}$ 是存在于电路中的寄生电容，通常为2~5pF。  
C1, C2为我们电路中所用的并联谐振的负载电容。

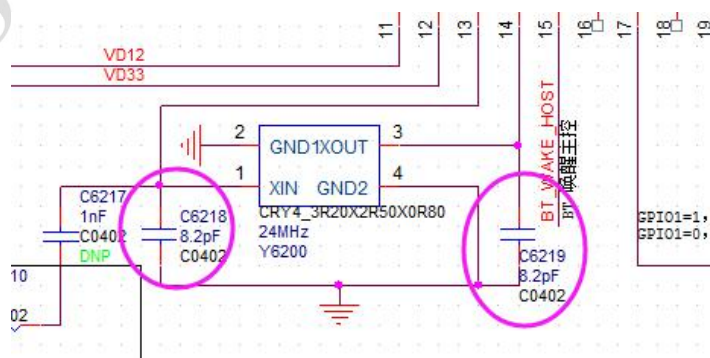
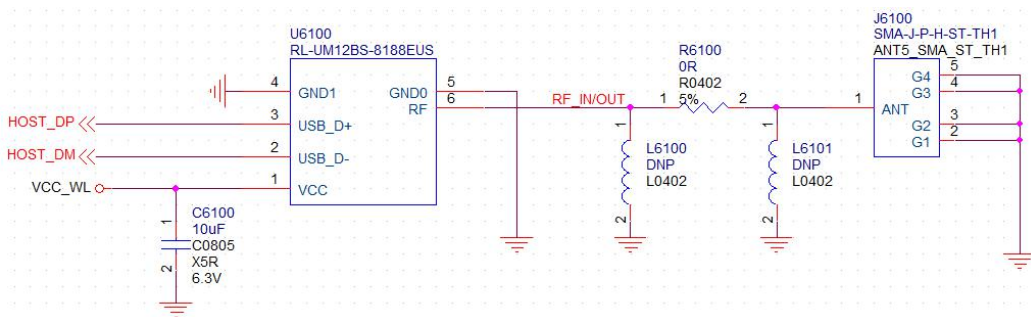


图16-3

### 16.1.3 USB WIFI

RK3126C 低成本方案可选择 USB WIFI，连接控制器 USB HOST 接口。



### 16.2 PCB 布板注意事项

- WIFI模块请远离DDR等高速器件。
- SDIO走线需尽可能平行并做整组包地处理，如果有空间的话CLK建议单独包地。需避免靠近电源或高速信号布线。信号组内任意两根信号的长度误差控制在400mil以内，否则会导。
- 模块的VBAT和VDDIO的电源脚去耦电容需靠近模块放置，并尽可能与模块摆放在同一平面。
- 模块内部电源的电感和电容需靠近模块放置，走线线宽大于15mil，电源布星形走线。

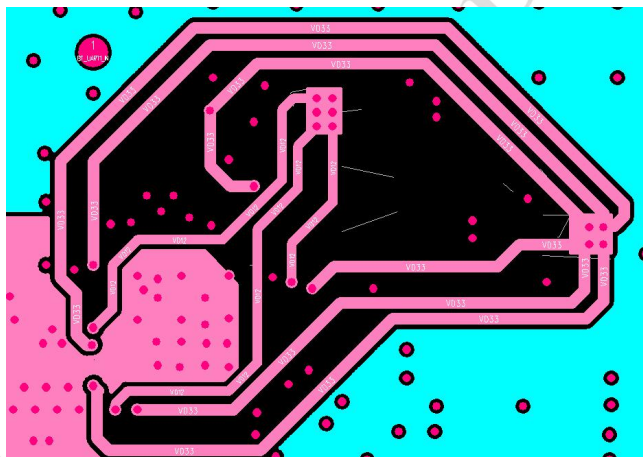


图16-9

- 模组下方第一层保持完整的地，不要有其他信号走线，如图16-10。

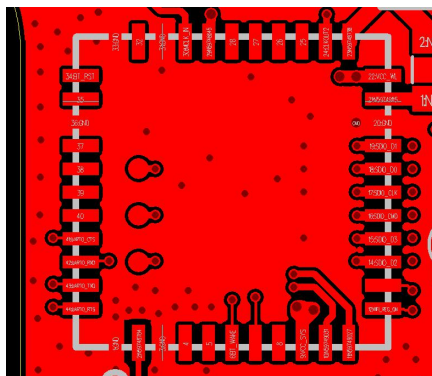


图16-10

- 晶体下方保持完整的地，不要有其他信号走线，晶体引脚要有足够的地过孔，如图16-11；

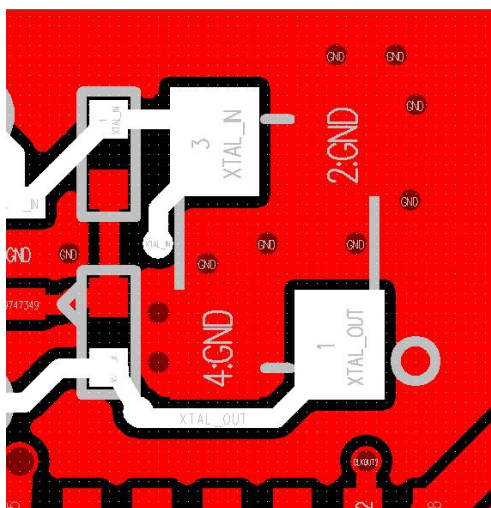


图16-11

- 天线以及微带线宽度设计需考虑到阻抗，阻抗要求为 $Z=50\pm 10\text{ohm}$ ，走线下方需有完整的参考平面做为RF信号的参考地；
- 天线布线越长，能量损耗越大，因此在设计时，天线路径越短越好，不能有分支出现，不能打过孔，如图16-12所示，图16-13为错误的走线方式。
- 天线走线有遇到需转向时，不可以用转角的方式，需用弧形走线，如图18-14所示

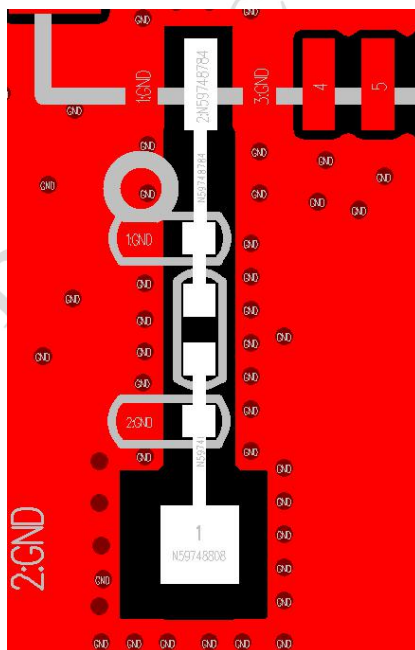


图16-12

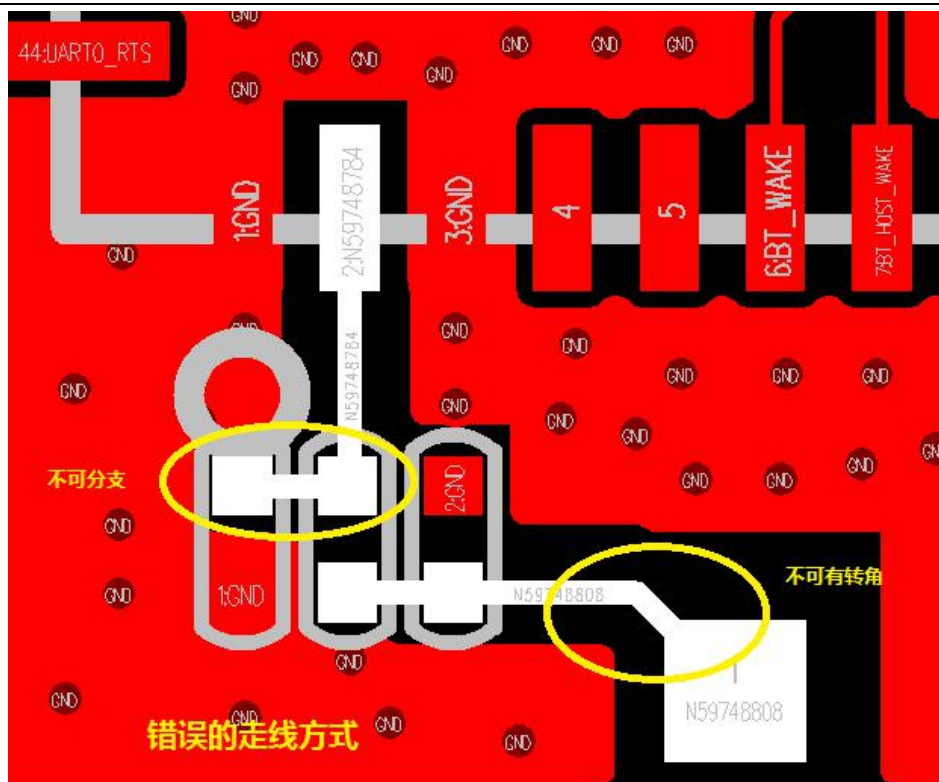


图16-13

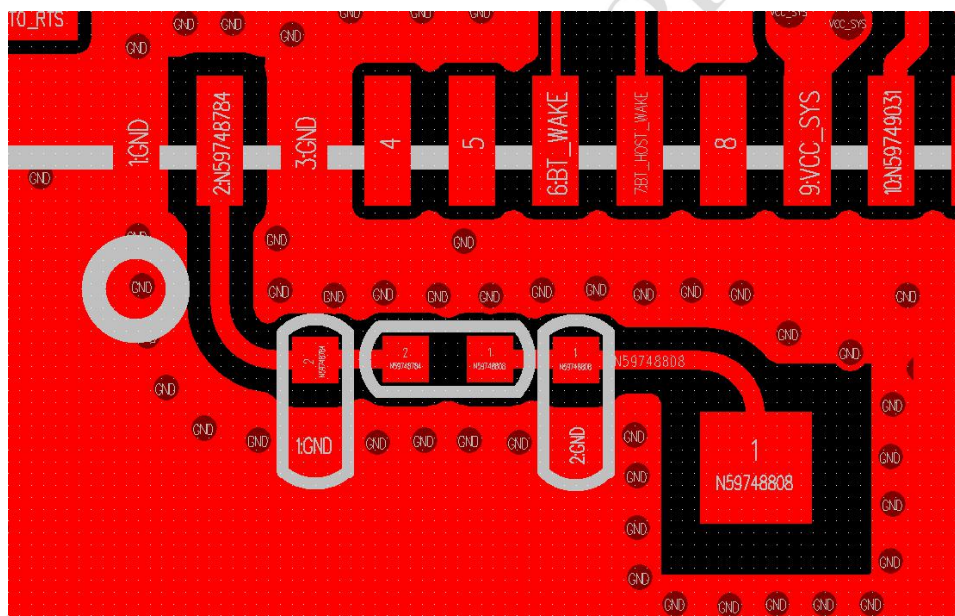


图16-14

- 建议模块及天线摆放位置，尽量远离金属器件。
- 天线要做匹配，组装时不要和电池喇叭线绞在一起，不能经过FPC及DDR区域；
- 天线的馈线走线切勿过长，过长的馈线会造成过多的RF能量损失，建议馈线长度小于7公分。馈线在剥线时，切勿剥除过多的屏蔽网，导致50ohm阻抗不连续，如图16-15所示。





图16-15



# 17 PCB 设计规则

## 17.1 叠层结构

- 为了保证产品的性能和稳定性，PCB的设计相当关键，PCB设计需要重点关注。为了保证RK3126C有更高的表现性能，推荐使用4层及以上的PCB堆叠结构设计，同时建议器件采用双面贴片设计。铜箔厚度建议采用1oz，以改善PCB的散热性能。
- 4层的PCB堆叠结构设计(以板厚1.6mm为例)：

Customer Name:							Total Thickness		0.80+/-0.10mm	
Customer P/N:							Measure from		SM-SM	
Layer No.	sig/pln	Copper thk. before process (oz)	Construction				Finished thickness (um)	Finished thickness (mil)	Tolerance	Dk (1GHz)
S/M							25	0.98	+/-10	3.5
1	TOP	1		PP 7826 X1(RC68%)			35	1.38	+/-10	
2	GND	H					195	7.68	+/-14	3.8
				Core			18	0.71	+/-10	
3	POWER	H					1065	41.93	+/-30	4.2
				PP 7826 X1(RC68%)			18	0.71	+/-10	
4	BOTTOM	1				195	7.68	+/-14	3.8	
S/M							35	1.38	+/-10	
							25	0.98	+/-10	3.5
						总计:	1611	63.43		
参数描述:										
层数	阻抗属性	线宽 mil	线距 mil	伴随地间距	伴随地宽度	铜厚(成品) OZ	要求阻抗	参考层	计算值带绿油	
L1/L4	特性	10		5	15	1	50	L2/L3	50.8	
L1/L4	差分	4	4	5	15	1	100	L2/L3	103.58	
L1/L4	差分	6	4	5	15	1	90	L2/L3	92.77	
L1/L4	差分	9	6	6	15	1	90	L2/L3	90.68	
备注: 四层板阻抗模拟计算如上图, 其他厚度1.0MM、1.2MM、1.6MM除压合结构CORE变动, 其他阻抗值不会受影响!										

备注：四层板阻抗模拟计算如上图，其他厚度1.0MM、1.2MM、1.6MM除压合结构CORE变动，其他阻抗值不会受影响！

图 17-1

L2 层是 GND， L3 层对应 DDR 走线区域为 DDR 电源，DDR 走线放在 L1 层，L4 层。

## 17.2 设计规则

- 产品规划阶段推荐选择能在主控下方摆放电容的结构设计。
- 主控下方能采用的过孔尺寸为0.2mm/0.35mm（内/外径）。
- 为了抑制电磁辐射，走线间尽量遵循3W原则，即是线与线之间保持3倍线宽的距离，如图17-2，线宽/线距分别为4/8mil；



图17-2

- 为了抑制电源辐射，电源层尽量遵循20H原则。
- 屏蔽罩的地墙和板边的距离需要预留2mm左右。
- TOP 或 BOTTOM 层主要是用来摆放主要器件及信号走线，如 CPU, DDR3 等；
- BOTTOM 或 TOP 层主要是用来摆放滤波电容等小器件；如果结构允许，也可摆放大器件；
- 屏蔽处理：
  - TOP 层 PCB 需要加屏蔽壳位，降低 EMI 及提高产品的可靠性；同时可以利用屏蔽壳作为主控的散热器，提高整机的散热效果。
  - 如果空间允许，建议 PCB 的 BOTTOM 层也预留屏蔽位；或是在地网络上预留大面积镂空处理，预留配合结构做屏蔽的可能。
- 铺铜完整性：设计上保证主控下方铺铜的完整性及连续性能够提供良好的信号回流路径，改善信号传输质量，提高产品的稳定性，同时也可以改善的铜皮散热的性能。
  - 铺铜层属性设置成混合分割层；
  - 过孔与铺铜的安全间距设置为 5.5mils；

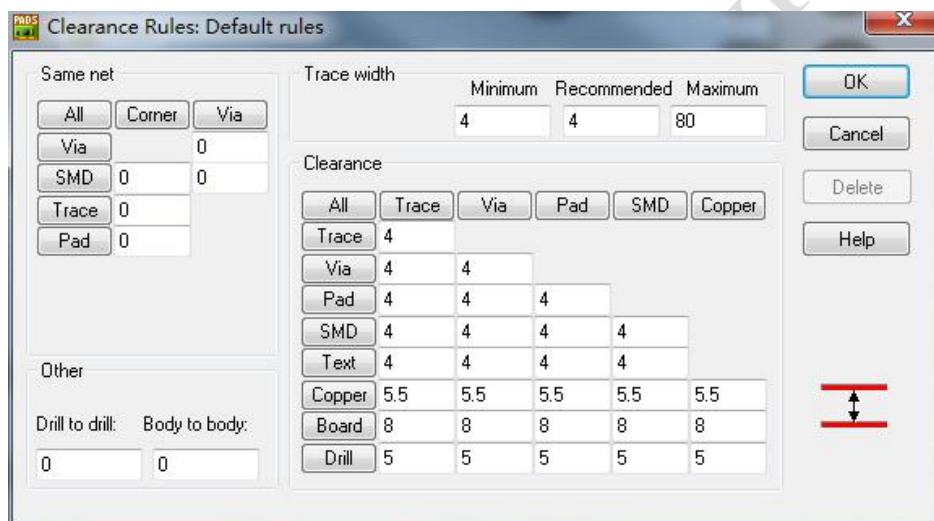


图 17-4

- 铺铜线宽设置为4mils；

小贴士：

- 3W 原则：为了减少线间串扰，应保证间距足够大，如果线中心距不少于 3 倍线宽时，则可保持 70%的线间电场不互相干扰。
- 20H 原则：即将电源层内缩，使得电场只在地层的范围内传到。以一个 H（电源与地层之间的介质层厚度）为单位，若内缩 20H 可以将 70%的电场限制在接地边沿内，内缩 100H 则可以将 98%的电场限制在内；

## 17.3 测试点

- Nand Flash, SPI NOR flash需要在FLASH\_D0信号上增加测试点，调试时方便进入maskrom 烧写模式；



## 18 散热

### 18.1 热量传导的三种常见方式

众所周知，任何存在温度差的地方，就会发生热量的传递，热量就会从高温部分传向低温部分，直到各自温度相同为止。热量的传导过程可以分成稳态过程（温度不随时间的变化而改变）和非稳态过程（温度随时间的变化而发生变化）。热量的传导常见有如下三种方式：

#### 18.1.1 热传导（Conduction）

- 物体各部分之间不发生相对位移，依靠分子，原子及自由原子等微观粒子的热运动而产生的热量传导。如：物体内部的热量从高温部分传导到低温部分的运动。

#### 18.1.2 对流传热（Convection）

- 流体（包括液体和气体）流动过程中从温度较高处向温度较低处放热的现象。对流又分为强迫对流和自由对流。前者是流体在外界动力（如泵、风扇、压强差等）驱动下的运动；后者是流体因温度分布不均匀诱发密度不均匀而产生浮力作用下的运动。

#### 18.1.3 辐射传热（Radiation）

- 物体通过电磁波来传导能量的方式，不需要物质作媒介。

### 18.2 系统常见的散热方式

常见的散热方式有主动散热（Active Cooling）和被动散热（Passive Cooling）两种方式。

- 主动散热（Active Cooling）：  
主动散热比较简单，就是通过散热片将CPU的热量自然散发到空气中；  
因为这是利用物理学热胀冷缩的原理，空气自然循环的散热。但从散热效果来看，主动散热没有被动散热的好，但是发热量不是很大的情况下，RK基本上是采取这种散热的方式，优点是：成本低、减少噪声，无需供电，节约能源。

- 被动散热 (Passive Cooling)：就是借助外部的设备强制性地 将散热片发出的热量带走，如风扇等；其优点是散热效率高，体积小；缺点是引进了燥声和功耗。此方法一般用在发热量比较大的设备上面，如PC上。

## 18.3 散热设计参考

### 18.3.1 PCB 导热

- 可以考虑如下三种：  
单板发热器件PAD底部打过孔；  
在单板表面铺连续的铜皮；  
增加单板含铜量（使用1oz表面铜厚）；

### 18.3.2 结构导热

- 结构导热可以采用主动散热，即加散热片的方法。
- 常用散热片的选择有：

根据材料一般分为：铝合金，铜合金，铝铜合金，陶瓷；

根据工艺一般分为：铝挤压工艺，铸造工艺，机械压合工艺，切销工艺等；

每种材料的导热性能是不同的，目前常用的是散热材料一般是铜和铝合金；铜的散热性好，但价格较贵，纯铝的太软，不能直接使用，因此一般采用铝合金材料，价格低廉，重量轻，但导热性能比铜要差很多；基于低成本考虑推荐选型铝合金材质的散热片。

- 对散热片工艺类型的选择参考以下建议：  
挤压的散热片要比铸铝散热片好一些。铸铝散热片中金属铝所占的比例为 25 -30 %，其他为碳及其他金属的合金。挤压的散热片中金属铝所占的比例为70 % -80%，其他为碳及其他金属的合金。因此铝挤型散热片的纯度高，热传导能力强，密度小，价格便宜。  
自然散热的条件下，黑色的比银白色的铝散热片的散热效果要好 3~8%左右，这是因为黑色热辐射的效果比白色的要强。  
散热器的表面处理有电泳涂漆或黑色氧化化处理，其目的是提高散热效率及绝缘性能。在自然冷却下可提高10—15%，在通风冷却下可提高3%，电泳涂漆可耐压500—800V。  
散热器厂家会对不同型号的散热器给出热阻值或给出有关曲线，并且给出在不同散热条件下的不同热阻值。

## 18.4 散热片尺寸计算

如使用铝挤型散热片，散热结构如下图18-1所示：

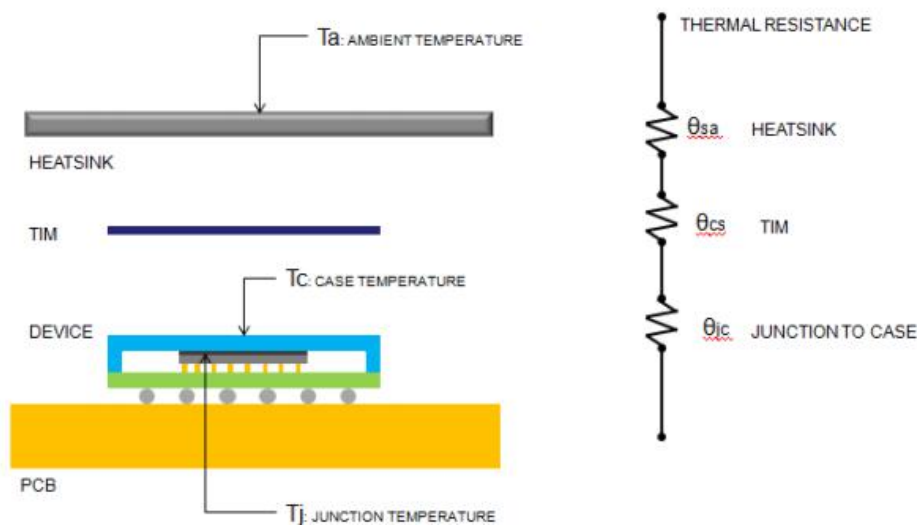


图 18-1 散热片散热结构

公式1:  $R=1/hA$

变量说明：



A: 散热片面积

h: 散热系数（与散热片的材质，厚度，密度，温差，风速等参数相关） 由以上公式得出散热片面积越大，热阻越小，由此得出以下经验数据： 2mm厚度的铝制散热片，表面积（平方厘米）与热阻（℃/W）的对应关系如下：

500 cm<sup>2</sup>对应2.0℃/W;

250 cm<sup>2</sup>对应2.9℃/W;

100 cm<sup>2</sup>对应4.0℃/W;

50 cm<sup>2</sup>对应5.2℃/W;

25 cm<sup>2</sup>对应6.5℃/W;

公式2:

$$Q = T_j - T_a / (\theta_{sa} + \theta_{cs} + \theta_{jc})$$

根据公式2可推导出芯片所需散热片的热阻计算公式3:

$$\theta_{sa} = (T_j - T_a) / Q - (\theta_{cs} + \theta_{jc})$$

变量说明:

T<sub>j</sub>: 芯片最高工作结温（125℃）

T<sub>a</sub>: 产品长期工作最高工作环境温度（55℃）

Q: RK3126C芯片功耗（2.5W）---取值为整机运行最大功耗

θ<sub>sa</sub>: 散热片热阻（需要考虑环境风速）

θ<sub>cs</sub>: 导热介质TIM（导热胶）的热阻（0.11℃/W，κ=2W/mC 100um 厚度情况下）

θ<sub>jc</sub>: 芯片封装热阻（JEDEC PCB板12.73℃/W）

以上公式3得到散热片的热阻要求，再对比散热片的热阻数据，可以得出所需要的散热片的散热面积。

例如：在55℃的环境温度中， RK3126C芯片采用热阻为0.11℃/W的导热胶，那么所需要的散热片尺寸，

由公式3可得：

$$\theta_{sa} = (125 - 55) / 2.5 - (0.11 + 12.73) = 15.16 \text{ (℃/W)}$$

以上为裸板的估算方式，整机壳温内部还有温升需要叠加，假设壳温内部温升为15度，则

$$\theta_{sa} = (125 - 55 - 15) / 2.5 - (0.11 + 12.73) = 9.16 \text{ (℃/W)}$$

即：需要选择散热面积25 cm<sup>2</sup>的散热片可以满足条件。

## 18.5 芯片内部温控方式

- 温度控制参考后续发布资料。

## 18.6 RK3126C PCB 及导热片散热方式

- RK3126C的机器上，CPU为发热量最大的器件，其次是PMIC的发热量，所有的散热处理都以RK3126C为主要对象，PMIC为辅。
- 其它主要发热器件有：PMIC以及所用电感、背光IC及所用电感。
- 进行温度实验，客户一般是在电池充电情况下，把屏亮度和音量调到最大，播放在线视频或是更加苛刻的测试环境，所以对整机系统的散热要求更高。我司建议PMIC RK816-1和主控RK3126C的距离至少是2cm。
- 导热措施：
  - 大电流的电源走线（如DC 5V到充电IC走线，电池到PMU的VCC\_SYS走线），VCC\_SYS到PMIC 的走线也对整机发热有影响。
  - Layout时，需注意不要将这些热源堆积在一起，适当分散开来。

- 大电流的电源走线尽量短、宽。
- 根据热量的辐射扩散特性，CPU使用散热片时，最好以热源为中心，使用正方形或者圆形散热片，一定要避免长条形的散热片。根据以往的经验来看，散热片的散热效果并不与其面积大小成倍数关系，石墨散热片经济有效，目前在2层样机板上采用大小大概在6cm\*6cm左右的散热片。
- 在CPU顶面及CPU对应区域的PCB正下方贴导热片，将CPU的热量散到后盖和LCD屏或中框上，可以大幅度降低CPU本身的温度。不过对于把CPU的热量到到LCD屏上的方式，需要折衷考虑。
- 对于金属后盖的机器，最好将CPU的热量通过导热硅胶导至后盖。
- 对于后盖两端是塑胶（放RF天线），中间为金属的机器，Layout时请注意主要热源一定要放置在后盖金属部分的下方；
- 塑胶后盖的机器需在PCBA及后盖上各贴一片石墨散热片才能达到较好的整机散热效果。
- PMIC 高度有时候会低于周边电容的高度，为了良好的扇热，请在PMIC上先贴一层导热硅胶，然后再贴上石墨散热片。
- 散热材质目前选择比较多，建议用不同材质做比较验证，找到适合本机的散热方法。

## 19 ESD/EMI防护设计

### 19.1 概述

- 对于RK3126C设计中的ESD/EMI防护设计给出建议。

### 19.2 ESD 防护

- 保证合理的模具设计；端口和插接件部分需预留抗ESD器件；
- 在PCB布局时做好敏感器件的保护，隔离；
- 布局的时尽量将主控芯片及核心部件放在PCB中间，不能放中间需保证屏蔽罩离板边至少2MM以上的距离，且要保证屏蔽罩能可靠接地；
- 应该按功能模块及信号流向来布局PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对ESD器件，一般要求摆在源头，即ESD器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB表面一定要有良好的GND回路，各接插件在表层都要有较好的GND连接回路。有加屏蔽

罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；

- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；

### 19.3 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理EMI就只能从干扰源跟耦合通道入手了。解决EMI问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；DDR变频时产生的辐射对WIFI的干扰很大，要是倍频的频率点刚好在WIFI的频率范围2400MHz-2483.5MHz或是5725MHz-5850MHz之内，WIFI的性能见急剧恶化，建议两者之间的距离在2.5cm以上。
- PCB上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接)等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；常用应对EMI材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则:若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如SDIO,RBG,CIF等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其SI许可范围。差分接口一般使用共模电感来抑制EMI；RGB屏和CIF的走线建议走在中间层面，bottom尽量不走线。
- PCB上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- EMI跟ESD对LAYOUT的要求有高度一致性，前诉ESD的LAYOUT要求，大部分适用于EMI防护。另外增加下面的要求；
- 尽量保证信号完整性；
- 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位跟时针，避免转化成引起EMI问题的共模信号；
- 有插件电解电容等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线。